

この資料は更新された最新の英語版が存在します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

CI151005-1.1

動作条件

Cyclone™ II デバイスは、一般用および工業用温度グレードで提供されています。一般用グレードのデバイスは、-6（最速）、-7、-8 のスピード・グレードで提供されています。

すべてのパラメータ値の条件は、ワースト・ケースの電源電圧および接合温度条件になります。特に記載がない限り、この章に示すパラメータ値はすべての Cyclone II デバイ스에適用されます。AC および DC 特性は、一般用および工業用温度グレードの両方に対して同じ数字を使用して指定されます。電圧を表すパラメータはすべてグラウンドを基準に測定されています。

表 5-1 から 5-4 は絶対最大定格を示しています。

シンボル	パラメータ	条件	最小	最大	単位
V_{CCINT}	電源電圧	GND に対して	-0.5	1.8	V
V_{CCIO}	出力電源電圧		-0.5	4.6	V
V_{IN}	DC 入力電圧		-0.5	4.6	V
I_{OUT}	ピンあたりの DC 出力電流		-25	40	mA
T_{STG}	保存温度	バイアスなし	-65	150	°C
T_J	接合温度	BGA パッケージのバイアス時		125	°C

表 5-1 の注：

- (1) この表に記載された条件を超えると、デバイスに致命的な損傷を与える可能性があります。これらはストレス定格のみについて示しています。これらのレベルまたは本章に記載した値を超える他の条件での機能動作を示すものではありません。また、デバイスを絶対最大定格で長期間動作させると、デバイスの信頼性に悪影響を与えるおそれがあります。
- (2) 詳細については、「Operating Requirements for Altera Devices Data Sheet」を参照してください。

表 5-2 に、Cyclone II デバイスの推奨動作条件を示します。この表は、 V_{CCINT} 、 V_{CCIO} の許容電圧範囲、および動作接合温度 (T_J) を示しています。LVTTTL および LVCMOS 入力バッファには、 V_{CCIO} からのみ給電されます。専用クロック・ピンの LVPECL 入力バッファは、 V_{CCINT} から給電されます。SSTL、HSTL、および LVDS 入力バッファは、 V_{CCINT} および V_{CCIO} の両方から給電されます。

シンボル	パラメータ	条件	最小	最大	単位
V_{CCINT}	内部ロジックおよび入力バッファ用電源電圧	(1)	1.15	1.25	V
V_{CCIO} (2)	3.3 V 動作の出力バッファ用電源電圧	(1)	3.00 (3)	3.60 (3)	V
	2.5 V 動作の出力バッファ用電源電圧	(1)	2.375	2.625	V
	1.8 V 動作の出力バッファ用電源電圧	(1)	1.71 (2)	1.89	V
	1.5 V 動作の出力バッファ用電源電圧	(1)	1.4	1.6	V
T_J (4)	動作接合温度	一般用	0	85	°C
		工業用	-40	100	°C

表 5-2 の注：

- (1) V_{CC} (V_{CCIO} および V_{CCINT} の両方) の最大立ち上がり時間は 100 ms で、 V_{CC} の上昇率は一定である必要があります。
- (2) ここに示す V_{CCIO} 範囲は、サポートされるすべての標準 I/O 規格の最小および最大動作電圧の範囲を示しています。各シングル・エンド標準 I/O 規格に固有の推奨 V_{CCIO} 範囲を表 5-6 に示し、各差動標準 I/O 規格に固有の推奨 V_{CCIO} 範囲を表 5-8 に示します。
- (3) V_{CCIO} の最小値 3.0 V および最大値 3.6 V は、PCI および PCI-X 標準 I/O 規格にのみ適用されます。他の標準 I/O 規格の電圧範囲については、表 5-6 を参照してください。
- (4) θ_{JA} および θ_{JC} の値については、アルテラにお問い合わせください。

シンボル	パラメータ	条件	最小	標準	最大	単位
V_{IN}	入力電圧	(1)、(2)	-0.5		4.0	V
I_I	入力ピンのリーク電流	$V_I = V_{CCIOmax} \sim 0$ V (3)	-10		10	μ A
V_{OUT}	出力電圧		0		V_{CCIO}	V
I_{OZ}	トライ・ステート I/O ピンのリーク電流	$V_O = V_{CCIOmax} \sim 0$ V (3)	-10		10	μ A

表 5-3. ユーザ I/O、兼用ピン、および専用ピンの DC 特性 (2 / 2)

シンボル	パラメータ	条件	最小	標準	最大	単位
I_{CC0}	V_{CC} 供給電流 (スタンバイ時) (すべてのメモリ・ブロックがパワー・ダウン・モード)	$V_I = \text{GND}$ 、無負荷、入力のトグルなし				mA
R_{CONF}	コンフィギュレーションの実行前および実行時の I/O ピンのプルアップ抵抗値	$V_{CCIO} = 3.0 \text{ V (4)}$	20		50	k Ω
		$V_{CCIO} = 2.375 \text{ V (4)}$	30		80	k Ω
		$V_{CCIO} = 1.71 \text{ V (4)}$	60		150	k Ω

表 5-3 の注：

- 入力専用、クロック、I/O、JTAG ピンを含むすべてのピンは V_{CCINT} と V_{CCIO} に給電される前にドライブされる可能性があります。
- 最小 DC 入力電圧は -0.5 V です。入力電流の入力デューティ・サイクルが 100 mA 未満の条件では、過渡状態の期間に入力は -2.0 V までアンダシュート、または表 5-4 に示す電圧までオーバシュートしてもかまいません。オーバシュートは信号のデューティ・サイクルによって異なります。DC の場合は 100% デューティ・サイクルと等価です。
- この値は通常のデバイス動作に指定されたものです。パワー・アップの過程では値が変わる場合があります。これはすべての V_{CCIO} 設定 (3.3、2.5、1.8、および 1.5 V) に適用されます。
- 外部ソースが V_{CCIO} よりも高い電圧でピンをドライブしている場合は、ピンのプルアップ抵抗値が低下します。

表 5-4 に、最大 V_{IN} オーバシュート電圧、および入力信号のデューティ・サイクルとの依存関係を示します。詳細については、表 5-3 を参照してください。

表 5-4. すべての入力バッファの V_{IN} オーバシュート電圧

最大 V_{IN} (V)	入力信号のデューティ・サイクル
4.0	100% (DC)
4.1	90%
4.2	50%
4.3	30%
4.4	17%
4.5	10%

シングル・エンド標準 I/O 規格

表 5-6 および 5-7 に、Cyclone II デバイスでシングル・エンド標準 I/O 規格を使用する場合の動作条件情報を示します。表 5-5 では、表 5-6 および 5-7 で使用される電圧および電流シンボルについて説明します。

シンボル	定義
V_{CCIO}	シングル・エンド入力および出力ドライバの電源電圧
V_{REF}	入力スイッチング・スレッシュホールドを設定するリファレンス電圧
V_{IL}	Low ロジック・レベルを示す入力電圧
V_{IH}	High ロジック・レベルを示す入力電圧
V_{OL}	Low ロジック・レベルを示す出力電圧
V_{OH}	High ロジック・レベルを示す出力電圧
I_{OL}	V_{OL} のテスト用の出力電流条件
I_{OH}	V_{OH} のテスト用の出力電流条件
V_{TT}	HSTL および SSTL 規格の指定に従って抵抗終端に印加される電圧

表 5-6. シングル・エンド標準 I/O 規格を使用するユーザ I/O ピンの推奨動作条件
(1 / 2) 注 (1)

標準 I/O 規格	V_{CCIO} (V)			V_{REF} (V)			V_{IL} (V)	V_{IH} (V)
	最小	標準	最大	最小	標準	最大	最大	最小
3.3 V LVTTTL および LVC MOS	3.135	3.3	3.465				0.8	1.7
2.5 V LVTTTL および LVC MOS	2.375	2.5	2.625				0.7	1.7
1.8 V LVTTTL および LVC MOS	1.710	1.8	1.890				$0.35 \times V_{CCIO}$	$0.65 \times V_{CCIO}$
1.5 V LVC MOS	1.425	1.5	1.575				$0.35 \times V_{CCIO}$	$0.65 \times V_{CCIO}$
PCI および PCI-X	3.000	3.3	3.600				$0.3 \times V_{CCIO}$	$0.5 \times V_{CCIO}$
SSTL-2 class I	2.375	2.5	2.625	1.19	1.25	1.31	$V_{REF} - 0.18$	$V_{REF} + 0.18$
SSTL-2 class II	2.375	2.5	2.625	1.19	1.25	1.31	$V_{REF} - 0.18$	$V_{REF} + 0.18$
SSTL-18 class I	1.7	1.8	1.9	0.833	0.9	0.969	$V_{REF} - 0.125$	$V_{REF} + 0.125$
SSTL-18 class II	1.7	1.8	1.9	0.833	0.9	0.969	$V_{REF} - 0.125$	$V_{REF} + 0.125$
1.8 V HSTL class I	1.71	1.8	1.89	0.85	0.9	0.95	$V_{REF} - 0.1$	$V_{REF} + 0.1$

表 5-6. シングル・エンド標準 I/O 規格を使用するユーザ I/O ピンの推奨動作条件
(2 / 2) 注 (1)

標準 I/O 規格	V_{CCIO} (V)			V_{REF} (V)			V_{IL} (V)	V_{IH} (V)
	最小	標準	最大	最小	標準	最大	最大	最小
1.8 V HSTL class II	1.71	1.8	1.89	0.85	0.9	0.95	$V_{REF} - 0.1$	$V_{REF} + 0.1$
1.5 V HSTL class I	1.425	1.5	1.575	0.71	0.75	0.79	$V_{REF} - 0.1$	$V_{REF} + 0.1$
1.5 V HSTL class II	1.425	1.5	1.575	0.71	0.75	0.79	$V_{REF} - 0.1$	$V_{REF} + 0.1$

表 5-6 の注：

(1) 公称値(標準)は、 $T_A = 25^\circ\text{C}$ 、 $V_{CCINT} = 1.2\text{V}$ 、および $V_{CCIO} = 1.5\text{V}$ 、 1.8V 、 2.5V 、 3.3V の条件のときのものです。

表 5-7. シングル・エンド標準 I/O 規格を使用するユーザ I/O ピンの DC 特性 (1 / 2) 注 (1)

標準 I/O 規格	電流ドライブ 能力設定 (mA)	テスト条件		電圧スレッシュホールド	
		I_{OL} (mA)	I_{OH} (mA)	最大 V_{OL} (V)	最小 V_{OH} (V)
3.3 V LVTTTL および LVCMOS	4	4	-4	0.4	2.4
	8	8	-8		
	12	12	-12		
	16	16	-16		
	20	20	-20		
	24	24	-24		
2.5 V LVTTTL および LVCMOS	4	4	-4	0.4	$V_{CCIO} - 0.4$
	8	8	-8		
	12	12	-12		
	16	16	-16		
1.8 V LVTTTL および LVCMOS	2	2	-2	0.4	$V_{CCIO} - 0.4$
	4	4	-4		
	6	6	-6		
	8	8	-8		
	10	10	-10		
	12	12	-12		
1.5 V LVCMOS	2	2	-2	$0.25 \times V_{CCIO}$	$0.75 \times V_{CCIO}$
	4	4	-4		
	6	6	-6		
	8	8	-8		
PCI および PCI-X		1.5	-0.5	$0.1 \times V_{CCIO}$	$0.9 \times V_{CCIO}$

表 5-7. シングル・エンド標準 I/O 規格を使用するユーザ I/O ピンの DC 特性 (2 / 2) 注 (1)					
標準 I/O 規格	電流ドライブ 能力設定 (mA)	テスト条件		電圧スレッシュヨルド	
		I _{OL} (mA)	I _{OH} (mA)	最大 V _{OL} (V)	最小 V _{OH} (V)
SSTL-2 class I	8	8	-8	V _{TT} - 0.57	V _{TT} + 0.57
	12	12	-12		
SSTL-2 class II	16	16	-16	V _{TT} - 0.76	V _{TT} + 0.76
	20	20	-20		
	24	24	-24		
SSTL-18 class I	4	4	-4	V _{TT} - 0.475	V _{TT} + 0.475
	6	6	-6		
	8	8	-8		
	10	10	-10		
	12	12	-12		
SSTL-18 class II	8	8	-8	0.28	V _{CCIO} - 0.28
	16	16	-16		
	18	18	-18		
1.8 V HSTL class I	4	4	-4	0.4	V _{CCIO} - 0.4
	6	6	-6		
	8	8	-8		
	10	10	-10		
	12	12	-12		
1.8 V HSTL class II	16	16	-16	0.4	V _{CCIO} - 0.4
	18	18	-18		
	20	20	-20		
1.5 V HSTL class I	4	4	-4	0.4	V _{CCIO} - 0.4
	6	6	-6		
	8	8	-8		
	10	10	-10		
	12	12	-12		
1.5 V HSTL class II	16	16	-16	0.4	V _{CCIO} - 0.4

表 5-7 の注：

(1) この表に示す値は、表 5-2 および 5-6 に示す条件に基づきます。

差動標準 I/O 規格

RSDS および mini-LVDS 標準 I/O 規格は、出力ピンでのみサポートされます。LVDS 標準 I/O 規格は、レシーバの入力ピンとトランスミッタの出力ピンの両方でサポートされます。


 これらの差動標準 I/O 規格の実装方法の詳細については、「Cyclone II デバイス・ハンドブック Volume 1」の「Cyclone II デバイスの高速差動インタフェース」の章を参照してください。

図 5-1 に、すべての差動標準 I/O 規格 (LVDS、LVPECL、差動 1.5 V HSTL class I および II、差動 1.8 V HSTL class I および II、差動 SSTL-2 class I および II、差動 SSTL-18 class I および II) のレシーバ入力波形を示します。

図 5-1. 差動標準 I/O 規格のレシーバ入力波形

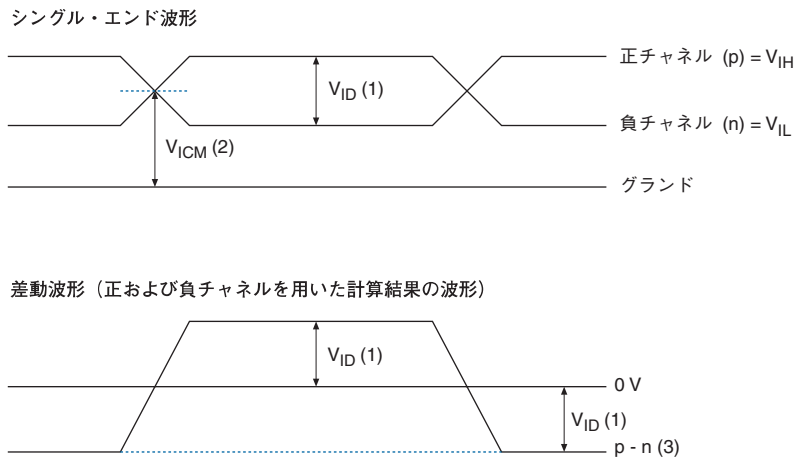


図 5-1 の注：

- (1) V_{ID} は差動入力電圧です。 $V_{ID} = |p - n|$ 。
- (2) V_{ICM} は入力コモン・モード電圧です。 $V_{ICM} = (p - n)/2$ 。
- (3) p - n 波形は、正のチャンネル (p) と負のチャンネル (n) の関数です。

表 5-8 に、差動標準 I/O 規格を使用するユーザ I/O ピンの推奨動作条件を示します。

標準 I/O 規格	V _{CCIO} (V)			V _{ID} (V) (1)			V _{ICM} (V)			V _{IL} (V)		V _{IH} (V)	
	最小	標準	最大	最小	標準	最大	最小	標準	最大	最小	最大	最小	最大
LVDS	2.375	2.5	2.625	0.1			0.1	1.25	1.8				
mini-LVDS (2)	2.375	2.5	2.625										
RSDS (2)	2.375	2.5	2.625										
LVPECL (3)	3.135	3.3	3.465	0.1	0.6	0.95				0	2.2	2.1	2.88
差動 1.5 V HSTL class I および II (4)	1.425	1.5	1.575	0.2		V _{CCIO} + 0.6	0.68		0.9		V _{REF} - 0.1	V _{REF} + 0.1	
差動 1.8 V HSTL class I および II (4)	1.71	1.8	1.89								V _{REF} - 0.1	V _{REF} + 0.1	
差動 SSTL-2 class I および II (5)	2.375	2.5	2.625	0.36		V _{CCIO} + 0.6	0.5 × V _{CCIO} - 0.2	0.5 × V _{CCIO}	0.5 × V _{CCIO} + 0.2		V _{REF} - 0.1	V _{REF} + 0.1	
差動 SSTL-18 class I および II (5)	1.7	1.8	1.9	0.25		V _{CCIO} + 0.6	0.5 × V _{CCIO} - 0.2	0.5 × V _{CCIO}	0.5 × V _{CCIO} + 0.2		V _{REF} - 0.1	V _{REF} + 0.1	

表 5-8 の注：

- (1) V_{ID} の測定条件については、「Cyclone II デバイス・ハンドブック Volume 1」の「Cyclone II デバイスの高速差動インタフェース」の章を参照してください。
- (2) RSDS および mini-LVDS 標準 I/O 規格は、出力ピンでのみサポートされます。
- (3) LVPECL 標準 I/O 規格は、クロック入力ピンでのみサポートされます。この標準 I/O 規格は、出力ピンではサポートされません。
- (4) 差動 1.8 V および 1.5 V HSTL 標準 I/O 規格は、クロック入力ピンと PLL 出力クロック・ピンでのみサポートされます。
- (5) 差動 SSTL-18 および SSTL-2 標準 I/O 規格は、クロック入力ピンと PLL 出力クロック・ピンでのみサポートされます。

図 5-2 に、サポートされるすべての差動出力規格 (LVDS、mini-LVDS、RSDS、差動 1.5 V HSTL class I および II、差動 1.8 V HSTL class I および II、差動 SSTL-2 class I および II、差動 SSTL-18 class I および II) のトランスミッタ出力波形を示します。

図 5-2. 差動標準 I/O 規格のトランスミッタ出力波形

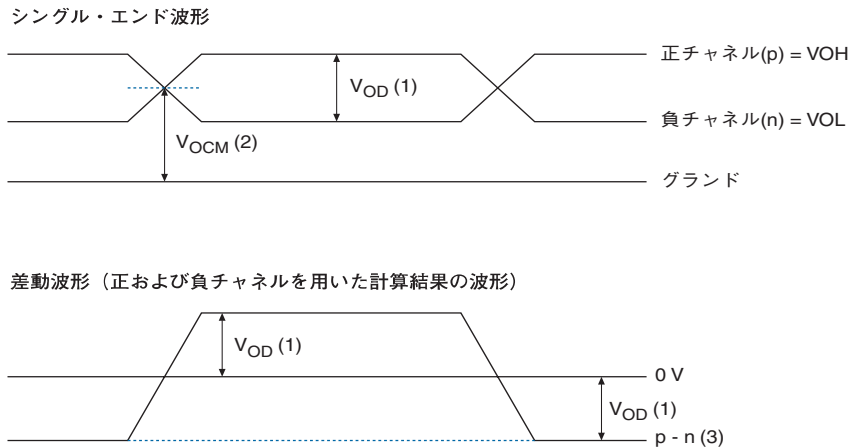


図 5-1 および 5-2 の注：

- (1) V_{OD} は、出力差動電圧です。 $V_{OD} = |p - n|$ 。
- (2) V_{OCM} は、出力コモン・モード電圧です。 $V_{OCM} = (p - n)/2$ 。
- (3) $p - n$ 波形は、正のチャネル (p) と負のチャネル (n) の関数です。

表 5-9 に、差動標準 I/O 規格を使用するユーザ I/O ピンの DC 特性を示します。

標準 I/O 規格	V _{OD} (mV)			ΔV _{OD} (mV)		V _{OCM} (V)			V _{OH} (V)		V _{OL} (V)	
	最小	標準	最大	最小	最大	最小	標準	最大	最小	最大	最小	最大
LVDS	247		600		50	1.125	1.25	1.375				
mini-LVDS (2)	300		600		50	1	1.2	1.4				
RSDS (2)	100	200	600			0.5	1.2	1.5				
差動 1.5 V HSTL class I および II (3)									V _{CCIO} - 0.4			0.4

標準 I/O 規格	V _{OD} (mV)			ΔV _{OD} (mV)		V _{OCM} (V)			V _{OH} (V)		V _{OL} (V)	
	最小	標準	最大	最小	最大	最小	標準	最大	最小	最大	最小	最大
差動 1.8 V HSTL class I および II (3)									V _{CCIO} - 0.4			0.4
差動 SSTL-2 class I (4)									V _{TT} + 0.57			V _{TT} - 0.57
差動 SSTL-2 class II (4)									V _{TT} + 0.76			V _{TT} - 0.76
差動 SSTL-18 class I (4)						0.5 × V _{CCIO} - 0.125	0.5 × V _{CCIO}	0.5 × V _{CCIO} + 0.125	V _{TT} + 0.475			V _{TT} - 0.475
差動 SSTL-18 class II (4)						0.5 × V _{CCIO} - 0.125	0.5 × V _{CCIO}	0.5 × V _{CCIO} + 0.125	V _{CCIO} - 0.28			0.28

表 5-9 の注：

- (1) LVPECL 標準 I/O 規格は、クロック入力ピンでのみサポートされます。この標準 I/O 規格は、出力ピンではサポートされません。
- (2) RSDS および mini-LVDS 標準 I/O 規格は、出力ピンでのみサポートされます。
- (3) 差動 1.8 V HSTL および 1.5 V HSTL 標準 I/O 規格は、クロック入力ピンと PLL 出力クロック・ピンでのみサポートされます。
- (4) 差動 SSTL-18 および SSTL-2 標準 I/O 規格は、クロック入力ピンと PLL 出力クロック・ピンでのみサポートされます。

各ピン・ タイプの DC 特性

表 5-10 に、バス・ホールド回路をサポートするピンのタイプを示します。

ピン・タイプ	バス・ホールド
シングル・エンド標準 I/O 規格を使用する I/O ピン	あり
差動標準 I/O 規格を使用する I/O ピン	なし
専用クロック・ピン	なし
JTAG	なし
コンフィギュレーション・ピン	なし

表 5-11 に、汎用 I/O ピンのバス・ホールド・パラメータを示します。

パラメータ	条件	V _{CCIO} Level						単位
		1.8 V		2.5 V		3.3 V		
		最小	最大	最小	最大	最小	最大	
バス・ホールド Low 保持電流	$V_{IN} > V_{IL}$ (最大)	30		50		70		μA
バス・ホールド High 保持電流	$V_{IN} < V_{IL}$ (最小)	-30		-50		-70		μA
バス・ホールド Low オーバドライブ電流	$0 V < V_{IN} < V_{CCIO}$		200		300		500	μA
バス・ホールド High オーバドライブ電流	$0 V < V_{IN} < V_{CCIO}$		-200		-300		-500	μA
バス・ホールド・トリップ・ ポイント (2)		0.68	1.07	0.7	1.7	0.8	2.0	V

表 5-11 の注：

- (1) HSTL 標準 I/O 規格の V_{CCIO} = 1.5 V でのバス・ホールドの規定はありません。
 (2) バス・ホールド・トリップ・ポイントは、JEDEC 規格から計算された入力電圧に基づきます。

表 5-12 に、異なる I/O ピン・タイプでの Cyclone II デバイス・ピンのキャパシタンスを示します。

シンボル	パラメータ	標準	単位
C _{IO}	ユーザ I/O ピンの入力キャパシタンス	(2)	pF
C _{LVDS}	兼用 LVDS/ ユーザ I/O ピンの入力 キャパシタンス	(2)	pF
C _{VREF}	兼用 VREF およびユーザ I/O ピンの 入力キャパシタンス	(2)	pF
C _{DPCLK}	兼用 DPCLK およびユーザ I/O ピンの 入力キャパシタンス	(2)	pF
C _{CLK}	クロック・ピンの入力キャパシタンス	(2)	pF

表 5-12 の注：

- (1) キャパシタンスはサンプル・テストのみです。キャパシタンスは、TDR (Time-Domain Reflectometry) を使用して測定されています。測定精度は ±0.5 pF です。
 (2) この仕様は、データシートの改訂版に掲載される予定です。

表 5-13 に、すべての Cyclone II デバイス・ピンの ESD の仕様を示します

表 5-13. ESD 保護			
シンボル	パラメータ	最大	単位
ESD _{HBM}	ヒューマン・ボディ・モデル	1,000	V
ESD _{CDM}	帯電体モデル	500	V
	PLL パワー・ピンおよび専用クロック 1、3、9、および 11 の帯電体モデル	300	V

消費電力

設計者は、Quartus® II 開発ソフトウェアのパワー・カリキュレータおよびシミュレーション・ベースの電力見積り機能を使用してデザインの消費電力を計算できます。

インタラクティブなパワー・カリキュレータは、通常はデバイスの予測消費電力を得るために、FPGA を設計する前に使用されます。Quartus II 開発ソフトウェアは、デザインとそれに対応するテスト・ベクタを用いることで、シミュレーション・ベースのパワー・カリキュレータ機能により設計者にさらに正確な消費電力モデルを提供します。

いずれの場合にも、これらの計算結果は消費電力の見積りにのみ使用し、仕様（規格）としては使用しないでください。



Cyclone II パワー・カリキュレータについては、お問い合わせください。

Cyclone II デバイスが製造される最先端プロセスの特性上の理由から、Cyclone II デバイスを正常にパワー・アップするには、一定量のパワー・アップ電流が必要です。表 5-14 に、デバイス特性評価後に Cyclone II デバイスをパワー・アップするのに必要な最大パワー・アップ電流を示します。

デバイス	最大パワー・アップ電流要件	単位
EP2C5	(1)	mA
EP2C8	(1)	mA
EP2C20	(1)	mA
EP2C35	(1)	mA
EP2C50	(1)	mA
EP2C70	(1)	mA

表 5-14 の注：

(1) この仕様は、データシートの改訂版に掲載される予定です。

設計者は、Cyclone II デバイスを使用するときには、この電流を供給可能な電源とレギュレータを選択する必要があります。この仕様は一般用動作条件に対するものです。測定はボード上の隔離された Cyclone II デバイスを使用して実行されました。この測定ではデカップリング・コンデンサは使用されていません。デカップリング・コンデンサの電流を考慮するには、以下の式を使用して各コンデンサの電流を合計します。

$$I = C (dV/dt)$$

正確な消費電流量は、プロセス、温度、および電源のランプ・レートによって変動します。I_{CCINT} パワー・アップ要件の継続時間は、V_{CCINT} 電圧源の立ち上がり時間に依存します。

アルテラは、Cyclone II パワー・カリキュレータを使用してユーザ・モードの I_{CCINT} 消費量を見積もってから、高い方の値に基づいて電源またはレギュレータを選択することを推奨しています。

タイミング仕様

Cyclone II デバイスでは、DirectDrive™ テクノロジーおよび MultiTrack™ インタコネクタにより、全集積度および全スピード・グレードにわたって、性能の予測、正確なシミュレーション、および正確なタイミング解析が保証されています。ここでは、性能、内部、外部および PLL のタイミング仕様を説明し規定します。

このセクションでは、Cyclone II デバイスのタイミング・モデルを示します。一般用グレードのデバイスは、一般用温度範囲でこのタイミングに適合します。工業用グレードのデバイスは、工業用温度範囲でこのタイミングに適合します。仕様値はすべて、ワースト・ケースの電源電圧条件および接合温度条件を示しています。

暫定的なタイミング・モデルは、このデータシートの改訂版に掲載される予定です。

暫定および最終タイミング仕様

タイミング・モデルには、暫定的なものと同最終的なものがあります。Quartus II 開発ソフトウェアは、タイミング・モデルが暫定的な場合は、デザインのコンパイル中にそのことを知らせるメッセージを表示します。表 5-15 に、Cyclone II デバイスのタイミング・モデルのステータスを示します。

ステータスが「暫定的」とは、タイミング・モデルが変更される場合があることを意味します。最初に、タイミングの数値はシミュレーション結果、プロセス・データ、およびその他の既知のパラメータによって作成されます。これらのテストを使用して、暫定的な数値を可能な限り実際のタイミング・パラメータに近づけます。

最終的なタイミングの数値は、実際のデバイスの動作とテストに基づきます。これらの数値は、ワースト・ケースの電圧条件および接合温度条件におけるデバイスの実際の性能を反映しています。

表 5-15. Cyclone II デバイスのタイミング・モデルのステータス

デバイス	暫定仕様	最終仕様
EP2C5	√	
EP2C8	√	
EP2C20	√	
EP2C35	√	
EP2C50	√	
EP2C70	√	

PLL タイミング仕様

表 5-16 に、一般用接合温度範囲 0 ~ 85 °C 内で動作するときの Cyclone II の PLL 仕様を示します。



現在は、工業用温度範囲の動作条件での PLL 仕様は未決定です。工業用接合温度範囲の仕様は、工業用接合温度範囲 -40 ~ 100 °C の全域における PLL の特性評価が完了した時点で有効になります。

表 5-16. PLL 仕様		注 (1)		
シンボル	パラメータ	最小	最大	単位
f_{IN}	入力周波数 (-6 スピード・グレード)	11	311	MHz
	入力周波数 (-7 スピード・グレード)	11	270	MHz
	入力周波数 (-8 スピード・グレード)	11	240	MHz
f_{IN} DUTY	入力クロックのデューティ・サイクル	40	60	%
t_{IN} JITTER	入力クロック周期ジッタ		200	ps
f_{OUT_EXT} (外部 PLL クロック出力)	PLL 出力周波数 (-6 スピード・グレード)	15.625	(4)	MHz
	PLL 出力周波数 (-7 スピード・グレード)	15.625	(4)	MHz
	PLL 出力周波数 (-8 スピード・グレード)	15.625	(4)	MHz
f_{OUT} (グローバル・クロックへ)	PLL 出力周波数 (-6 スピード・グレード)	10	402.5	MHz
	PLL 出力周波数 (-7 スピード・グレード)	10	350	MHz
	PLL 出力周波数 (-8 スピード・グレード)	10	310	MHz
t_{OUT} DUTY	外部クロック出力のデューティ・サイクル (50% に設定した場合)	45	55	%
t_{JITTER} (2)	外部クロック出力の周期ジッタ			ps
t_{LOCK}	デバイス・コンフィギュレーション終了後からロックするのに必要な時間		1	ms
f_{VCO} (3)	PLL 内部 VCO 動作範囲	300	1,000	MHz

表 5-16 の注：

- (1) これらの数値は暫定仕様です。
- (2) PLL [2..1] OUT ピンの t_{JITTER} 仕様は、その vcc_{IO} バック内の I/O ピン、出力を切り替えるピン数、ピンのトグルの程度、およびピンがプログラマブルな電流能力を使用するかどうかによって異なります。
- (3) 1/2 分周設定の場合には、300 ~ 499 MHz の内部 VCO 周波数が使用可能です。
- (4) このパラメータは、Quartus II 開発ソフトウェアでは I/O 最大周波数で制限されます。最大 I/O 周波数は標準 I/O 規格ごとに異なります。

高速 I/O タイミング仕様

LVDS、mini-LVDS、および RSDS データ通信はソース同期方式であるため、タイミング解析は他の標準 I/O 規格とは異なります。すなわちデータとクロック信号間スキューに基づきます。

設計者は、計算にボード・スキュー、ケーブル・スキュー、およびクロック・ジッタを考慮することも必要です。このセクションでは、Cyclone II デバイスの高速標準 I/O 規格タイミング・パラメータについて詳しく説明します。

表 5-17 は、図 5-3 に示すタイミング図のパラメータを説明しています。

表 5-17. 高速 I/O タイミング定義		
パラメータ	シンボル	説明
高速 I/O データ・レート	HSIODR	高速レシーバおよびトランスミッタの入出力データ・レート。
期間	TUI	時間単位間隔。 $TUI = 1/HSIODR$ 。
チャンネル間スキュー	TCCS	t_{CO} 変動とクロック・スキューを含む最少、最大出力遅延のタイミング差。クロックの遅延要素 TCCS 測定に含まれます。 $TCCS = TUI - SW - (2 \times RSKM)$
サンプリング・ウィンドウ	SW	データを正しくキャプチャするために、データが有効でなければならない期間。サンプリング・ウィンドウは、セットアップ・タイム、ホールド・タイム、およびジッタを合計したものです。 $t_{SU} + t_H$ のウィンドウがサンプリング・ウィンドウの中心にあるものと想定します。 $SW = TUI - TCCS - (2 \times RSKM)$
レシーバ入力スキュー・マージン	RSKM	RSKM は、サンプリング・ウィンドウと TCCS を考慮した後に残る合計マージンによって定義されます。RSKM は以下の式で表されます。 $RSKM = (TUI - SW - TCCS) / 2$

図 5-3. 高速 I/O タイミング図

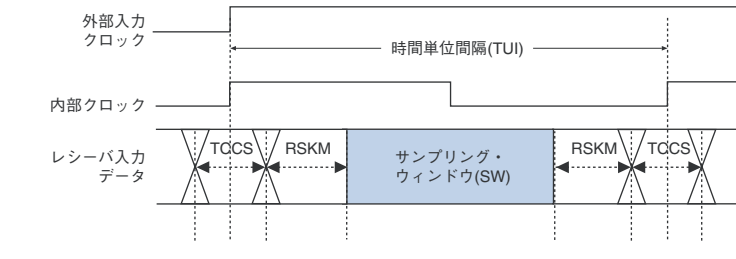


図 5-4 に、高速 I/O タイミング見積もりを示します。

図 5-4. 高速 I/O タイミング見積もり 注 (1)

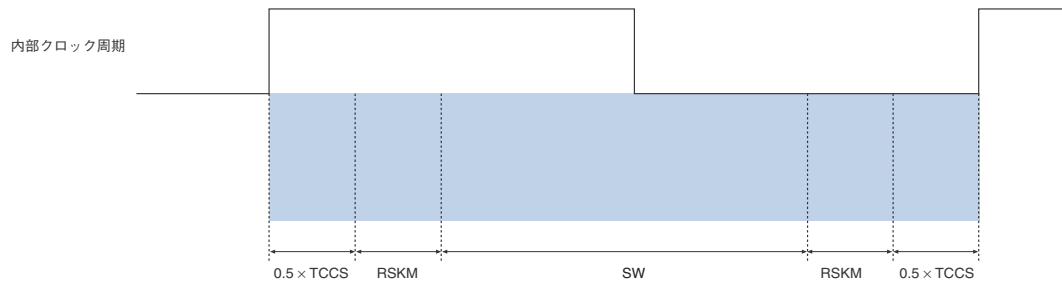


図 5-4 の注：

(1) 高速 I/O タイミング見積もりは、期間 = $TCCS + RSKM + SW + RSKM$ という式で表されます。

表 5-18 に、Cyclone II デバイスの 170 Mbps における RSDS タイミング見積もりを示します。RSDS は、Cyclone II デバイスからの送信用にサポートされています。Cyclone II デバイスは、ディスプレイ・ドライバをドライブするアプリケーション用なので、RSDS データを受信することはできません。

Cyclone II デバイスは、DDIO レジスタを使用して最大 170 Mbps の RSDS データ・レートをサポートします。RSDS 向けデザインの最大内部クロック周波数は 85 MHz です。

シンボル	条件	-6 スピード・グレード			-7 スピード・グレード			-8 スピード・グレード			単位
		最小	標準	最大	最小	標準	最大	最小	標準	最大	
HSIODR	DDIO レジスタを 使用 (1)	31.25		170	31.25		170	31.25		170	Mbps
期間		5.88			5.88			5.88			ns
TCCS				1.68			1.68			1.68	ns
SW	(2)			4.00			4.00			4.00	ns
RSKM	(3)			0.10			0.10			0.10	ns

表 5-18 の注：

- (1) 表 5-16 に示す PLL 仕様の場合、最小データ・レートは、 $2 \times f_{IN}$ (最小) で制限されます。
- (2) これは、サンプリング・ウィンドウ (t_{SU} 、 t_H 、および t_{JITTER} の合計) を受信デバイスでどの程度まで大きくすることができるかを示します。Cyclone II デバイスは、RSDS 標準 I/O 規格ではトランスミッタのみです。
- (3) RSKM は、計算したサンプリング・ウィンドウに対して 100 ps を想定しています。RSKM は設計者が決定するシステム・パラメータです。

トランスミッタのタイミング要件を決定するには、リンクの他端における RSDS レシーバのタイミング要件を考慮する必要があります。RSDS レシーバのタイミング・パラメータは通常、 t_{SU} および t_H 要件として定義されます。したがって、トランスミッタのタイミング・パラメータ仕様は、 t_{CO} (最小) および t_{CO} (最大) になります。タイミング見積もりについては、図 5-4 を参照してください。

RSDS の AC タイミング要件を図 5-5 に示します。

図 5-5. RSDS トランスミッタ・クロックとデータの関係

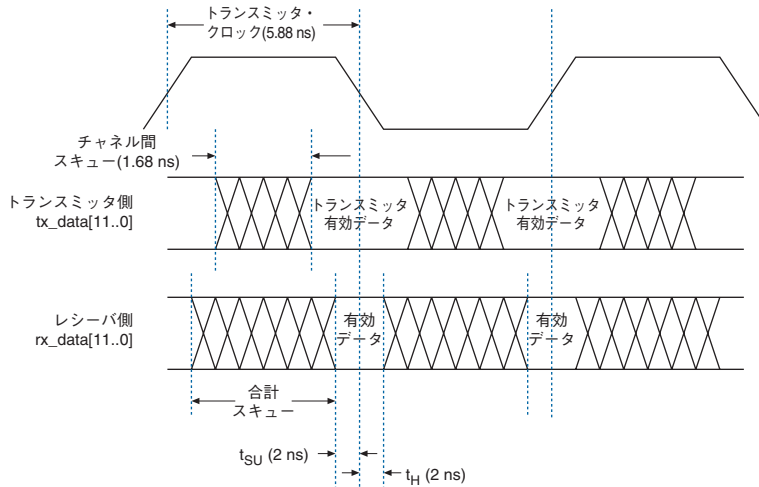


表5-19に、170 Mbpsで動作する Cyclone II デバイスに対する mini-LVDS トランスミッタ・タイミング見積もりを示します。Cyclone II デバイスは、ディスプレイ・ドライバをドライブするアプリケーション用なので、mini-LVDS データを受信することはできません。mini-LVDS の最大データレート 170 Mbps は、DDIO レジスタを使用する Cyclone II デバイスに対してサポートされています。mini-LVDS 向けデザインの最大内部クロック周波数は 85 MHz です。

シンボル	条件	-6 スピード・グレード			-7 スピード・グレード			-8 スピード・グレード			単位
		最小	標準	最大	最小	標準	最大	最小	標準	最大	
HSIODR	DDIO レジスタを使用 (1)	31.25		170	31.25		170	31.25		170	Mbps
期間		5.88			5.88			5.88			ns
TCCS				0.388			0.388			0.388	ns
SW	(2)			5.292			5.292			5.292	ns
RSKM	(3)			0.10			0.10			0.10	ns

表 5-19 の注：

- (1) 表 5-16 に示す PLL 仕様の場合、最小データ・レートは、 $2 \times f_{IN}$ (最小) で制限されます。
- (2) これは、サンプリング・ウィンドウ (t_{SU} 、 t_H 、および t_{JITTER} の合計) を受信デバイスでどの程度まで大きくすることができるかを示します。Cyclone II デバイスは、mini-LVDS ではトランスミッタのみです。
- (3) RSKM は、計算した SW に対して 100 ps を想定しています。RSKM は設計者が決定するシステム・パラメータです。

トランスミッタのタイミング要件を決定するには、リンクの他端における mini-LVDS レシーバのタイミング要件を考慮する必要があります。mini-LVDS レシーバのタイミング・パラメータは通常、 t_{SU} および t_H 要件として定義されます。したがって、トランスミッタのタイミング・パラメータ仕様は、 t_{CO} (最小) および t_{CO} (最大) になります。タイミング見積もりについては、図 5-4 を参照してください。

mini-LVDS の AC タイミング要件を図 5-6 に示します。

図 5-6. mini-LVDS トランスミッタの AC タイミング仕様

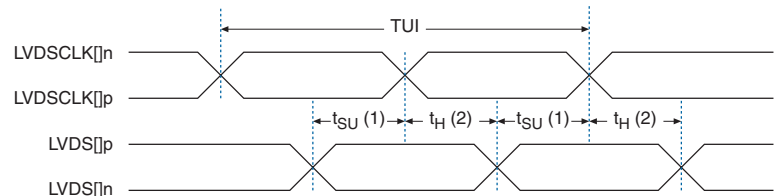


図 5-6 の注：

- (1) データのセットアップ・タイム t_{SU} は、 $0.225 \times TUI$ です。
- (2) データのホールド・タイム t_H は、 $0.225 \times TUI$ です。

表 5-20 に、Cyclone II デバイスの LVDS タイミング見積もりを示します。Cyclone II デバイスは、最大データ・レート 805 Mbps の LVDS レシーバと、最大データ・レート 622 Mbps の LVDS トランスミッタをサポートします。

シンボル	条件	-6 スピード・グレード			-7 スピード・グレード			-8 スピード・グレード			単位
		最小	標準	最大	最小	標準	最大	最小	標準	最大	
HSIODR (1)	10	156.25		622	156.25		622	156.25		530	Mbps
	8	125		622	125		622	125		530	Mbps
	7	125		622	125		622	125		530	Mbps
	4	62.5		622	62.5		622	62.5		530	Mbps
	2	31.25		622	31.25		622	31.25		530	Mbps
	1 (2)	15.625		311	15.625		311	15.625		265	Mbps
期間		1.608			1.608			1.886			ns
TCCS				200			200			230	ps
SW (3)		800			800			920			ps
RSKM				304			304			368	ps

表 5-20 の注：

- (1) 表 5-16 に示す PLL 仕様の場合、最小データ・レートは $2 \times f_{IN}$ (最小) で制限されます。
- (2) PLL は、内部クロック周波数が表 5-16 に示す仕様に適合するように、入力クロック周波数を分周する必要があります。
- (3) これらの値は、SW パラメータに対して PLL ジッタ 400 ps を想定しています。

