



EPCQ-A シリアル・コンフィグレーション・デバイス ユーザーガイド

目次

1. EPCQ-A シリアル・コンフィグレーション・デバイス ユーザーガイド	4
1.1. サポートされるデバイス.....	4
1.2. 機能特性.....	4
1.3. 動作条件.....	5
1.3.1. 絶対最大定格.....	5
1.3.2. 推奨動作条件.....	5
1.3.3. DC 動作条件.....	5
1.3.4. AC 測定条件.....	6
1.3.5. ICC 供給電流.....	6
1.3.6. キャパシタンス.....	6
1.4. ピン情報.....	7
1.4.1. EPCQ4A、EPCQ16A、および EPCQ32A デバイスのピンアウト図.....	7
1.4.2. EPCQ64A および EPCQ128A デバイスのピンアウト図.....	7
1.4.3. EPCQ-A デバイスピンの概要.....	8
1.5. デバイス・パッケージおよび製品コード.....	9
1.5.1. パッケージ.....	9
1.5.2. 製品コード.....	10
1.6. メモリアレイの構成.....	10
1.6.1. EPCQ4A のアドレス範囲.....	10
1.6.2. EPCQ16A のアドレス範囲.....	11
1.6.3. EPCQ32A のアドレス範囲.....	12
1.6.4. EPCQ64A のアドレス範囲.....	13
1.6.5. EPCQ128A のアドレス範囲.....	14
1.7. Memory オペレーション.....	16
1.7.1. タイミング要件.....	16
1.8. ステータスレジスター.....	17
1.8.1. Read Status オペレーション.....	17
1.8.2. Write Status オペレーション.....	20
1.9. オペレーション・コード一覧.....	21
1.9.1. Read Bytes オペレーション(03h).....	21
1.9.2. Fast Read オペレーション(0Bh).....	22
1.9.3. Extended Dual Input Fast Read オペレーション(BBh).....	23
1.9.4. Extended Quad Input Fast Read オペレーション(EBh).....	23
1.9.5. Read Device Identification オペレーション(9Fh).....	24
1.9.6. Read Silicon Identification オペレーション(ABh).....	24
1.9.7. Write Enable オペレーション(06h).....	25
1.9.8. Write Disable オペレーション(04h).....	26
1.9.9. Write Bytes オペレーション(02h).....	26
1.9.10. Quad Input Fast Write Bytes オペレーション(32h).....	27
1.9.11. Erase Bulk オペレーション(C7h).....	27
1.9.12. Erase Sector オペレーション(D8h).....	28
1.9.13. Erase Subsector オペレーション(20h).....	29
1.9.14. Read SFDP Register オペレーション(5Ah).....	29
1.10. 電源モード.....	30



1.11. タイミング情報.....	31
1.11.1. Write オペレーションのタイミング.....	31
1.11.2. Read オペレーションのタイミング.....	33
1.12. プログラミングおよびコンフィグレーション・ファイルのサポート.....	33
1.13. 付録: SFDP レジスターの定義.....	34
1.14. EPCQ-A シリアル・コンフィグレーション・デバイス ユーザーガイド 改訂履歴.....	37

1. EPCQ-A シリアル・コンフィグレーション・デバイス ユーザーガイド

関連情報

AN822: Intel® Configuration Device Migration Guideline

1.1. サポートされるデバイス

表 1. サポートされる Intel EPCQ-A デバイス

デバイス	メモリーサイズ (ビット)	オンチップ復元サポ ート	ISP サポ ート	カスケード接続 サポート	再プログラム可能	推奨動作電圧(V)
EPCQ4A	4,194,304	なし	あり	なし	あり	3.3
EPCQ16A	16,777,216	なし	あり	なし	あり	3.3
EPCQ32A	33,554,432	なし	あり	なし	あり	3.3
EPCQ64A	67,108,864	なし	あり	なし	あり	3.3
EPCQ128A	134,217,728	なし	あり	なし	あり	3.3

1.2. 機能特性

EPCQ-A デバイスには次の特徴があります。

- アクティブシリアル (AS) x 1 または AS x 4 コンフィグレーション・スキームをサポートするデバイスにおけるシリアルまたはクアドシリアル FPGA コンフィグレーション⁽¹⁾
- 低コストかつ低ピン数の不揮発性メモリー
- 2.7 V から 3.6 V までの動作電圧
- EPCQ4A、EPCQ16A、および EPCQ32A デバイス向け 8 ピン・スモール・アウトライン IC (SOIC) パッケージで使用可能
- EPCQ64A および EPCQ128A デバイス向け 16 ピン SOIC パッケージで使用可能
- 100,000 回以上のプログラム / 消去回数を持つ再プログラミング可能なメモリー
- ステータス・レジスター・ビットを使用したメモリー・セクターへの書き込み保護をサポート
- 単一オペレーション・コードを使用した、メモリー全体の高速読み取り、拡張デュアル入力高速読み取り、および拡張クワッド入力高速読み取り
- SRunner ソフトウェア・ドライバーを使用した外部マイクロ・プロセッサによる再プログラム可能
- Srunner ソフトウェア・ドライバーを使用したインシステム・プログラミング (ISP) サポート

⁽¹⁾ AS x4 は、EPCQ4A には適用されません。



- インテル® FPGA ダウンロード・ケーブル II、インテル FPGA ダウンロード・ケーブル、またはインテル FPGA イーサネット・ケーブルによる ISP サポート
- デフォルトでは、メモリアレイは消去され、ビットは 1 にセットされます
- 20 年以上のデータ保持
- JEDEC 標準の Serial Flash Discoverable Parameter (SFDP) をサポート

1.3. 動作条件

1.3.1. 絶対最大定格

表 2. EPCQ-A デバイスの絶対最大定格

シンボル	パラメーター	条件	最小値	最大値	単位
V _{CC}	電源電圧	GND に対して	-0.6	4.6	V
V _I	DC 入力電圧	GND に対して	-0.6	V _{CC} +0.4	V
T _{STG}	保存温度	バイアスなし	-65	150	°C

1.3.2. 推奨動作条件

表 3. EPCQ-A デバイスの推奨動作条件

シンボル	パラメーター	条件	最小値	最大値	単位
V _{CC}	電源電圧	(2)	2.7	3.6	V
T _A	周囲温度、動作	インダストリアル用	-40	85	°C

1.3.3. DC 動作条件

表 4. EPCQ-A デバイスの DC 動作条件

シンボル	パラメーター	条件	最小値	最大値	単位
V _{IH}	High レベル入力電圧	—	0.7 × V _{CC}	V _{CC} + 0.4	V
V _{IL}	Low レベル入力電圧	—	-0.5	0.3 × V _{CC}	V
V _{OH}	High レベル出力電圧	I _{OH} = -100 μA	V _{CC} - 0.2	—	V
V _{OL}	EPCQ4A の Low レベル出力電圧	I _{OL} = 100 μA	—	0.4	V
	EPCQ16A, EPCQ32A, EPCQ64A, および EPCQ128A の Low レベル出力電圧		—	0.2	V
I _I	入力リーク電流	V _I = V _{CC} または GND	-2	2	μA
I _{OZ}	トライステート出力のオフステート電流	V _O = V _{CC} または GND	-2	2	μA

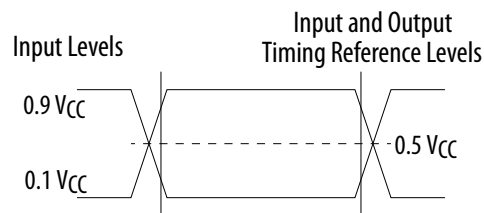
(2) Read オペレーション中の V_{CC} 電圧は最小と最大の範囲で動作可能ですが、プログラミング(消去 / 書き込み)電圧の±10%を超えてはいけません。

1.3.4. AC 測定条件

表 5. EPCQ-A デバイスの AC 測定条件

シンボル	パラメーター	最小値	最大値	単位
C_L	負荷容量	—	30	pF
T_{R, T_F}	入力の立ち上がり時間と立ち下がり時間	—	5	ns
V_{IN}	入力パルス電圧	0.1 V_{CC} ~ 0.9 V_{CC}		V
I_{IN}	入力タイミング・リファレンス電圧	0.3 V_{CC} ~ 0.7 V_{CC}		V
出力	出力タイミング・リファレンス電圧	0.5 V_{CC} ~ 0.5 V_{CC}		V

図 -1: AC 測定 I/O 波形図



1.3.5. ICC 供給電流

表 6. I_{CC} 供給電流の AC 測定

シンボル	パラメーター	条件	最小値	最大値	単位
I_{CC0}	EPCQ4A, EPCQ16A, EPCQ32A, および EPCQ64A の V_{CC} 供給電流	スタンバイ	10	50	μ A
	EPCQ128A の V_{CC} 供給電流		10	60	
I_{CC1}	EPCQ4A の V_{CC} 供給電流	アクティブ電源モード中	1	5	mA
	EPCQ16A, EPCQ32A, および EPCQ64A の V_{CC} 供給電流		1	15	
	EPCQ128A の V_{CC} 供給電流		1	20	

1.3.6. キャパシタンス

表 7. EPCQ-A デバイスのキャパシタンス

キャパシタンスは、 $T_A = 25^\circ\text{C}$ および $V_{CC} = 3.0\text{V}$ でのみサンプルテストされています。

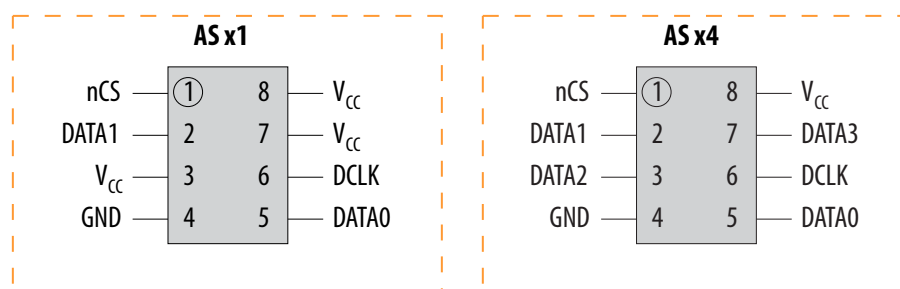
シンボル	パラメーター	条件	最小値	最大値	単位
C_{IN}	入力ピン・キャパシタンス	$V_{IN} = 0\text{V}$	—	6	pF
C_{OUT}	出力ピン・キャパシタンス	$V_{OUT} = 0\text{V}$	—	8	pF

1.4. ピン情報

1.4.1. EPCQ4A、EPCQ16A、および EPCQ32A デバイスのピンアウト図

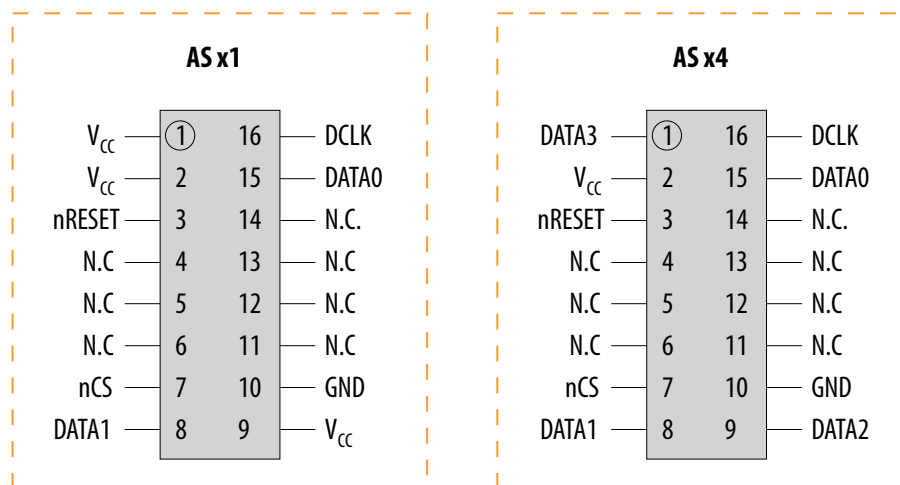
図 -2: EPCQ4A、EPCQ16A、および EPCQ32A デバイスの AS x1 および AS x4 のピンアウト図

注意: EPCQ4A は、AS x1 のみサポートします。



1.4.2. EPCQ64A および EPCQ128A デバイスのピンアウト図

図 -3: EPCQ64A および EPCQ128A デバイスの AS x1 および AS x4 のピンアウト図



注
N.Cピンは未接続のままにしてください。

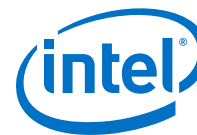
専用nRESETピンに対して内部プルアップ抵抗が存在します。Reset機能が不要な場合、このピンはVccに接続するか、未接続のままにしてください。

1.4.3. EPCQ-A デバイスピンの概要

表 8. EPCQ-A デバイスピンの概要

ピン名	AS x1 のピンアウト図		AS x4 のピンアウト図		ピンの種類	説明
	8ピン SOIC パッケージのピン数	16ピン SOIC パッケージのピン数	8ピン SOIC パッケージのピン数	16ピン SOIC パッケージのピン数		
DATA0	5	15	5	15	I/O	<p>AS x1 モードに対しては、このピンは入力信号ピンとして使用し、EPCQ-A デバイスの書き込みまたはプログラミングを実行します。書き込みまたはプログラミング実行中、データは DCLK 信号の立ち上がりエッジでラッチされます。このピンは、EPCS デバイスの ASDI ピンに相当します。</p> <p>AS x4 モードに対しては、このピンは I/O 信号ピンとして使用します。書き込みまたはプログラミング実行中、このピンは EPCQ-A デバイスにデータをシリアル転送する入力ピンとして動作します。このデータは DCLK 信号の立ち上がりエッジでラッチされます。読み出しおよびコンフィグレーション実行中、このピンは EPCQ-A デバイスから FPGA にデータをシリアル転送する出力信号ピンとして動作します。このデータは、DCLK 信号の立ち下がりエッジでシフトアウトします。</p> <p>Quad Input Fast Write Bytes オペレーション実行中、このピンは EPCQ-A デバイスにデータをシリアル転送する入力ピンとして動作します。このデータは、DCLK 信号の立ち上がりエッジでラッチされます。Extended Dual Input Fast Read および Extended Quad Input Fast Read オペレーション実行中、このピンは EPCQ-A デバイスから FPGA にデータをシリアル転送する出力ピンとして動作します。このデータは、DCLK 信号の立ち下がりエッジでシフトアウトします。</p>
DATA1	2	8	2	8	I/O	<p>AS x1 および AS x4 モードに対しては、このピンは読み出しおよびコンフィグレーション実行中に、EPCQ-A デバイスから FPGA にデータをシリアル転送する出力信号ピンとして動作します。信号の転送は、DCLK 信号の立ち下がりエッジです。このピンは、EPCS デバイスの DATA ピンに相当します。</p> <p>Quad Input Fast Write Bytes オペレーション実行中、このピンは EPCQ-A にデータをシリアル転送する入力信号ピンとして動作します。このデータは、DCLK 信号の立ち上がりエッジでラッチされます。</p> <p>Extended Quad Input Fast Read オペレーション実行中、このピンは EPCQ-A デバイスから FPGA にデータをシリアル転送する出力信号として動作します。このデータは、DCLK 信号の立ち下がりエッジでシフトアウトします。</p> <p>Read、Configuration、あるいは Program オペレーション実行中、EPCQ-A デバイスは nCS 信号を Low にプルダウンすることでイネーブルすることができます。</p>
DATA2	—	—	3	9	I/O	<p>AS x1 モードに対しては、このピンは V_{CC} に接続する必要があります。</p> <p>AS x4 モードに対しては、このピンは読み出しおよびコンフィグレーション実行中に、EPCQ-A デバイスから FPGA にデータをシリアル転送する出力信号ピンとして使用します。この信号の遷移は、DCLK 信号の立ち下がりエッジです。</p> <p>Extended Quad Input Fast Read オペレーション実行中、このピンは EPCQ-A デバイスから FPGA にデータをシリアル転送する出力ピンとして動作します。このデータは、DCLK 信号の立ち下がりエッジでシフトアウトします。</p>

continued...



ピン名	AS x1 のピンアウト図		AS x4 のピンアウト図		ピンの種類	説明
	8ピン SOIC パッケージのピン数	16ピン SOIC パッケージのピン数	8ピン SOIC パッケージのピン数	16ピン SOIC パッケージのピン数		
DATA3	—	—	7	1	I/O	AS x1 モードに対しては、このピンは V _{CC} に接続する必要があります。 AS x4 モードに対しては、このピンは読み出しおよびコンフィグレーション実行中に、EPCQ-A デバイスから FPGA にデータをシリアル転送する出力信号ピンとして使用します。この信号の遷移は、DCLK 信号の立ち下がりエッジです。 Extended Quad Input Fast Read オペレーション実行中、このピンは EPCQ-A デバイスから FPGA にデータをシリアル転送する出力ピンとして動作します。このデータは、DCLK 信号の立ち下がりエッジでシフトアウトします。
nCS	1	7	1	7	入力	アクティブ Low nCS 入力信号は、有効なオペレーションの開始および終了でトリグgersします。この信号が High の場合、デバイスは解除され、DATA[3:0] ピンはトライステートとなります。この信号が Low の場合、デバイスはイネーブルされアクティブモードとなります。パワーアップ後、動作を開始する前に EPCQ-A デバイスは nCS 信号での立ち下がりエッジを必要とします。
DCLK	6	16	6	16	入力	FPGA は DCLK 信号を備えています。この信号は、シリアル・インターフェイスへのタイミングを提供します。 DATA[3:0] ピンのデータは、DCLK 信号の立ち上がりエッジで EPCQ-A デバイスにラッチされます。DATA[3:0] ピンのデータは、DCLK 信号の立ち下がりエッジ後に変更し、DCLK 信号の次の立ち下がりエッジで FPGA にラッチされます。
nRESET	—	3	—	3	入力	専用ハードウェア・リセット・ピンです。最短期間である ~1μs、Low で駆動されると、EPCQ-A デバイスは外部および内部オペレーションを終了し、パワーオン状態に戻ります。 SOIC-16 パッケージには、専用 nRESET ピンに向けた内部プルアップ抵抗が存在します。リセット機能が不要な場合は、V _{CC} に接続するか、あるいは未接続にすることができます。
V _{CC}	8	2	8	2	Power	電源ピンは 3.3 V の電源に接続します。
GND	4	10	4	10	グラウンド	グラウンド・ピンです

1.5. デバイス・パッケージおよび製品コード

1.5.1. パッケージ

EPCQ4A、EPCQ16A、および EPCQ32A デバイスは、8 ピン SOIC パッケージで利用可能です。
EPCQ64A および EPCQ128A デバイスは、16 ピン SOIC パッケージで利用可能です。

1.5.2. 製品コード

表 9. EPCQ-A デバイスの製品コード

デバイス	製品コード ⁽³⁾
EPCQ4A	EPCQ4ASI8N
EPCQ16A	EPCQ16ASI8N
EPCQ32A	EPCQ32ASI8N
EPCQ64A	EPCQ64ASI16N
EPCQ128A	EPCQ128ASI16N

1.6. メモリアレイの構成

表 10. EPCQ-A デバイスでサポートされるメモリアレイの構成

説明	EPCQ4A	EPCQ16A	EPCQ32A	EPCQ64A	EPCQ128A
バイト数	524,288 バイト [4 メガビット (Mb)]	2,097,152 バイト (16 Mb)	4,194,304 バイト (32 Mb)	8,388,608 バイト (64 Mb)	16,777,216 バイト (128 Mb)
セクター数	8	32	64	128	256
セクターあたりのバイト数	65,536 バイト [512 キロビット(Kb)]				
サブセクターの総数 ⁽⁴⁾	128	512	1,024	2,048	4,096
セクターあたりのバイト数	4,096 バイト (32 Kb)				
セクターあたりのページ数	256				
ページの総数	2,048	8,192	16,384	32,768	65,536
ページあたりのバイト数	256 バイト				

1.6.1. EPCQ4A のアドレス範囲

表 11. EPCQ4A デバイスのセクター 7..0 およびサブセクター 127..0 のアドレス範囲

セクター	サブセクター	アドレス範囲 (16 進数バイトアドレス)	
		開始	終了
7	127	7F000	7FFFF
	126	7E000	7EFFF

	114	72000	72FFF

continued...

⁽³⁾ N はデバイスが鉛フリーであることを意味します。

⁽⁴⁾ 各セクターは、4 KB のメモリーを持つ 16 のサブセクターに分割されます。このため、EPCQ4A デバイスのサブセクターは 128 (8 x 16)、EPCQ16A デバイスのサブセクターは 512 (32 x 16)、EPCQ32A デバイスのサブセクターは 1,024 (64 x 16)、EPCQ64A デバイスのサブセクターは 2,048 (128 x 16)、EPCQ128 デバイスのサブセクターは 4,096 (256 x 16) となります。



セクター	サブセクター	アドレス範囲(16 進数バイトアドレス)	
		開始	終了
	113	71000	71FFF
	112	70000	70FFF
6	111	6F000	6FFFF
	110	6E000	6EFFF

	98	62000	62FFF
	97	61000	61FFF
	96	60000	60FFF
	1	31	1F000
30		1E000	1EFFF
..	
18		12000	12FFF
17		11000	11FFF
16		10000	10FFF
0	15	F000	FFFF
	14	E000	EFFF

	2	2000	2FFF
	1	1000	1FFF
	0	H'0000000	H'0000FFF

1.6.2. EPCQ16A のアドレス範囲

表 12. EPCQ16A デバイスのセクター 31..0 およびサブセクター 511..0 のアドレス範囲

セクター	サブセクター	アドレス範囲(16 進数バイトアドレス)	
		開始	終了
31	511	1FF000	1FFFFF
	510	1FE000	1FEFFF
	.	.	.
	498	1F2000	1F2FFF
	497	1F1000	1F1FFF
	496	1F0000	1F0FFF
30	495	1EF000	1EFFFF
	494	1EE000	1EEFFF
	.	.	.
	482	1E2000	1E2FFF

continued...



セクター	サブセクター	アドレス範囲(16 進数バイトアドレス)	
		開始	終了
	481	1E1000	1E1FFF
	480	1E0000	1E0FFF
1	31	1F000	1FFFF
	30	1E000	1EFFF
	.	.	.
	18	12000	12FFF
	17	11000	11FFF
	16	10000	10FFF
0	15	F000	FFFF
	14	E000	EFFF
	.	.	.
	2	2000	2FFF
	1	1000	1FFF
	0	H'0000000	H'0000FFF

1.6.3. EPCQ32A のアドレス範囲

表 13. EPCQ32A デバイスのセクター 63..0 およびサブセクター 1023..0 のアドレス範囲

セクター	サブセクター	アドレス範囲(16 進数バイトアドレス)	
		開始	終了
63	1023	3FF000	3FFFFFF
	1022	3FE000	3FEFFF
	.	.	.
	1010	3F2000	3F2FFF
	1009	3F1000	3F1FFF
	1008	3F0000	3F0FFF
62	1007	3EF000	3EFFFF
	1006	3EE000	3EEFFF
	.	.	.
	994	3E2000	3E2FFF
	993	3E1000	3E1FFF
	992	3E0000	3E0FFF
1	31	1F000	1FFFF
	30	1E000	1EFFF
	.	.	.
	18	12000	12FFF

continued...



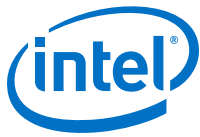
セクター	サブセクター	アドレス範囲(16 進数バイトアドレス)	
		開始	終了
	17	11000	11FFF
	16	10000	10FFF
0	15	F000	FFFF
	14	E000	EFFF
	.	.	.
	2	2000	2FFF
	1	1000	1FFF
	0	H'0000000	H'0000FFF

1.6.4. EPCQ64A のアドレス範囲

表 14. EPCQ64A デバイスのセクター 127..0 およびサブセクター 2047..0 のアドレス範囲

セクター	サブセクター	アドレス範囲(16 進数バイトアドレス)	
		開始	終了
127	2047	7FF000	7FFFFFFF
	2046	7FE000	7FEFFF
	.	.	.
	2034	7F2000	7F2FFF
	2033	7F1000	7F1FFF
	2032	7F0000	7F0FFF
64	1039	40F000	40FFFF
	1038	40E000	40EFFF
	.	.	.
	1026	402000	402FFF
	1025	401000	401FFF
	1024	400000	400FFF
63	1023	3FF000	3FFFFFFF
	1022	3FE000	3FEFFF
	.	.	.
	1010	3F2000	3F2FFF
	1009	3F1000	3F1FFF
	1008	3F0000	3F0FFF
62	1007	3EF000	3EFFFF
	1006	3EE000	3EEFFF
	.	.	.

continued...



セクター	サブセクター	アドレス範囲(16 進数バイトアドレス)	
		開始	終了
	994	3E2000	3E2FFF
	993	3E1000	3E1FFF
	992	3E0000	3E0FFF
1	31	1F000	1FFFF
	30	1E000	1EFFF
	.	.	.
	18	12000	12FFF
	17	11000	11FFF
	16	10000	10FFF
0	15	F000	FFFF
	14	E000	EFFF
	.	.	.
	2	2000	2FFF
	1	1000	1FFF
	0	H'0000000	H'0000FFF

1.6.5. EPCQ128A のアドレス範囲

表 15. EPCQ128A デバイスのセクター 255..0 およびサブセクター 4095..0 のアドレス範囲

セクター	サブセクター	アドレス範囲(16 進数バイトアドレス)	
		開始	終了
255	4095	FFF000	FFFFFF
	4094	FFE000	FFEFFF
	.	.	.
	4082	FF2000	FF2FFF
	4081	FF1000	FF1FFF
	4080	FF0000	FF0FFF
254	4079	FEF000	FEFFFF
	4078	FEE000	FEEFFF
	.	.	.
	4066	FE2000	FE2FFF
	4065	FE1000	FE1FFF
	4064	FE0000	FE0FFF
129	2079	81F000	81FFFF

continued...



セクター	サブセクター	アドレス範囲(16 進数バイトアドレス)	
		開始	終了
	2078	81E000	81EFFF
	.	.	.
	2066	812000	812FFF
	2065	811000	811FFF
	2064	810000	810FFF
128	2063	80F000	80FFFF
	2062	80E000	80EFFF
	.	.	.
	2050	802000	802FFF
	2049	801000	801FFF
	2048	800000	800FFF
127	2047	7FF000	7FFFFF
	2046	7FE000	7FEFFF
	.	.	.
	2034	7F2000	7F2FFF
	2033	7F1000	7F1FFF
	2032	7F0000	7F0FFF
64	1039	40F000	40FFFF
	1038	40E000	40EFFF
	.	.	.
	1026	402000	402FFF
	1025	401000	401FFF
	1024	400000	400FFF
63	1023	3FF000	3FFFFF
	1022	3FE000	3FEFFF
	.	.	.
	1010	3F2000	3F2FFF
	1009	3F1000	3F1FFF
	1008	3F0000	3F0FFF
62	1007	3EF000	3EFFFF
	1006	3EE000	3EEFFF
	.	.	.
	994	3E2000	3E2FFF
	993	3E1000	3E1FFF

continued...

セクター	サブセクター	アドレス範囲(16 進数バイトアドレス)	
		開始	終了
	992	3E0000	3E0FFF
1	31	1F000	1FFFF
	30	1E000	1EFFF
	.	.	.
	18	12000	12FFF
	17	11000	11FFF
	16	10000	10FFF
0	15	F000	FFFF
	14	E000	EFFF
	.	.	.
	2	2000	2FFF
	1	1000	1FFF
	0	H'0000000	H'0000FFF

1.7. Memory オペレーション

このセクションでは、EPCQ-A のメモリーへのアクセスに使用できるオペレーションについて説明します。このオペレーションを実行すると、MSB が一番最初に、シリアルでデバイスにシフトインおよびデバイスからシフトアウトします。

1.7.1. タイミング要件

アクティブ Low チップセレクト(nCS)信号が Low で駆動されると、DATA0 ピンを使用して EPCQ-A デバイスにオペレーション・コードをシフトインします。各オペレーション・コードは、DCLK 信号の立ち下がりエッジで EPCQ-A デバイスにラッチされます。

このオペレーションを実行中、所定のオペレーション・コードがシフトインし、アドレスまたはデータバイトがそれに続きます。アドレスおよびデータバイトの詳細については、関連情報を参照してください。デバイスは、オペレーション・シーケンスの最後のビットがシフトインした後、 nCS ピンを駆動する必要がありません。

Read オペレーションでは、Data Read は DATA[3:0]ピンでシフトアウトします。データのいずれかのビットがシフトアウトされると、 nCS ピンを駆動することが可能です。

Write および Erase オペレーションでは、8 クロックパルスの倍数であるバイト境界で nCS ピンを High に駆動します。それ以外の場合は、そのオペレーションは拒否され、実行されません。

Write および Erase サイクルの実行中は、メモリーコンテンツへの接続の試みはすべて拒否されるため、Write と Erase サイクルは影響を受けません。

1.8. ステータスレジスター

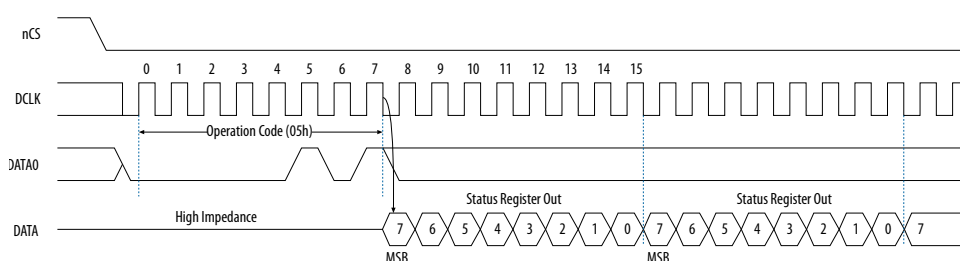
表 16. ステータス・レジスター・ビット

ビット	R/W	デフォルト値	パラメーター	値	説明
7	R/W	0 ⁽⁵⁾		予約済み	
6	R/W	0 ⁽⁵⁾		予約済み	
5	R/W	0	TB(トップ / ボトム ビット)	<ul style="list-style-type: none"> 1=メモリアレイのボトムから始まる保護領域 0=メモリアレイのトップから始まる保護領域 	メモリアレイのトップまたはボトムから始まる保護領域を決定します。
4	R/W	0	BP2 ⁽⁶⁾	表 17 (18 ページ)から表 21 (20 ページ)は、ブロック保護ビットに関連した保護領域を示しています。	意図しない書き込みまたは消去から保護するメモリー領域を決定します。
3	R/W	0	BP1 ⁽⁶⁾		
2	R/W	0	BP0 ⁽⁶⁾		
1	R	0	WEL(Write Enable Latch ビット)	<ul style="list-style-type: none"> 1=次のオペレーションの実行を許可します <ul style="list-style-type: none"> Write Bytes Write Status Register Erase Bulk Erase Sector 0=上記のオペレーションを拒否します 	特定のオペレーションの実行を許可または拒否します
0	R	0	WIP(Write in Progress ビット)	<ul style="list-style-type: none"> 1=次のいずれかのオペレーションが実行中です <ul style="list-style-type: none"> Write Status Register Write Bytes Erase 0=実行中の書き込みまたは消去はありません 	実行中のコマンドの存在を示します

1.8.1. Read Status オペレーション

ステータスレジスターは、Write または Erase オペレーション中、いつでも継続して読み出すことが可能です。

図 -4: Read Status オペレーションのタイミング図



(5) このビットは、1 にプログラミングしないでください。

(6) Erase Bulk および Erase Die オペレーションは、すべてのブロック保護ビットが 0 に設定されている場合にのみ実行可能です。ブロック保護ビットのいずれかが 1 に設定されている場合、関連する領域は、Write Bytes オペレーションによる書き込みおよび Erase Sector オペレーションによる消去から保護されます。

表 17. EPCQ4A のブロック保護ビット

ステータスレジスタの内容				メモリー内容	
TB ビット	BP2 ビット	BP1 ビット	BPO ビット	保護領域	保護されていない領域
x	0	0	0	なし	すべてのセクター
0	0	0	1	セクター 7	セクター (0~6)
0	0	1	0	セクター (6~7)	セクター (0~5)
0	0	1	1	セクター (4~7)	セクター (0~3)
1	0	0	1	セクター 0	セクター (1~7)
1	0	1	0	セクター (0~1)	セクター (2~7)
1	0	1	1	セクター (0~3)	セクター (4~7)
x	1	x	x	すべてのセクター	なし

表 18. EPCQ16A のブロック保護ビット

ステータスレジスタの内容				メモリー内容	
TB ビット	BP2 ビット	BP1 ビット	BPO ビット	保護領域	保護されていない領域
0	0	0	0	なし	すべてのセクター
0	0	0	1	セクター 31	セクター (0~30)
0	0	1	0	セクター (30~31)	セクター (0~29)
0	0	1	1	セクター (28~31)	セクター (0~27)
0	1	0	0	セクター (24~31)	セクター (0~23)
0	1	0	1	セクター (16~31)	セクター (0~15)
0	1	1	0	すべてのセクター	なし
0	1	1	1	すべてのセクター	なし
1	0	0	0	なし	すべてのセクター
1	0	0	1	セクタ 0	セクター (1~31)
1	0	1	0	セクター (0~1)	セクター (2~31)
1	0	1	1	セクター (0~3)	セクター (4~31)
1	1	0	0	セクター (0~7)	セクター (8~31)
1	1	0	1	セクター (0~15)	セクター (16~31)
1	1	1	0	すべてのセクター	なし
1	1	1	1	すべてのセクター	なし

表 19. EPCQ32A のブロック保護ビット

ステータスレジスタの内容				メモリー内容	
TB ビット	BP2 ビット	BP1 ビット	BPO ビット	保護領域	保護されていない領域
0	0	0	0	なし	すべてのセクター
0	0	0	1	セクタ 63	セクター (0~62)

continued...



ステータスレジスターの内容				メモリー内容	
TB ビット	BP2 ビット	BP1 ビット	BP0 ビット	保護領域	保護されていない領域
0	0	1	0	セクター(62~63)	セクター(0~61)
0	0	1	1	セクター(60~63)	セクター(0~59)
0	1	0	0	セクター(56~63)	セクター(0~55)
0	1	0	1	セクター(48~63)	セクター(0~47)
0	1	1	0	セクター(32~63)	セクター(0~31)
0	1	1	1	すべてのセクター	なし
1	0	0	0	なし	すべてのセクター
1	0	0	1	セクタ 0	セクター(1~63)
1	0	1	0	セクター(0~1)	セクター(2~63)
1	0	1	1	セクター(0~3)	セクター(4~63)
1	1	0	0	セクター(0~7)	セクター(8~63)
1	1	0	1	セクター(0~15)	セクター(16~63)
1	1	1	0	セクター(0~31)	セクター(32~63)
1	1	1	1	すべてのセクター	なし

表 20. EPCQ64A のブロック保護ビット

ステータスレジスターの内容				メモリー内容	
TB ビット	BP2 ビット	BP1 ビット	BP0 ビット	保護領域	保護されていない領域
0	0	0	0	なし	すべてのセクター
0	0	0	1	セクター(126~127)	セクター(0~125)
0	0	1	0	セクター(124~127)	セクター(0~123)
0	0	1	1	セクター(120~127)	セクター(0~119)
0	1	0	0	セクター(112~127)	セクター(0~111)
0	1	0	1	セクター(96~127)	セクター(0~95)
0	1	1	0	セクター(64~127)	セクター(0~63)
0	1	1	1	すべてのセクター	なし
1	0	0	0	なし	すべてのセクター
1	0	0	1	セクター(0~1)	セクター(2~127)
1	0	1	0	セクター(0~3)	セクター(4~127)
1	0	1	1	セクター(0~7)	セクター(8~127)
1	1	0	0	セクター(0~15)	セクター(16~127)
1	1	0	1	セクター(0~31)	セクター(32~127)
1	1	1	0	セクター(0~63)	セクター(64~127)
1	1	1	1	すべてのセクター	なし

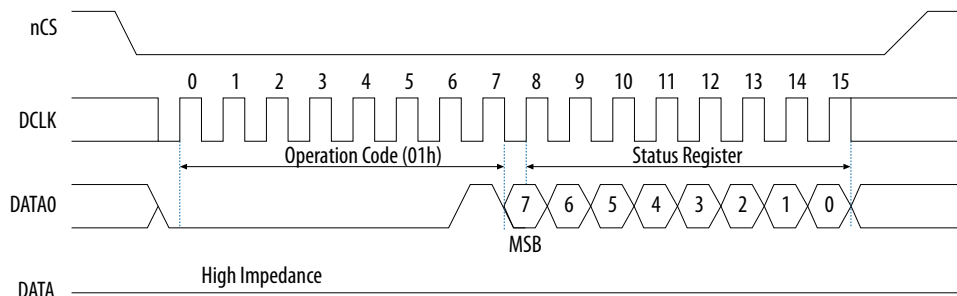
表 21. EPCQ128A のブロック保護ビット

ステータスレジスタの内容				メモリー内容	
TB ビット	BP2 ビット	BP1 ビット	BP0 ビット	保護領域	保護されていない領域
0	0	0	0	なし	すべてのセクター
0	0	0	1	セクター(252~255)	セクター(0~251)
0	0	1	0	セクター(248~255)	セクター(0~247)
0	0	1	1	セクター(240~255)	セクター(0~239)
0	1	0	0	セクター(224~255)	セクター(0~223)
0	1	0	1	セクター(192~255)	セクター(0~191)
0	1	1	0	セクター(128~255)	セクター(0~127)
0	1	1	1	すべてのセクター	なし
1	0	0	0	なし	すべてのセクター
1	0	0	1	セクター(0~3)	セクター(4~255)
1	0	1	0	セクター(0~7)	セクター(8~255)
1	0	1	1	セクター(0~15)	セクター(16~255)
1	1	0	0	セクター(0~31)	セクター(32~255)
1	1	0	1	セクター(0~63)	セクター(64~255)
1	1	1	0	セクター(0~127)	セクター(128~255)
1	1	1	1	すべてのセクター	なし

1.8.2. Write Status オペレーション

Write Status オペレーションは、Write Enable Latch ビットおよび Write In Progress ビットには影響しません。Write Status オペレーションを使用すれば、ステータス・レジスタ・ブロック保護ビットとトップまたはボトムビットを設定することができます。したがって、特定のメモリーセクターを保護する目的で、このオペレーションを実装することができます。ブロック保護ビットを設定した後、保護されたメモリーセクターは読み出し専用メモリーとして処理されます。Write Status オペレーションの前に Write Enable オペレーションを実行する必要があります。

図 -5: Write Status オペレーションのタイミング図



nCS 信号が High に駆動された直後に、デバイスはセルフタイムの Write Status サイクルを開始します。セルフタイムの Write Status サイクルは通常、すべての EPCQ-A デバイスに対して 10 ms を要し、15 ms 未満であることが保証されています。t_{WS} の詳細については下記の関連情報を参照してください



さい。ステータスレジスターが目的のブロック保護ビットで書き込まれるようにするには、この遅延を考慮する必要があります。あるいは、セルフタイムの Write Status サイクルの進行中に Read Status オペレーションを実行することで、ステータスレジスターの Write In Progress ビットを確認することも可能です。セルフタイムの Write Status サイクル中の Write In Progress ビットは 1 で、それが完了すると 0 となります。

1.9. オペレーション・コード一覧

オペレーション	オペレーション・コード (7)	アドレスバイト	ダミーサイクル	データバイト	DCLK f _{MAX} (MHz)
Read Status	05h	0	0	1 ~ 無限大 ⁽⁸⁾	100
Read bytes	03h	3	0	1 ~ 無限大 ⁽⁸⁾	50
Read device identification	9Fh	0	2	1	100
Read silicon identification	ABh	0	3	1	100
Fast read	0Bh	3	8	1 ~ 無限大 ⁽⁸⁾	100
Extended dual input fast read	BBh	3	4	1 ~ 無限大 ⁽⁸⁾	100
Extended quad input fast read ⁽⁹⁾	EBh	3	6	1 ~ 無限大 ⁽⁸⁾	100
Write enable	06h	0	0	0	100
Write disable	04h	0	0	0	100
Write status	01h	0	0	1	100
Write bytes	02h	3	0	1 ~ 256 ⁽¹⁰⁾	100
Quad input fast write bytes ⁽⁹⁾	32h	3	0	1 ~ 256 ⁽¹⁰⁾	100
Erase bulk	C7h	0	0	0	100
Erase sector	D8h	3	0	0	100
Erase subsector	20h	3	0	0	100
Read SFDP register ⁽⁹⁾	5Ah	3	8	1 ~ 256	100

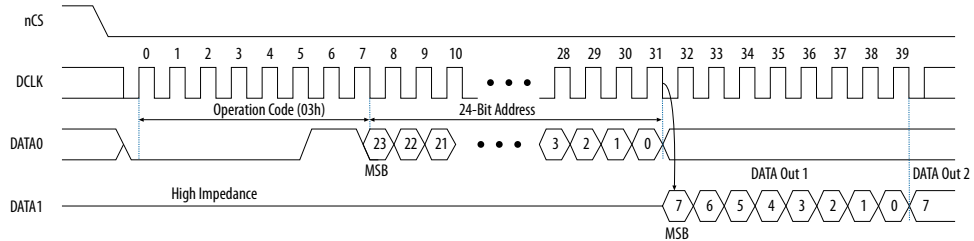
1.9.1. Read Bytes オペレーション(03h)

Read Bytes オペレーションを実行する場合、最初に nCS ピンを Low で駆動して Read bytes オペレーション・コードをシフトインし、それに 3 バイトアドレス(A[23..0])が続きます。各アドレスビットは、DCLK 信号の立ち上がりエッジでラッチインされる必要があります。アドレスがラッチインされた後、

- (7) MSB ファーストおよび LSB ラストで表記しています。
- (8) ステータスレジスターまたはデータは少なくとも一度読み出され、nCS ピンが High に駆動されるまで継続して読み出されます。
- (9) このオペレーションは EPCQ4A には適用されません。
- (10) Write bytes オペレーションには、少なくとも 1 データバイトが必要です。256 バイトを超えるデータがデバイスに送信されると、最後の 256 バイトだけがメモリーに書き込まれます。

指定されたアドレスのメモリー内容は、MSB から順に DATA1 ピンで連続してシフトアウトされます。Raw Programming Data File (.rpd)を読み込む場合、内容は LSB から順に連続してシフトアウトされます。各データビットは、DCLK 信号の立ち下がりエッジでシフトアウトします。Read bytes オペレーション中の最大 DCLK 周波数は、50 Mhz です。

図 -6: Read Bytes オペレーションのタイミング図

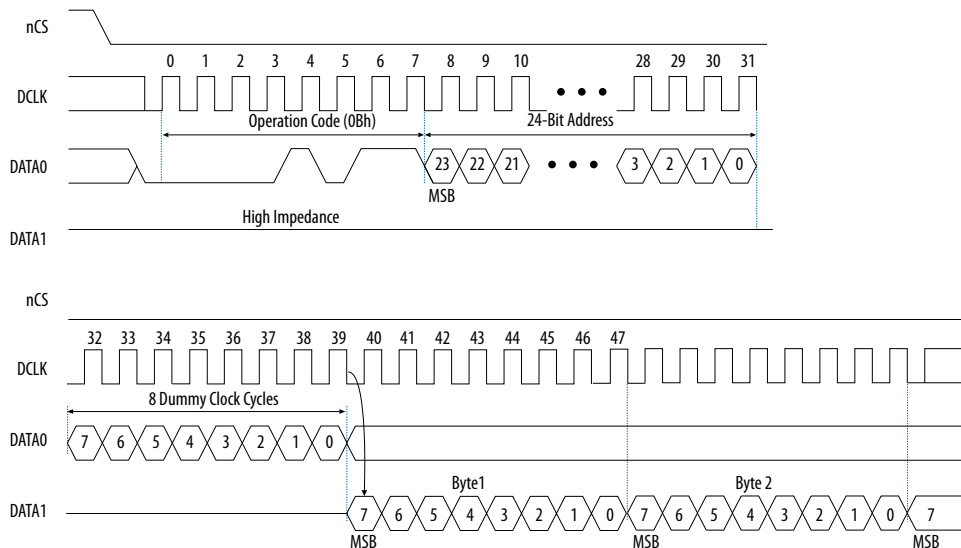


最初のバイトアドレスは任意の位置に設定することができます。デバイスはデータの各バイトをシフトアウトした後、アドレスを次に高いアドレスに自動的に増やします。これにより、デバイスは単一の Read bytes オペレーションでメモリー全体を読む出すことができます。デバイスが最上位のアドレスに達すると、アドレスカウンタは 0x000000 で再開し、nCS 信号を High に駆動することで Read bytes オペレーションが終了するまでメモリー内容を無制限に読み出すことが可能です。Read bytes オペレーションが Write または Erase サイクルの進行中にシフトインされる場合、そのオペレーションは実行されず、進行中の Write または Erase サイクルは影響されません。

1.9.2. Fast Read オペレーション(0Bh)

Fast Read オペレーションを実行する場合、最初に Fast read オペレーション・コードをシフトインし、それに 3 バイトのアドレス (A[23..0]) および各ビットが DCLK 信号の立ち下がりエッジでラッチインされている 8 ダミーサイクルが続きます。次に、DCLK 信号の立ち下がりエッジで 100 MHz の最大周波数で各ビットがシフトアウトした状態で、そのアドレスのメモリー内容は DATA1 でシフトアウトされます。

図 -7: Fast Read オペレーションのタイミング図



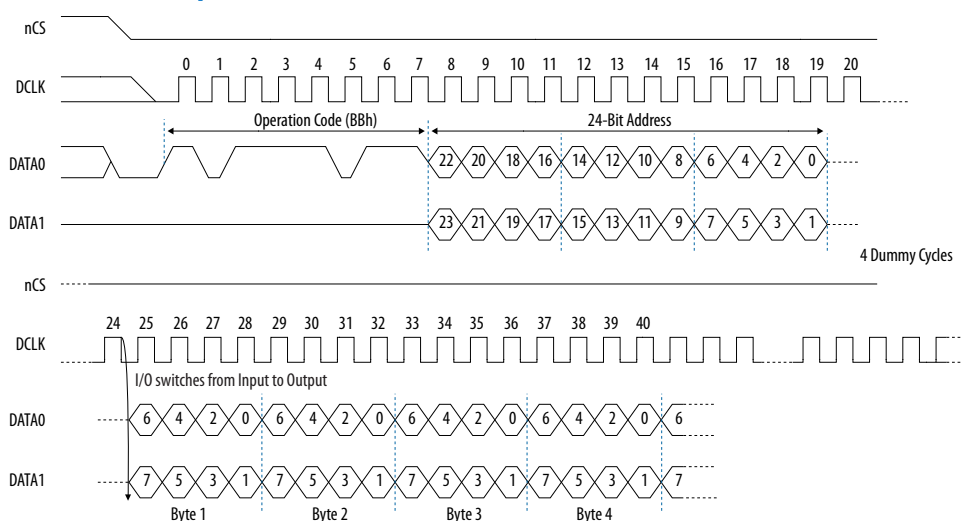
最初のバイトアドレスは任意の位置に設定することができます。デバイスはデータの各バイトをシフトアウトした後、アドレスを次に高いアドレスに自動的に増やします。これにより、デバイスは単一の Read bytes オペレーションでメモリー全体を読む出すことができます。デバイスが最上位のアドレスに達すると、アドレスカウンタは 0x000000 で再開するため、Read シーケンスは無制限に継続することが可能となります。

データ出力中に nCS 信号を High に駆動することで、いつでも Fast Read オペレーションを終了することができます。Fast Read オペレーションが進行中の Erase、Program、または Write サイクルでシフトインされる場合、そのオペレーションは実行されず、進行中の Write または Erase サイクルは影響されません。

1.9.3. Extended Dual Input Fast Read オペレーション(BBh)

このオペレーションは Fast read オペレーションと似ていますが、データとアドレスが DATA0 ピンと DATA1 ピンでシフトインおよびシフトアウトされる点が異なります。

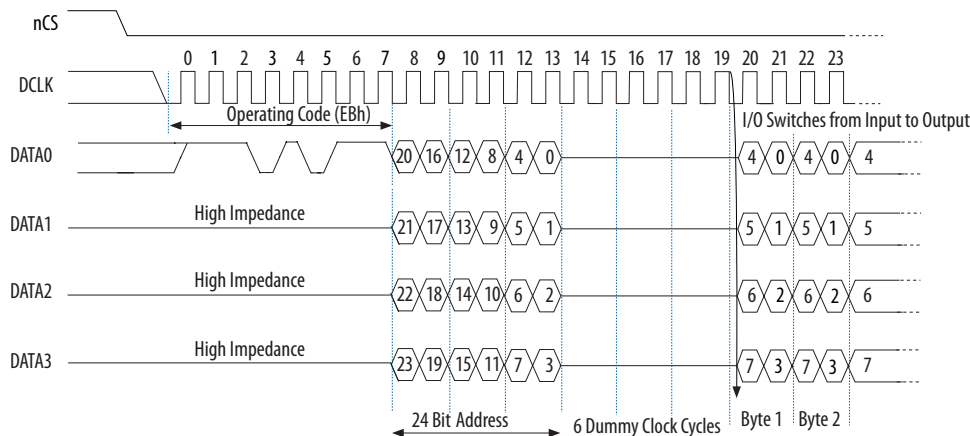
図 -8: Extended Dual Input Fast Read オペレーションのタイミング図



1.9.4. Extended Quad Input Fast Read オペレーション(EBh)

このオペレーションは Extended Dual Input Fast Read オペレーションと似ていますが、データとアドレスが DATA0 ピン、DATA1 ピン、DATA2 ピンおよび DATA3 ピンでシフトインおよびシフトアウトされる点が異なります。

図 -9: Extended Quad Input Fast Read オペレーション



1.9.5. Read Device Identification オペレーション(9Fh)

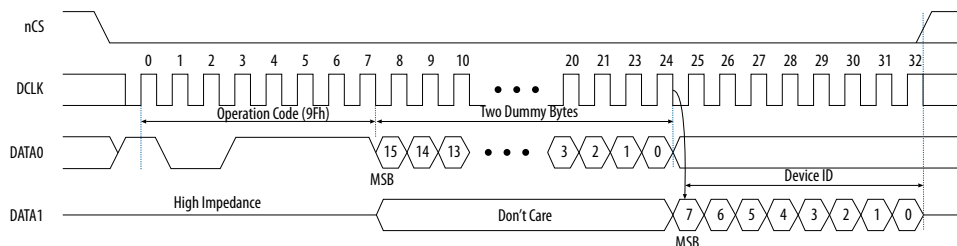
このオペレーションは、DATA1 出力ピンから EPCQ-A デバイスの 8-bit Device Identification を読み取ります。このオペレーションが進行中の Erase または Write サイクルでシフトインされる場合、そのオペレーションは実行されず、進行中の Erase または Write サイクルは影響されません。

表 22. EPCQ-A Device Identification

EPCQ-A デバイス	デバイス ID (バイナリー値)
EPCQ4A	b'0001 0011
EPCQ16A	b'0001 0101
EPCQ32A	b'0001 0110
EPCQ64A	b'0001 0111
EPCQ128A	b'0001 1000

EPCQ-A デバイスの 8-bit Device Identification は、DCLK 信号の立ち下がりエッジの DATA1 ピンでシフトアウトされます。

図 -10: Read Device Identification オペレーションのタイミング図



1.9.6. Read Silicon Identification オペレーション(ABh)

このオペレーションは、DATA1 出力ピンから EPCQ-A デバイス 8-bit シリコン ID を読み取ります。このオペレーションが Erase または Write サイクル中にシフトインされる場合、そのオペレーションは実行されず、進行中の Erase または Write サイクルは影響されません。

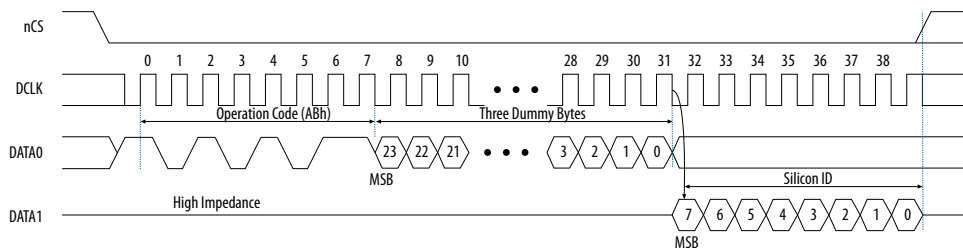
注意: このオペレーションは、EPCQ4A、EPCQ16A、および EPCQ64A デバイスにのみ適用可能です。

デバイスは nCS 信号を Low に駆動することで、Read silicon ID オペレーション・コードを実装し、次に Read silicon ID オペレーション・コードをシフトインし、それに DATA0 ピンで 3 つのダミーバイトが続きます。EPCQ-A デバイスの 8-bit silicon ID は、DCLK 信号の立ち下がりエッジの DATA1 ピンでシフトアウトされます。デバイスは、少なくとも一度 silicon ID を読み出した後、nCS 信号を駆動することで、Read silicon ID オペレーションを終了することができます。nCS が Low で駆動されている間に DCLK で追加のクロックサイクルを送信すると、silicon ID が繰り返しシフトアウトされる原因となります。

表 23. EPCQ-A Silicon Identification

EPCQ-A デバイス	シリコン ID(バイナリー値)
EPCQ4A	b'0001 0010
EPCQ16A	b'0001 0100
EPCQ64A	b'0001 0110

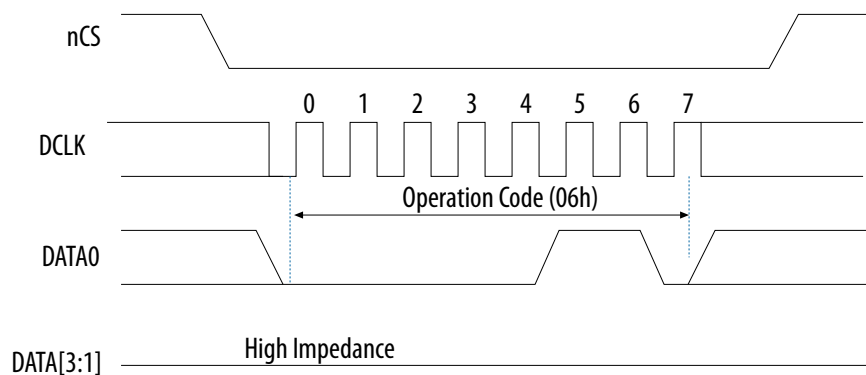
図 -11: Read Silicon Identification オペレーションのタイミング図



1.9.7. Write Enable オペレーション(06h)

Write Enable オペレーションをイネーブルすると、Write Enable Latch ビットがステータスレジスターで 1 に設定されます。このオペレーションは、ステータスレジスターで Write bytes、Write status、Erase bulk、Erase sector、および Quad input fast write bytes オペレーションが開始される前に実行する必要があります。

図 -12: Write Enable オペレーションのタイミング図

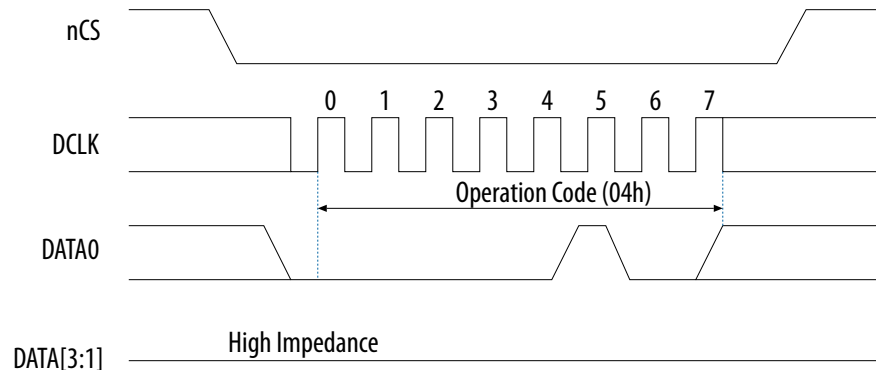


1.9.8. Write Disable オペレーション(04h)

Write Disable オペレーションは、ステータスレジスタの Write Enable Latch ビットをリセットします。メモリーへの意図しない書き込みを防ぐために、Write Enable Latch ビットは Write Disable オペレーション時および次に示す条件下では自動的にリセットされます。

- パワーアップ
- Write Bytes オペレーション完了
- Write Status オペレーション完了
- Erase Bulk オペレーション完了
- Erase Sector オペレーション完了
- Quad Input Fast Write Bytes オペレーション完了

図 -13: Write Disable オペレーションのタイミング図

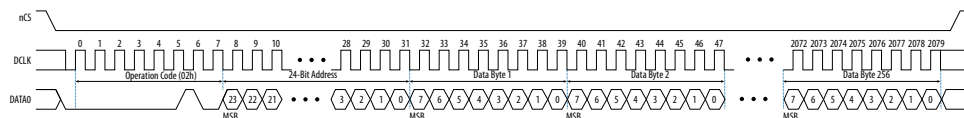


1.9.9. Write Bytes オペレーション(02h)

このオペレーションは、メモリーへのバイトの書き込みを可能にします。Write Bytes オペレーションの前に Write Enable オペレーションを実行する必要があります。Write Bytes オペレーション実行後、ステータスレジスタの Write Enable Latch ビットは 0 に設定されます。

Write Bytes オペレーションを実行する場合、Write Bytes オペレーション・コードをシフトインする必要があり、それに 3 バイトアドレス ($A[23..0]$) と $DATA0$ ピンの少なくとも 1 つのデータバイトが続きます。8 つの LSB ($A[7..0]$) がすべて 0 ではない場合、現在のページの終わりを超えて送信されたすべてのデータは次のページに書き込まれません。代わりに、このデータは同じページの開始アドレスに書き込まれます。Write Bytes オペレーション全体を通して、 nCS 信号が Low に設定されていることを確認する必要があります。

図 -14: Write Bytes オペレーションのタイミング図



Write Bytes オペレーションで 256 を超えるデータバイトが EPCQ-A デバイスにシフトインされる場合、以前にラッチされたデータは破棄され、最後の 256 バイトがページに書き込まれます。ただし、256 バイト未満のデータが EPCQ-A デバイスにシフトインされる場合、そのバイトは指定されたアドレスに書き込まれることが保証され、同じページの他のバイトは影響を受けません。

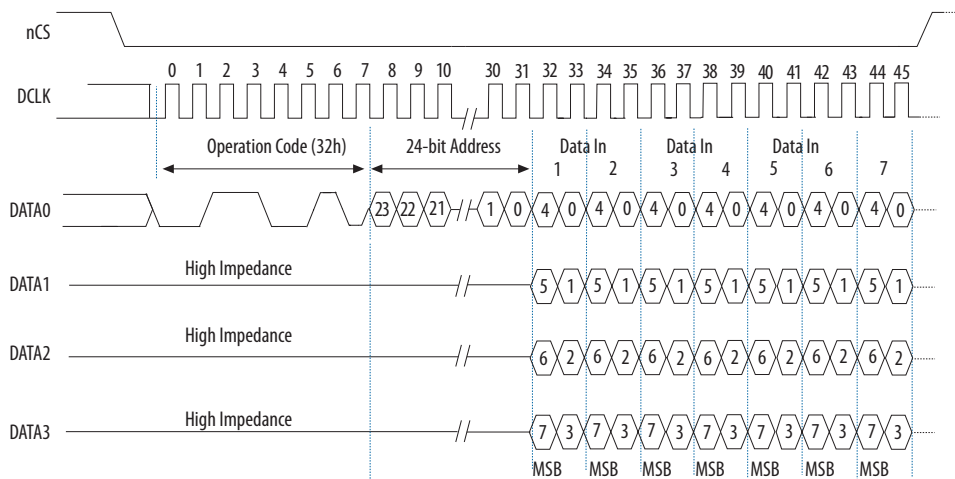
デバイスは、nCS 信号が High に駆動された直後にセルフタイムの Write サイクルを開始します。セルフタイムの Write サイクルの詳細については、下記の関連情報の t_{WB} を参照してください。メモリーの別のページが書き込まれる前に、この遅延を考慮する必要があります。あるいは、セルフタイムの Write サイクルの進行中に Read Status オペレーションを実行することで、ステータスレジスターの Write In Progress ビットを確認することも可能です。セルフタイムの Write サイクル中の Write In Progress ビットは 1 に設定され、それが完了すると 0 に設定されます。

注意: Write Bytes オペレーションを実装する前に、EPCQ-A デバイスのすべてのメモリーバイトを消去する必要があります。すべてのメモリーバイトは、セクター内で Erase Sector オペレーションを実行するか、メモリー全体に Erase Bulk オペレーションを実行することで消去することができます。

1.9.10. Quad Input Fast Write Bytes オペレーション(32h)

このオペレーションは Write Bytes オペレーションと似ていますが、DATA0 ピン、DATA1 ピン、DATA2 ピン、および DATA3 ピンでデータがシフトインされる点が異なります。

図 -15: Quad Input Fast Write Bytes オペレーションのタイミング図

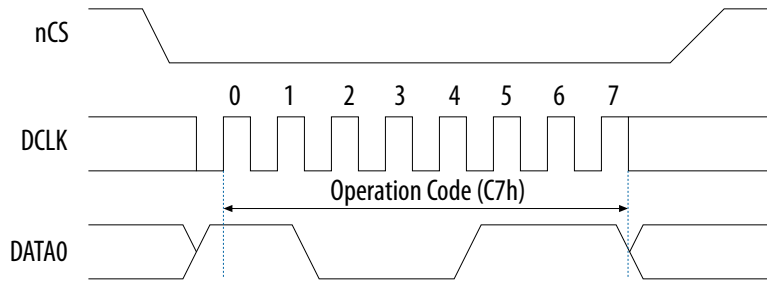


1.9.11. Erase Bulk オペレーション(C7h)

このオペレーションは、すべてのメモリービットを 1 または $0xFF$ に設定します。Write Bytes オペレーションと同様に、Erase Bulk オペレーションを実行する前に、Write Enable オペレーションを実行する必要があります。

Erase Bulk オペレーションは、nCS 信号を Low に駆動し、DATA0 ピンで Erase Bulk オペレーション・コードをシフトインすることで実装することが可能です。nCS 信号は、Erase Bulk オペレーション・コードの 8 番目のビットがラッチインされた後に High に駆動されなければいけません。

図 -16: Erase Bulk オペレーションのタイミング図



デバイスは、nCS 信号が High に駆動された直後にセルフタイムの Erase Bulk サイクルを開始します。セルフタイムの Erase Bulk サイクルタイムの詳細については、下記の関連情報の t_{EB} を参照してください。

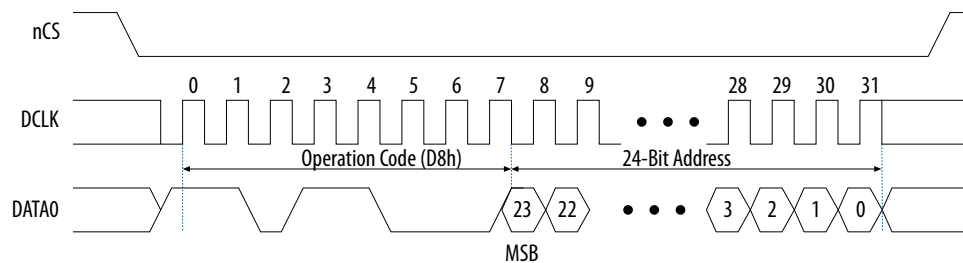
メモリー内容にアクセスする前に、この遅延を考慮する必要があります。また、セルフタイムの消去サイクルが進行中に Read Status オペレーションを実行することにより、ステータスレジスターの書き込み中ビットをチェックすることもできます。あるいは、セルフタイムの Write サイクルの進行中に Read Status オペレーションを実行することで、ステータスレジスターの Write In Progress ビットを確認することも可能です。セルフタイムの Write サイクル中の Write In Progress ビットは 1 に設定され、それが完了すると 0 に設定されます。Erase サイクルが完了する前に、ステータスレジスターの Write enable latch ビットは 0 にリセットされます。

1.9.12. Erase Sector オペレーション(D8h)

Erase Sector オペレーションは、セクター内のすべてのビットを 1 または $0xFF$ に設定することで、EPCQ-A デバイス内の特定のセクターを消去することを可能とします。このオペレーションは、アプリケーション内の未使用のセクターに汎用メモリーとしてアクセスしたい場合に便利です。Erase Sector オペレーションの前に Write Enable オペレーションを実行する必要があります。

Erase Sector オペレーションを実行する場合、Erase Sector オペレーション・コードを最初にシフトインする必要があり、それに DATA0 ピンの選択したセクターの 3 バイトアドレス(A[23..0])が続きます。Erase Sector オペレーションのこの 3 バイトアドレスは、指定したセクター内の任意のアドレスにすることが可能です。Erase Sector オペレーションの 8 番目のビットがラッチインされた後、nCS 信号を High に駆動します。

図 -17: Erase Sector オペレーションのタイミング図



デバイスは、nCS 信号が High に駆動された直後にセルフタイムの Erase Sector サイクルを開始します。セルフタイムの Erase Sector サイクルタイムの詳細については、下記の関連情報の t_{ES} を参照してください。メモリーの別のページが書き込まれる前に、この遅延を考慮する必要があります。または、セルフタイムの Erase サイクルの進行中に Read Status オペレーションを実行することで、ステータスレジスターの Write In Progress ビットを確認することも可能です。セルフタイムの Erase サイクル中

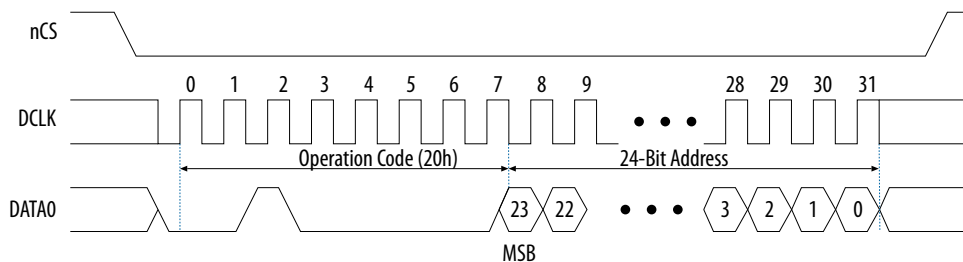
の Write In Progress ビットは 1 に設定され、それが完了すると 0 に設定されます。ステータスレジスタの Write enable latch ビットは、セルフタイムの Erase サイクルが完了する前に 0 に設定されません。

1.9.13. Erase Subsector オペレーション(20h)

Erase Subsector オペレーションは、サブセクター内のすべてのビットを 1 または 0xFF に設定することで、EPCQ-A デバイス内の特定のサブセクターを消去することを可能とします。このオペレーションは、アプリケーション内の未使用のサブセクターに汎用メモリーとしてアクセスしたい場合に便利です。Erase Subsector オペレーションの前に Write Enable オペレーションを実行する必要があります。

Erase Subsector オペレーションを実行する場合、オペレーション・コードを最初にシフトインする必要があり、それに DATA0 ピンで選択したサブセクターの 3 バイトアドレス(A[23..0])が続きます。Erase Subsector オペレーションのこの 3 バイトアドレスは、指定したサブセクター内の任意のアドレスにすることが可能です。サブセクターのアドレス範囲の詳細については、下記の関連情報を参照してください。Erase Subsector オペレーションの 8 番目のビットがラッチインされた後、nCS 信号を High に駆動します。

図 -18: Erase Subsector オペレーションのタイミング図



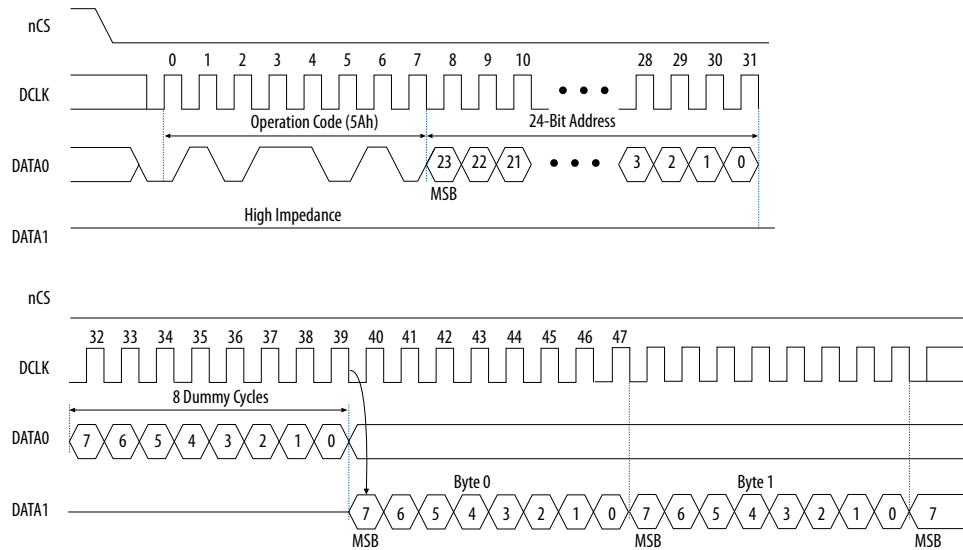
デバイスは、nCS 信号が High に駆動された直後にセルフタイムの Erase Subsector サイクルを開始します。セルフタイムの Erase Subsector サイクルタイムの詳細については、下記の関連情報を参照してください。メモリーの別のページが書き込まれる前に、この遅延を考慮する必要があります。あるいは、セルフタイムの Erase サイクルの進行中に Read Status オペレーションを実行することで、ステータスレジスタの Write In Progress ビットを確認することも可能です。セルフタイムの Erase サイクル中の Write In Progress ビットは 1 に設定され、それが完了すると 0 に設定されます。ステータスレジスタの Write enable latch ビットは、セルフタイムの Erase サイクルが完了する前に 0 に設定されません。

1.9.14. Read SFDP Register オペレーション(5Ah)

256 バイトの SFDP レジスタには、デバイス・コンフィグレーション、利用可能なオペレーションをはじめとする各種機能に関する情報が含まれています。

Read SFDP Register オペレーションは、JEDEC SFDP Standard の JESD216A に準拠しています。SFDP レジスタの値および説明については、付録: SFDP レジスタの定義 (34 ページ)を参照してください。

図 -19: Read SFDP Register オペレーションのタイミング図



Read SFDP Register オペレーションは、nCS ピンを Low に駆動し、オペレーション・コードをシフトして開始します。それに DATA0 ピンへの 3 バイトアドレスが続きます。3 バイトアドレスの内容は以下の通りです。

- $A[23..8] = 0$
- $A[7..0] = 256$ バイト SFDP レジスターの開始バイトアドレスを定義します

最上位ビット (MSB) が最初の状態で、40 番目の DCLK の立ち下がりエッジで SFDP レジスターの内容がシフトアウトする前に、8 つのダミーサイクルが必要です。

関連情報

付録: SFDP レジスターの定義 (34 ページ)

1.10. 電源モード

EPCQ-A デバイスは、アクティブおよびスタンバイ電源モードをサポートします。nCS 信号が Low の場合、デバイスはイネーブルされており、アクティブ電源モードです。FPGA は、EPCQ-A デバイスがアクティブ電源モードの場合にコンフィグレーションされます。nCS 信号が High の場合、デバイスはディスエーブルされていますが、Write または Erase オペレーションといったすべてのインターナル・サイクルが終了するまでアクティブ電源モードであり続けます。その後、EPCQ-A デバイスはスタンバイ電源モードとなります。I_{CC1} および I_{CC0} パラメーターは、デバイスがアクティブおよびスタンバイ電源モードの場合、V_{CC} 供給電流を示します。

1.11. タイミング情報

1.11.1. Write オペレーションのタイミング

図 -20: Write オペレーションのタイミング図

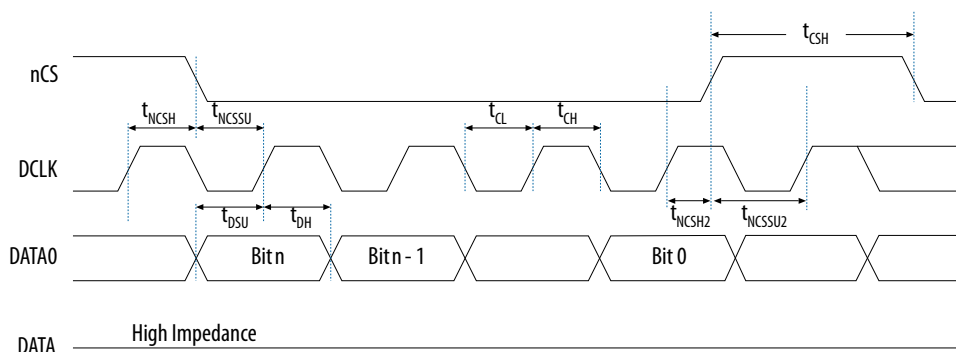


表 24. Write オペレーションのパラメーター

シンボル	パラメーター	最小値	通常値	最大値	単位
f_{WCLK}	Write Enable, Write Disable, Read Status, Read Device Identification, Write Bytes, Erase Bulk, および Erase Sector オペレーション用の (FPGA, ダウンロード・ケーブル, またはエンベデッド・プロセッサからの) 書き込みクロック周波数	—	—	100	MHz
t_{CH}	EPCQ4A の DCLK High タイム	4	—	—	ns
	EPCQ16A, EPCQ32A, EPCQ64A, および EPCQ128A の DCLK High タイム	3, 4	—	—	ns
t_{CL}	EPCQ4A の DCLK Low タイム	4	—	—	ns
	EPCQ16A, EPCQ32A, EPCQ64A, および EPCQ128A の DCLK Low タイム	3, 4	—	—	ns
t_{NCSSU}	EPCQ4A のチップセレクト (nCS) アクティブ・セットアップ・タイム	5	—	—	ns
	EPCQ16A, EPCQ32A, EPCQ64A, および EPCQ128A のチップセレクト (nCS) アクティブ・セットアップ・タイム	3	—	—	ns
t_{NCSH}	EPCQ4A のチップセレクト (nCS) 非アクティブ・ホールド・タイム	5	—	—	ns
	EPCQ16A, EPCQ32A, EPCQ64A, および EPCQ128A のチップセレクト (nCS) 非アクティブ・ホールド・タイム	3	—	—	ns
t_{NCSSU2}	EPCQ4A のチップセレクト (nCS) 非アクティブ・セットアップ・タイム	5	—	—	ns
	EPCQ16A, EPCQ32A, EPCQ64A, および EPCQ128A のチップセレクト (nCS) 非アクティブ・セットアップ・タイム	3	—	—	ns
t_{NCSH2}	EPCQ4A のチップセレクト (nCS) アクティブ・ホールド・タイム	5	—	—	ns
	EPCQ16A, EPCQ32A, EPCQ64A, および EPCQ128A のチップセレクト (nCS) アクティブ・ホールド・タイム	3	—	—	ns

continued...

シンボル	パラメーター	最小値	通常値	最大値	単位
t _{DSU}	DCLK の立ち上がりエッジ前の DATA[] セットアップ・タイム	2	—	—	ns
t _{DH}	EPCQ4A での DCLK の立ち上がりエッジ後の DATA[] ホールドタイム	5	—	—	ns
	EPCQ16A、EPCQ32A、EPCQ64A、および EPCQ128A に向けた DCLK の立ち上がりエッジ後の DATA[] ホールドタイム	3	—	—	
t _{CSH}	EPCQ4A のチップセレクト (nCS) High タイム	100	—	—	ns
	EPCQ16A、EPCQ32A、EPCQ64A、および EPCQ128A のチップセレクト (nCS) High タイム	10 または 50 ⁽¹¹⁾	—	—	
t _{WB} ⁽¹²⁾ ⁽¹³⁾	EPCQ4A の Write Bytes サイクルタイム	—	0.4	0.8	ms
	EPCQ16A の Write Bytes サイクルタイム		0.4	3	
	EPCQ32A および EPCQ128A の Write Bytes サイクルタイム		0.7	3	
	EPCQ64A の Write Bytes サイクルタイム		0.8	3	
t _{WS} ⁽¹²⁾	Write Status サイクルタイム	—	10	15	ms
t _{EB} ⁽¹²⁾	EPCQ4A の Erase Bulk サイクルタイム	—	1	4	s
	EPCQ16A の Erase Bulk サイクルタイム		5	25	
	EPCQ32A の Erase Bulk サイクルタイム		10	50	
	EPCQ64A の Erase Bulk サイクルタイム		20	100	
	EPCQ128A の Erase Bulk サイクルタイム		40	200	
t _{ES} ⁽¹²⁾	EPCQ4A の Erase Sector サイクルタイム	—	150	1000	ms
	EPCQ16A、EPCQ32A、EPCQ64A、および EPCQ128A の Erase Sector サイクルタイム		2000	—	
t _{ESS} ⁽¹²⁾	EPCQ4A の Erase Subsector サイクルタイム	—	30	300	ms
	EPCQ16A、EPCQ32A、EPCQ64A、および EPCQ128A の Erase Subsector サイクルタイム		45	400	

(11) Read に対しては 10 ns で、Write、Erase、Program に対しては 50 ns です。

(12) Write オペレーションのタイミング図では、これらのパラメーターは示されていません。

(13) t_{WB} パラメーターは、完全なページ Write オペレーション用です。

1.11.2. Read オペレーションのタイミング

図 -21: Read オペレーションのタイミング図

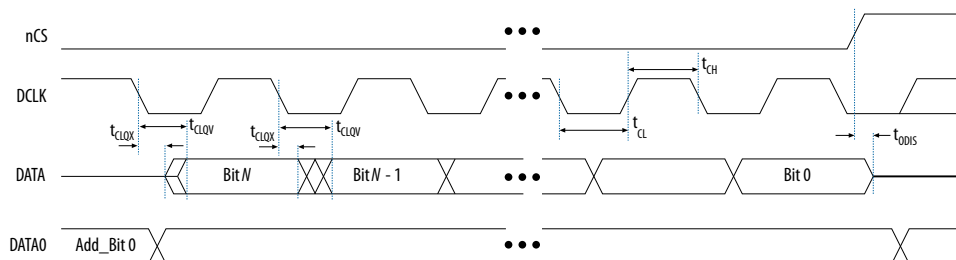


表 25. Read オペレーションのパラメーター

シンボル	パラメーター	最小値	最大値	単位
f_{RCLK}	Read Bytes オペレーション用の (FPGA または エンベデッド・プロセッサからの) Read クロック周波数	—	50	MHz
	Fast Read Bytes オペレーション用の (FPGA または エンベデッド・プロセッサからの) Fast Read クロック周波数	—	100	MHz
t_{CH}	EPCQ4A の DCLK High タイム	4 または 6 ⁽¹⁴⁾	—	ns
	EPCQ16A, EPCQ32A, EPCQ64A, および EPCQ128A の DCLK High タイム	3.4 または 9 ⁽¹⁵⁾	—	ns
t_{CL}	EPCQ4A の DCLK Low タイム	4 または 6 ⁽¹⁴⁾	—	ns
	EPCQ16A, EPCQ32A, EPCQ64A, および EPCQ128A の DCLK Low タイム	3.4 または 9 ⁽¹⁵⁾	—	ns
t_{ODIS}	Read 後の出力ディスエーブル・タイム	—	7	ns
t_{CLQV}	EPCQ4A の Clock Low to Output Valid	—	8	ns
	EPCQ16A, EPCQ32A, EPCQ64A, および EPCQ128A の Clock Low to Output Valid	—	6	
t_{CLQX}	EPCQ4A の出力ホールドタイム	0	—	ns
	EPCQ16A, EPCQ32A, EPCQ64A, および EPCQ128A の出力ホールドタイム	1.5	—	

1.12. プログラミングおよびコンフィグレーション・ファイルのサポート

インテル Quartus® Prime 開発ソフトウェアは EPCS-A デバイスのプログラミングをサポートしています。EPCQ-A デバイスを選択すると インテル Quartus Prime 開発ソフトウェアはデバイスをプログラミングするための Programmer Object File (.pof) を自動で生成します。Quartus Prime 開発ソフトウェアを使用すれば、選択した FPGA のコンフィグレーション・データを最も効率よく格納するための適切な EPCS-A デバイスの集積度を選択することができます。

(14) Fast Read に対しては 4 ns で、Read に対しては 6 ns です。

(15) Fast Read に対しては 3.4 ns で、Read に対しては 9 ns です。

SRRunner ソフトウェア・ドライバーを使用した外部マイクロ・プロセッサにより、EPCS-A デバイスをインシステムでプログラミングすることができます。SRRunner ソフトウェア・ドライバーは、異なるエンベデッド・システムに適合するようにカスタマイズ可能なエンベデッド EPCS-A デバイスのプログラミングに向けて開発されました。SRRunner ソフトウェア・ドライバーは、**.rpd** ファイルを読み出し、EPCQ-A デバイスに書き込みます。プログラミングに要する時間は、インテル Quartus Prime 開発ソフトウェアのプログラミング時間と同程度です。FPGA はコンフィグレーション処理中に**.rpd** データの LSB を最初に読み出すため、**.rpd** バイトの LSB が Read Bytes オペレーション中に最初にシフトアウトされ、Write Bytes オペレーション中に最初にシフトインされる必要があります。

EPCS-A デバイスとの**.rpd** ファイルの読み出しおよび書き込みは、他のデータおよびアドレスバイトとは異なります。

Intel® FPGA ダウンロード・ケーブルを使用した EPCQ-A デバイスの ISP 実行中、ケーブルは nCONFIG 信号を Low にプルダウンして FPGA をリセットし、FPGA の nCE ピンの 10-kΩ プルダウン抵抗を上書きします。ダウンロード・ケーブルは次に、EPCQ-A デバイスのプログラミングに向けて選択した AS モードに応じてインターフェイス・ピンを使用します。プログラミングが完了すると、ダウンロード・ケーブルは EPCQ-A デバイスのインターフェイス・ピンおよび FPGA の nCE ピンを解放し、nCONFIG 信号をパルスしてコンフィグレーション処理を開始します。

FPGA は、シリアル・フラッシュ・ローダー (SFL) を備えた JTAG インターフェイスを使用して、EPCQ-A デバイスをインシステムでプログラミングすることができます。この方法は、FPGA のコンフィグレーションに使用したのと同じ JTAG インターフェイスを使用して、EPCQ-A デバイスを間接的にプログラミングすることを可能とします。

関連情報

[Using the Intel FPGA Serial Flash Loader IP Core with the Intel Quartus Prime Software](#)

1.13. 付録: SFDP レジスターの定義

アドレス	EPCQ16A	EPCQ32A	EPCQ64A	EPCQ128A
00H	53h	53h	53h	53h
01H	46h	46h	46h	46h
02H	44h	44h	44h	44h
03H	50h	50h	50h	50h
04H	05h	05h	05h	05h
05H	01h	01h	01h	01h
06H	00h	00h	00h	00h
07H	FFh	FFh	FFh	FFh
08H	00h	00h	00h	00h
09H	05h	05h	05h	05h
0AH	01h	01h	01h	01h
0BH	10h	10h	10h	10h
0CH	80h	80h	80h	80h
0DH	00h	00h	00h	00h
<i>continued...</i>				



アドレス	EPCQ16A	EPCQ32A	EPCQ64A	EPCQ128A
0EH	00h	00h	00h	00h
0FH	FFh	FFh	FFh	FFh
10H ... 7FH	FFh	FFh	FFh	FFh
80H	E5h	E5h	E5h	E5h
81H	20H	20H	20H	20h
82H	F9h	F9h	F9h	F9h
83H	FFh	FFh	FFh	FFh
84H	FFh	FFh	FFh	FFh
85H	FFh	FFh	FFh	FFh
86H	FFh	FFh	FFh	FFh
87H	00h	01h	03h	07h
88H	44h	44h	44h	44h
89H	EBh	EBh	EBh	EBh
8AH	08H	08H	08H	08H
8BH	6Bh	6Bh	6Bh	6Bh
8CH	08h	08h	08h	08h
8DH	3Bh	3Bh	3Bh	3Bh
8EH	42h	42h	42h	42h
8FH	BBh	BBh	BBh	BBh
90H	FEh	FEh	FEh	FEh
91H	FFh	FFh	FFh	FFh
92H	FFh	FFh	FFh	FFh
93H	FFh	FFh	FFh	FFh
94H	FFh	FFh	FFh	FFh
95H	FFh	FFh	FFh	FFh
96H	00h	00h	00h	00h
97H	00h	00h	00h	00h
98H	FFh	FFh	FFh	FFh
99H	FFh	FFh	FFh	FFh
9AH	40h	40h	40h	40h
9BH	EBh	EBh	EBh	EBh
9CH	0Ch	0Ch	0Ch	0Ch
9DH	20h	20h	20h	20h
9EH	0Fh	0Fh	0Fh	0Fh

continued...



アドレス	EPCQ16A	EPCQ32A	EPCQ64A	EPCQ128A
9FH	52h	52h	52h	52h
A0H	10h	10h	10h	10h
A1H	D8h	D8h	D8h	D8h
A2H	00h	00h	00h	00h
A3H	00h	00h	00h	00h
A4H	36h	36h	36h	36h
A5H	02h	02h	02h	02h
A6H	A6h	A6h	A6h	A6h
A7H	00h	00h	00h	00h
A8H	82h	82h	82h	82h
A9H	EAh	EAh	EAh	EAh
AAH	14h	14h	14h	14h
ABH	B3h	C2h	C4h	C9h
ACH	E9h	E9h	E9h	E9h
ADH	63h	63h	63h	63h
AEH	76h	76h	76h	76h
AFH	33h	33h	33h	33h
B0H	7Ah	7Ah	7Ah	7Ah
B1H	75h	75h	75h	75h
B2H	7Ah	7Ah	7Ah	7Ah
B3H	75h	75h	75h	75h
B4H	F7h	F7h	F7h	F7h
B5H	A2h	A2h	A2h	A2h
B6H	D5h	D5h	D5h	D5h
B7H	5Ch	5Ch	5Ch	5Ch
B8H	19h	19h	19h	19h
B9H	F7h	F7h	F7h	F7h
BAH	4Dh	4Dh	4Dh	4Dh
BBH	FFh	FFh	FFh	FFh
BCH	E9h	E9h	E9h	E9h
BDH	30h	30h	30h	30h
BEH	F8h	F8h	F8h	F8h
BFH	80h	80h	80h	80h

関連情報[Read SFDP Register オペレーション\(5Ah\) \(29 ページ\)](#)



1.14. EPCQ-A シリアル・コンフィグレーション・デバイス ユーザーガイド 改訂履歴

ドキュメント・バージョン	変更内容
2019.01.09	<ul style="list-style-type: none"> Write オペレーションのパラメーターの表に t_{NCSSU2} および t_{NCSH2} パラメーターを追加しました。 Write オペレーションのパラメーターの表の t_{NCSSU} および t_{NCSH} パラメーターの値を更新しました。 Write オペレーションのタイミング図を更新しました。
2018.10.04	Extended Dual Input Fast Read オペレーションのタイミング図の DCLK の値を更新しました。
2018.04.11	<ul style="list-style-type: none"> EPCQA の表記を EPCQ-A に更新しました。 SFDP レジスターのオペレーション・コード、説明、タイミング図、およびレジスターの定義を追加しました。 Write オペレーションのパラメーターに、t_{WB} は完全なページ Write オペレーション用のタイムであるという注を追加しました。 Read Silicon Identification コマンドは EPCQ32A と EPCQ128A には適用されませんという注をオペレーション・コード一覧の表から削除しました。
2018.03.13	<ul style="list-style-type: none"> EPCQ-A デバイスの絶対最大定格の表から I_{MAX} および T_{AMB} パラメーターを削除しました。
2018.02.15	<ul style="list-style-type: none"> EPCQ-A デバイスの絶対最大定格の表に I_{MAX} および T_{AMB} パラメーターを追加しました。 データ保持機能についての情報を追加しました。

日付	バージョン	変更内容
2017年12月	2017.12.15	<ul style="list-style-type: none"> Read オペレーションのパラメーターの表の最大 t_{ODIS} を更新しました。 Read オペレーションのパラメーターの表から t_{nCLK2D} を削除しました。
2017年8月	2017.08.02	<ul style="list-style-type: none"> 製品コード番号を更新しました。 AN822: Configuration Device Migration Guideline へのリンクを追加しました。 Extended Quad Input Fast Read および Quad Input Fast Write オペレーションのタイミング図を更新しました。
2017年7月	2017.07.28	初版