



EPCQ-A シリアル・コンフィグレーション・デバイスのデータシート

この翻訳版は参照用であり、翻訳版と英語版の内容に相違がある場合は、英語版が優先されるものとします。翻訳版は、資料によっては英語版の更新に対応していない場合があります。最新情報につきましては、必ず[英語版の最新資料](#)をご確認ください。

目次

1. EPCQ-A シリアル・コンフィグレーション・デバイス ユーザーガイド	4
1.1. サポートされるデバイス.....	4
1.2. 特性.....	4
1.3. 動作条件.....	5
1.3.1. 絶対最大定格.....	5
1.3.2. 推奨動作条件.....	5
1.3.3. DC 操作条件.....	6
1.3.4. 測定条件.....	6
1.3.5. ICC 供給電流.....	7
1.3.6. キャパシタンス.....	7
1.4. ピン情報.....	7
1.4.1. EPCQ4A、EPCQ16A、および EPCQ32A デバイスのピンアウト図.....	7
1.4.2. EPCQ64A および EPCQ128A デバイスのピンアウト図.....	8
1.4.3. EPCS デバイスピンの概要.....	8
1.5. デバイスパッケージおよび注文コード.....	10
1.5.1. パッケージ.....	10
1.5.2. 製品コード.....	10
1.6. メモリー・アレイの構成.....	10
1.6.1. EPCQ4A のアドレス範囲.....	11
1.6.2. EPCQ16A のアドレス範囲.....	12
1.6.3. EPCQ32A のアドレス範囲.....	13
1.6.4. EPCQ64A のアドレス範囲.....	13
1.6.5. EPCQ128A のアドレス範囲.....	15
1.7. メモリー・オペレーション.....	16
1.7.1. タイミング要件.....	17
1.8. ステータスレジスター.....	17
1.8.1. ステータス読み出し操作.....	18
1.8.2. ステータス書き込み操作.....	21
1.9. オペコードの概要.....	22
1.9.1. Read Bytes オペレーション(03h).....	22
1.9.2. Fast Read オペレーション(0Bh).....	23
1.9.3. Extended Dual Input Fast Read オペレーション (BBh).....	24
1.9.4. Extended Quad Input Fast Read オペレーション(EBh).....	24
1.9.5. デバイス識別子読み出し操作.....	25
1.9.6. Read Silicon Identification オペレーション(ABh).....	25
1.9.7. 書き込みイネーブル操作.....	26
1.9.8. Write Disable オペレーション (04h).....	26
1.9.9. Write Bytes オペレーション (02h).....	27
1.9.10. Quad Input Fast Write Bytes オペレーション(32h).....	28
1.9.11. 一括消去操作完了時.....	28
1.9.12. Erase Sector オペレーション (D8h).....	29
1.9.13. Erase Subsector オペレーション(20h).....	29
1.9.14. Read SFDP Register オペレーション (5Ah).....	30
1.10. 電源モード.....	31



1.11. タイミング情報.....	31
1.11.1. 書き込み操作のタイミング図.....	31
1.11.2. 読み出し操作のタイミング図.....	33
1.12. プログラミングおよびコンフィグレーション・ファイルのサポート.....	34
1.13. 10GBASE-KR PHY レジスターの定義.....	34
1.14. EPCQ-A シリアル・コンフィグレーション・デバイスのデータシートのドキュメント改訂履歴.....	37

1. EPCQ-A シリアル・コンフィグレーション・デバイス ユーザーガイド

関連情報

AN822: Intel® コンフィグレーション・デバイス移行ガイドライン

1.1. サポートされるデバイス

表 1. サポートされる Intel EPCQ-A デバイス

デバイス	メモリー・サイズ (ビット)	オンチップ復元のサポ ート	ISP サポー ト	カスケード接続 サポート	再プログラム可能	推奨動作電圧(V)
EPCQ4A	4,194,304	なし	あり	なし	あり	3.3
EPCQ16A	16,777,216	なし	あり	なし	あり	3.3
EPCQ32A	33,554,432	なし	あり	なし	あり	3.3
EPCQ64A	67,108,864	なし	あり	なし	あり	3.3
EPCQ128A	134,217,728	なし	あり	なし	あり	3.3

1.2. 特性

EPCS デバイスは次の特長を備えています。

- アクティブシリアル (AS) x 1 または AS x 4 コンフィグレーション・スキームをサポートするデバイスにおけるシリアルまたはクアドシリアル FPGA コンフィグレーション⁽¹⁾
- 低コスト、低ピン数である不揮発性メモリー
- 2.7 V から 3.6 V までの動作電圧
- EPCQ4A、EPCQ16A、および EPCQ32A デバイス向け 8 ピン・スモール・アウトライン IC (SOIC) パッケージで使用可能
- EPCQ64A および EPCQ128A デバイス向け 16 ピン SOIC パッケージで使用可能
- 100,000 回以上のプログラム / 消去回数を持つ再プログラミング可能なメモリー
- ステータスレジスタービットを用いたメモリー・セクターへの書き込み保護をサポート
- 単一オペレーション・コードを使用した、メモリー全体の高速読み込み、拡張デュアル入力高速読み込み、および拡張クワッド入力高速読み込み
- SRunner ソフトウェア・ドライバーを使用した外部マイクロ・プロセッサによる再プログラム可能
- SRunner ソフトウェア・ドライバーを使用してのインシステム・プログラミング (ISP) のサポート

⁽¹⁾ AS x4 は、EPCQ4A には適用されません。



- インテル® FPGA ダウンロード・ケーブル II、インテル FPGA ダウンロード・ケーブル、またはインテル FPGA イーサネット・ケーブルによる ISP サポート
- デフォルトで消去され、ビットが 1 にセットされているメモリー・アレイ
- 20 年以上のデータ保持
- JEDEC 標準の Serial Flash Discoverable Parameter (SFDP) をサポート

1.3. 動作条件

1.3.1. 絶対最大定格

表 2. EPCQ-A デバイスファミリーの絶対最大定格,

シンボル	パラメーター	条件	最小値	最大値	単位
V _{CC}	Supply voltage	GND に対して	-0.6	4.6	V
V _{IO}	Input or output voltage	GND に対して	-0.6	V _{CC} +0.4	V
T _{STG}	Storage temperature	バイアスなし	-65	150	°C
V _{IT}	Transient voltage on any pin	< 20ns で GND に対して過渡的	-2.0	V _{CC} +2.0	V
P _D	Power dissipation	EPCQ4A	—	18	mW
		EPCQ16A, EPCQ32A, および EPCQ64A	—	54	mW
		EPCQ128A	—	72	mW
I _{MAX}	DC V _{CC} or GND current	EPCQ4A	—	5	mA
		EPCQ16A, EPCQ32A, および EPCQ64A	—	15	mA
		EPCQ128A	—	20	mA

1.3.2. 推奨動作条件

表 3. EPCQ-A デバイスの推奨動作条件

シンボル	パラメーター	条件	最小値	最大値	単位
V _{CC}	Supply voltage	(2)	2.7	3.6	V
T _A	Ambient temperature, Operating	インダストリアル用	-40	85	°C

注意: 接合部温度 (T_J) のために、T_A の仕様に従います。

(2) 読み込み操作中の V_{CC} 電圧は、最小範囲と最大範囲で動作できますが、プログラミング (消去/書き込み) 電圧の ±10% を超えてはなりません。

1.3.3. DC 操作条件

表 4. EPCQ-A デバイスの DC 操作条件

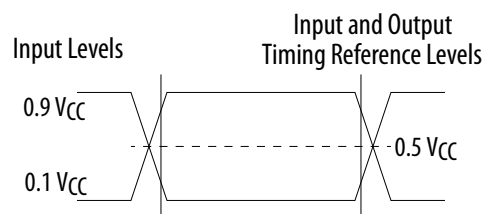
シンボル	パラメーター	条件	最小値	最大値	単位
V_{IH}	High-level input voltage	—	$0.7 \times V_{CCIO}$	$V_{CC} + 0.4$	V
V_{IL}	Low-level input voltage	—	-0.5	$0.3 \times V_{CCIO}$	V
V_{OH}	High-level output voltage	$I_{OH} = -100 \mu A$	$V_{CC} - 0.2$	—	V
V_{OL}	Low-level output voltage for EPCQ4A	$I_{OL} = 100 \mu A$	—	0.4	V
	Low-level output voltage for EPCQ16A, EPCQ32A, EPCQ64A, and EPCQ128A		—	0.2	V
I_I	Input leakage current	$V_I = V_{CC}$ または GND	-2	2	μA
I_{OZ}	Tri-state output off-state current	$V_O = V_{CC}$ または GND	-2	2	μA
LR	Input leakage	$0 \leq /Reset < V_{CC}$	—	12	μA
		$/Reset = V_{CC}$	—	1	μA
R_{PR}	Pull-up resistance	—	300	1000	k Ω

1.3.4. 測定条件

表 5. EPCQ-A デバイスの AC 測定条件

シンボル	パラメーター	最小値	最大値	単位
C_L	Load Capacitance	—	30	pF
t_R および t_F は 2 ns 未満。	Input Rise and Fall Times	—	5	ns
V_{IN}	Input Pulse Voltages	$0.1 V_{CC} \sim 0.9 V_{CC}$		V
I_N	Input Timing Reference Voltages	$0.3 V_{CC} \sim 0.7 V_{CC}$		V
Out	Output Timing Reference Voltages	$0.5 V_{CC} \sim 0.5 V_{CC}$		V

図 -1: AC 測定 I/O 波形図



1.3.5. ICC 供給電流

表 6. I_{CC} 供給電流 AC 測定

シンボル	パラメーター	条件	最小値	最大値	単位
I _{CC0}	V _{CC} supply current for EPCQ16A, EPCQ32A, and EPCQ64A	待機時消費電力	10	50	μA
	V _{CC} supply current for EPCQ128A		10	60	
I _{CC1}	V _{CC} supply current for EPCQ4A	During active power mode	1	5	mA
	V _{CC} supply current for EPCQ16A, EPCQ32A, and EPCQ64A		1	15	
	V _{CC} supply current for EPCQ128A		1	20	

1.3.6. キャパシタンス

表 7. EPCQ-A デバイスのキャパシタンス

キャパシタンスは T_A = 25 × C、および周波数 20-MHz でのみサンプル・テストを行っています。

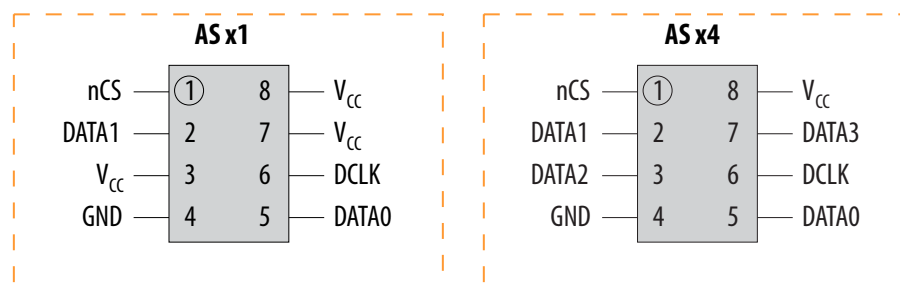
シンボル	パラメーター	条件	最小値	最大値	単位
C _{IN}	Input pin capacitance	V _{CCIO} = 0 V	—	6	pF
C _{OUT}	Output pin capacitance	V _{CCIO} = 0 V	—	8	pF

1.4. ピン情報

1.4.1. EPCQ4A、EPCQ16A、および EPCQ32A デバイスのピンアウト図

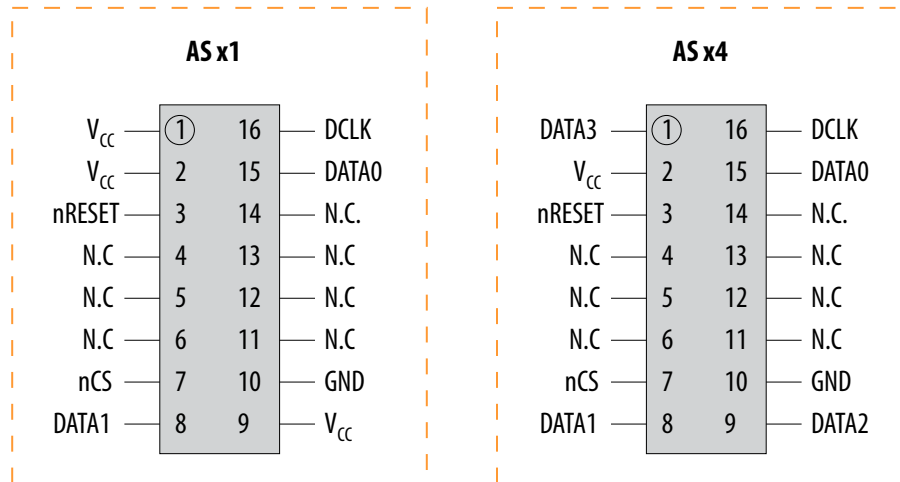
図 -2: EPCQ4A、EPCQ16A、および EPCQ32A デバイスの AS x1 および AS x4 のピンアウト図

注意: EPCQ4A は、AS x1 のみサポートします。



1.4.2. EPCQ64A および EPCQ128A デバイスのピンアウト図

図 -3: EPCQ64A および EPCQ128A デバイスの AS x1 および AS x4 のピンアウト図



注

N.Cピンは未接続のままにしてください。

専用nRESETピンに対して内部プルアップ抵抗が存在します。Reset機能が不要な場合、このピンはVccに接続するか、未接続のままにしてください。

1.4.3. EPCS デバイスピンの概要

表 8. EPCS デバイスピンの概要

ピン名	AS x1 のピンアウト図		AS x4 のピンアウト図		ピンタイプ	説明
	8ピン SOIC パッケージでのピン番号	16ピン SOIC パッケージでのピン番号	8ピン SOIC パッケージでのピン番号	16ピン SOIC パッケージでのピン番号		
DATA0	5	15	5	15	I/O	<p>AS x1 モードに対しては、このピンは入力信号ピンとして使用し、EPCQ-A デバイスの書き込みまたはプログラミングを実行します。書き込みまたはプログラミング実行中、データは DCLK 信号の立ち上がりエッジでラッチされます。このピンは、EPCS デバイスの ASDI ピンに相当します。</p> <p>AS x4 モードに対しては、このピンは I/O 信号ピンとして使用します。書き込みまたはプログラミング実行中、このピンは EPCQ-A デバイスにデータをシリアル転送する入力ピンとして動作します。このデータは DCLK 信号の立ち上がりエッジでラッチされます。読み出しおよびコンフィグレーション実行中、このピンは EPCQ-A デバイスから FPGA にデータをシリアル転送する出力信号ピンとして動作します。このデータは、DCLK 信号の立ち下がりエッジでシフトアウトします。</p> <p>Quad Input Fast Write Bytes オペレーション実行中、このピンは EPCQ-A デバイスにデータをシリアル転送する入力ピンとして動作します。このデータは、DCLK 信号の立ち上がりエッジでラッチされます。Extended Dual Input Fast Read および Extended Quad Input Fast Read オペレーション実行中、このピンは EPCQ-A デバイスから</p> <p style="text-align: right;"><i>continued...</i></p>



ピン名	AS x1 のピンアウト図		AS x4 のピンアウト図		ピンタイプ	説明
	8ピン SOIC パッケージでのピン番号	16ピン SOIC パッケージでのピン番号	8ピン SOIC パッケージでのピン番号	16ピン SOIC パッケージでのピン番号		
						FPGA にデータをシリアル転送する出力ピンとして動作します。このデータは、DCLK 信号の立ち下がりエッジでシフトアウトします。
DATA1	2	8	2	8	I/O	AS x1 および AS x4 モードに対しては、このピンは読み出しおよびコンフィグレーション実行中に、EPCQ-A デバイスから FPGA にデータをシリアル転送する出力信号ピンとして動作します。信号の転送は、DCLK 信号の立ち下がりエッジです。このピンは、EPCS デバイスの DATA ピンに相当します。 Quad Input Fast Write Bytes オペレーション実行中、このピンは EPCQ-A にデータをシリアル転送する入力信号ピンとして動作します。このデータは、DCLK 信号の立ち上がりエッジでラッチされます。 Extended Quad Input Fast Read オペレーション実行中、このピンは EPCQ-A デバイスから FPGA にデータをシリアル転送する出力信号として動作します。このデータは、DCLK 信号の立ち下がりエッジでシフトアウトします。 Read、Configuration、あるいは Program オペレーション実行中、EPCQ-A デバイスは nCS 信号を Low にプルダウンすることでイネールすることができます。
DATA2	—	—	3	9	I/O	AS x1 モードに対しては、このピンは V _{CC} に接続する必要があります。 AS x4 モードに対しては、このピンは読み出しおよびコンフィグレーション実行中に、EPCQ-A デバイスから FPGA にデータをシリアル転送する出力信号ピンとして使用します。この信号の遷移は、DCLK 信号の立ち下がりエッジです。 Extended Quad Input Fast Read オペレーション実行中、このピンは EPCQ-A デバイスから FPGA にデータをシリアル転送する出力ピンとして動作します。このデータは、DCLK 信号の立ち下がりエッジでシフトアウトします。
DATA3	—	—	7	1	I/O	AS x1 モードに対しては、このピンは V _{CC} に接続する必要があります。 AS x4 モードに対しては、このピンは読み出しおよびコンフィグレーション実行中に、EPCQ-A デバイスから FPGA にデータをシリアル転送する出力信号ピンとして使用します。この信号の遷移は、DCLK 信号の立ち下がりエッジです。 Extended Quad Input Fast Read オペレーション実行中、このピンは EPCQ-A デバイスから FPGA にデータをシリアル転送する出力ピンとして動作します。このデータは、DCLK 信号の立ち下がりエッジでシフトアウトします。
nCS	1	7	1	7	入力	アクティブ Low nCS 入力信号は、有効なオペレーションの開始および終了でトグルします。この信号が High の場合、デバイスは解除され、DATA [3 : 0] ピンはトライステートとなります。この信号が Low の場合、デバイスはイネールされアクティブモードとなります。パワーアップ後、動作を開始する前に EPCQ-A デバイスは nCS 信号での立ち下がりエッジを必要とします。
DCLK	6	16	6	16	入力	FPGA は DCLK 信号を備えています。この信号は、シリアル・インターフェイスへのタイミングを提供します。 DATA [3 : 0] ピンのデータは、DCLK 信号の立ち上がりエッジで EPCQ-A デバイスにラッチされます。DATA [3 : 0]

continued...

ピン名	AS x1 のピンアウト図		AS x4 のピンアウト図		ピンタイプ	説明
	8 ピン SOIC パッケージでのピン番号	16 ピン SOIC パッケージでのピン番号	8 ピン SOIC パッケージでのピン番号	16 ピン SOIC パッケージでのピン番号		
						ピンのデータは、DCLK 信号の立ち下がりエッジ後に変更し、DCLK 信号の次の立ち下がりエッジで FPGA にラッチされます。
nRESET	—	3	—	3	入力	専用ハードウェア・リセット・ピンです。最短期間である ~1µs、Low で駆動されると、EPCQ-A デバイスは外部および内部オペレーションを終了し、パワーオン状態に戻ります。 SOIC-16 パッケージには、専用 nRESET ピンに向けた内部プルアップ抵抗が存在します。リセット機能が不要な場合は、V _{CC} に接続するか、あるいは未接続にすることができます。
V _{CC}	8	2	8	2	Power	電源ピンは 3.3 V の電源に接続します。
GND	4	10	4	10	グラウンド	グラウンド・ピンです

1.5. デバイスパッケージおよび注文コード

1.5.1. パッケージ

EPCQ4A、EPCQ16A、および EPCQ32A デバイスは、8 ピン SOIC パッケージで利用可能です。
EPCQ64A および EPCQ128A デバイスは、16 ピン SOIC パッケージで利用可能です。

1.5.2. 製品コード

表 9. EPCS デバイスの注文コード

デバイス	N はデバイスが鉛フリーであることを示しています。
EPCQ4A	EPCQ4ASI8N
EPCQ16A	EPCQ16ASI8N
EPCQ32A	EPCQ32ASI8N
EPCQ64A	EPCQ64ASI16N
EPCQ128A	EPCQ128ASI16N

1.6. メモリー・アレイの構成

表 10. EPCQ-A デバイスでサポートされているメモリーアレイの構成

説明	EPCQ4A	EPCQ16A	EPCQ32A	EPCQ64A	EPCQ128A
バイト数	524,288 バイト (4 M バイト)	2,097,152 バイト (16 M バイト)	4,194,304 バイト (32 M バイト)		16,777,216 バイト (128 M バイト)
セクター数	8	32	64	128	256
セクターあたりのバイト数	65,536 バイト (512 K バイト)				
<i>continued...</i>					



説明	EPCQ4A	EPCQ16A	EPCQ32A	EPCQ64A	EPCQ128A
サブセクターの総数 ⁽³⁾	128	512	1,024	2,048	4,096
サブセクターあたりのバイト数	4,096 バイト (512 K バイト) 8,388,608 バイト (64 M バイト)				
セクターあたりのページ数	256				
ページの総数	2,048	8,192	16,384	32,768	65,536
ページあたりのバイト数					

1.6.1. EPCQ4A のアドレス範囲

表 11. EPCQ4A デバイスのセクター 7..0 およびサブセクター 127..0 のアドレス範囲

セクター	サブセクター	アドレス範囲(16 進数バイトアドレス)	
		開始	エンド
7	127	7F000	7FFFF
	126	7E000	7EFFF

	114	72000	72FFF
	113	71000	71FFF
	112	70000	70FFF
6	111	6F000	6FFFF
	110	6E000	6EFFF

	98	62000	62FFF
	97	61000	61FFF
	96	60000	60FFF
1	31	1F000	1FFFF
	30	1E000	1EFFF

	18	12000	12FFF
	17	11000	11FFF
	16	10000	10FFF
0	15	F000	FFFF
	14	E000	EFFF

continued...

(3) すべてのセクターは、4 KB のメモリーを備えた 16 のサブセクターにさらに分割されます。したがって、EPCQ4A デバイスには 128 (8 x 16) のサブセクター、EPCQ16A デバイスには 512 (32 x 16) のサブセクター、EPCQ32A デバイスには 1,024 (64 x 16) のサブセクター、EPCQ64A デバイスには 2,048 (128 x 16) のサブセクター、そして EPCQ128A デバイス用の 4,096 (256 x 16) サブセクターがあります。



セクター	サブセクター	アドレス範囲(16 進数バイトアドレス)	
		開始	エンド
	2	2000	2FFF
	1	1000	1FFF
	0	#0000000	0000FFF

1.6.2. EPCQ16A のアドレス範囲

表 12. EPCQ16A デバイスのセクター 31..0 およびサブセクター 511..0 のアドレス範囲

セクター	サブセクター	アドレス範囲(16 進数バイトアドレス)	
		開始	エンド
31	511	1FF000	1FFFFF
	510	1FE000	1FEFFF
	.	.	.
	498	1F2000	1F2FFF
	497	1F1000	1F1FFF
	496	1F0000	1F0FFF
30	495	1EF000	1EFFFF
	494	1EE000	1EEFFF
	.	.	.
	482	1E2000	1E2FFF
	481	1E1000	1E1FFF
	480	1E0000	1E0FFF
1	31	1F000	1FFFF
	30	1E000	1EFFF
	.	.	.
	18	12000	12FFF
	17	11000	11FFF
	16	10000	10FFF
0	15	F000	FFFF
	14	E000	EFFF
	.	.	.
	2	2000	2FFF
	1	1000	1FFF
	0	#0000000	0000FFF



1.6.3. EPCQ32A のアドレス範囲

表 13. EPCQ32A デバイスのセクター 63..0 およびサブセクター 1023..0 のアドレス範囲

セクター	サブセクター	アドレス範囲(16 進数バイトアドレス)	
		開始	エンド
63	1023	3FF000	3FFFFFF
	1022	3FE000	3FEFFF
	.	.	.
	1010	3F2000	3F2FFF
	1009	3F1000	3F1FFF
	1008	3F0000	3F0FFF
62	1007	3EF000	3EFFFF
	1006	3EE000	3EEFFF
	.	.	.
	994	3E2000	3E2FFF
	993	3E1000	3E1FFF
	992	3E0000	3E0FFF
1	31	1F000	1FFFF
	30	1E000	1EFFF
	.	.	.
	18	12000	12FFF
	17	11000	11FFF
	16	10000	10FFF
0	15	F000	FFFF
	14	E000	EFFF
	.	.	.
	2	2000	2FFF
	1	1000	1FFF
	0	#0000000	0000FFF

1.6.4. EPCQ64A のアドレス範囲

表 14. EPCQ64A デバイスのセクター 127..0 およびサブセクター 2047..0 のアドレス範囲

セクター	サブセクター	アドレス範囲(16 進数バイトアドレス)	
		開始	エンド
127	2047	7FF000	7FFFFFF
	2046	7FE000	7FEFFF
	.	.	.

continued...



セクター	サブセクター	アドレス範囲(16 進数バイトアドレス)	
		開始	エンド
	2034	7F2000	7F2FFF
	2033	7F1000	7F1FFF
	2032	7F0000	7F0FFF
64	1039	40F000	40FFFF
	1038	40E000	40EFFF
	.	.	.
	1026	402000	402FFF
	1025	401000	401FFF
	1024	400000	400FFF
63	1023	3FF000	3FFFFFF
	1022	3FE000	3FEFFF
	.	.	.
	1010	3F2000	3F2FFF
	1009	3F1000	3F1FFF
	1008	3F0000	3F0FFF
62	1007	3EF000	3EFFFF
	1006	3EE000	3EEFFF
	.	.	.
	994	3E2000	3E2FFF
	993	3E1000	3E1FFF
	992	3E0000	3E0FFF
1	31	1F000	1FFFF
	30	1E000	1EFFF
	.	.	.
	18	12000	12FFF
	17	11000	11FFF
	16	10000	10FFF
0	15	F000	FFFF
	14	E000	EFFF
	.	.	.
	2	2000	2FFF
	1	1000	1FFF
	0	#0000000	0000FFF



1.6.5. EPCQ128A のアドレス範囲

表 15. EPCQ128A デバイスのセクター 255..0 およびサブセクター 4095..0 のアドレス範囲

セクター	サブセクター	アドレス範囲(16 進数バイトアドレス)	
		開始	エンド
255	4095	FFF000	FFFFFF
	4094	FFE000	FFEFFF
	.	.	.
	4082	FF2000	FF2FFF
	4081	FF1000	FF1FFF
	4080	FF0000	FF0FFF
254	4079	FEF000	FEFFFF
	4078	FEE000	FEFFFF
	.	.	.
	4066	FE2000	FE2FFF
	4065	FE1000	FE1FFF
	4064	FE0000	FE0FFF
129	2079	81F000	81FFFF
	2078	81E000	81EFFF
	.	.	.
	2066	812000	812FFF
	2065	811000	811FFF
	2064	810000	810FFF
128	2063	80F000	80FFFF
	2062	80E000	80EFFF
	.	.	.
	2050	802000	802FFF
	2049	801000	801FFF
	2048	800000	800FFF
127	2047	7FF000	7FFFFFF
	2046	7FE000	7FEFFF
	.	.	.
	2034	7F2000	7F2FFF
	2033	7F1000	7F1FFF
	2032	7F0000	7F0FFF
64	1039	40F000	40FFFF

continued...

セクター	サブセクター	アドレス範囲(16 進数バイトアドレス)	
		開始	エンド
	1038	40E000	40EFFF
	.	.	.
	1026	402000	402FFF
	1025	401000	401FFF
	1024	400000	400FFF
63	1023	3FF000	3FFFFFF
	1022	3FE000	3FEFFF
	.	.	.
	1010	3F2000	3F2FFF
	1009	3F1000	3F1FFF
	1008	3F0000	3F0FFF
62	1007	3EF000	3EFFFF
	1006	3EE000	3EEFFF
	.	.	.
	994	3E2000	3E2FFF
	993	3E1000	3E1FFF
	992	3E0000	3E0FFF
1	31	1F000	1FFFF
	30	1E000	1EFFF
	.	.	.
	18	12000	12FFF
	17	11000	11FFF
	16	10000	10FFF
0	15	F000	FFFF
	14	E000	EFFF
	.	.	.
	2	2000	2FFF
	1	1000	1FFF
	0	#0000000	0000FFF

1.7. メモリー・オペレーション

このセクションでは、EPCQ-A のメモリーへのアクセスに使用できるオペレーションについて説明します。このオペレーションを実行すると、MSB が一番最初に、シリアルでデバイスにシフトインおよびデバイスからシフトアウトします。



1.7.1. タイミング要件

アクティブ Low チップセレクト(nCS)信号が Low で駆動されると、DATA0 ピンを使用して EPCQ-A デバイスにオペレーション・コードをシフトインします。各オペレーション・コードは、DCLK 信号の立ち下がりエッジで EPCQ-A デバイスにラッチされます。

このオペレーションを実行中、所定のオペレーション・コードがシフトインし、アドレスまたはデータバイトがそれに続きます。アドレスおよびデータバイトの詳細については、関連情報を参照してください。デバイスは、オペレーション・シーケンスの最後のビットがシフトインした後、nCS ピンを駆動する必要があります。

Read オペレーションでは、Data Read は DATA [3 : 0] ピンでシフトアウトします。データのいずれかのビットがシフトアウトされると、nCS ピンを駆動することが可能です。

書き込みおよび消去の操作では、8 クロック・パルスの倍数であるバイト境界で nCS ピンを High に駆動します。

書き込みまたは消去サイクル進行中のメモリー・コンテンツへのアクセスの試みはすべて拒否され、書き込みと消去サイクルは無変化のままです。

1.8. ステータスレジスター

表 16. ステータス・レジスタ・ビット

ビット	R/W	デフォルト値	名	値	説明
7	R/W	0 ⁽⁴⁾		予約済み	
6	R/W	0 ⁽⁴⁾		予約済み	
5	R/W	0	TB(トップ/ボトムビット)	<ul style="list-style-type: none"> 1 = 保護領域はメモリーアレイの下部から始まりません。 0 = 保護領域はメモリーアレイの先頭から始まりません。 	保護領域がメモリーアレイの上部または下部から始まることを確認します。
4	R/W	0	BP2 ⁽⁵⁾	表 17 (18 ページ)から表 21 (20 ページ)までブロック保護ビットと、それに基づく EPCS デバイスの保護エリアを示します。	不揮発性のブロック保護ビットは、意図しない書き込みまたは消去から保護されるメモリー・エリアを決定します。
3	R/W	0	BP1 ⁽⁵⁾ M512		

continued...

⁽⁴⁾ これらのビットを 1 にプログラムしないでください。

⁽⁵⁾ バルク消去およびダイ消去操作は、すべてのブロック保護ビットが 0 に設定されている場合にのみ使用できます。ブロック保護ビットのいずれかが 1 に設定されている場合、関連する領域は、バイト書き込み操作による書き込みやセクター消去操作による消去から保護されます。

ビット	R/W	デフォルト値	名	値	説明
2	R/W	0	BP0 ⁽⁵⁾ M512		
1	R	0	WEL (Write Enable Latch Bit)	<ul style="list-style-type: none"> 1 = 次の操作の実行を許可します。 <ul style="list-style-type: none"> Write Bytes Write Status Register Erase Bulk Erase Sector 0 = 上記の操作を拒否します。 	特定の操作の実行を許可または拒否します。
0	R	0	WIP (Write in Progress ビット)	<ul style="list-style-type: none"> 1 = 次のいずれかの操作が進行中です。 <ul style="list-style-type: none"> Write Status Register Write Bytes Erase 0 = UFM WRITE または ERASE サイクルなし。 	進行中のコマンドがあるかどうかを示します。

1.8.1. ステータス読み出し操作

ステータスレジスターは、Write または Erase オペレーション中、いつでも継続して読み出すことが可能です。

図 -4: ステータス読み出し操作のタイミング図

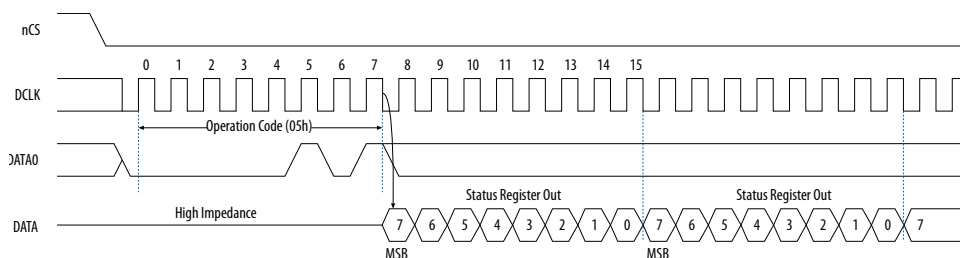


表 17. EPCQ4A デバイスのブロック保護ビット

ステータスレジスター内容				メモリー内容	
MLAB ビット	BP2 ビット	BP1 ビット	BP0 ビット	保護エリア	非保護エリア
x	0	0	0	なし	すべてのセクター
0	0	0	1	セクター 7	セクター (0 から 6 まで)
0	0	1	0	セクター (6 から 7 まで)	セクター (0 から 5 まで)
0	0	1	1	セクター (4 から 7 まで)	セクター (0 から 3 まで)
1	0	0	1	セクター 0	セクター (1 から 7 まで)
1	0	1	0	セクター (0 から 7 まで)	セクター (1 から 7 まで)
1	0	1	1	セクター (0 から 3 まで)	セクター (4 から 7 まで)
x	1	x	x	すべてのセクター	なし



表 18. EPCQ16A デバイスのブロック保護ビット

ステータスレジスター内容				メモリー内容	
MLAB ビット	BP2 ビット	BP1 ビット	BP0 ビット	保護エリア	非保護エリア
0	0	0	0	なし	すべてのセクター
0	0	0	1	セクター 31	セクター(0 から 30 まで)
0	0	1	0	セクター(30 から 31 まで)	セクター(0 から 29 まで)
0	0	1	1	セクター(28 から 31 まで)	セクター(0 から 31 まで)
0	1	0	0	セクター(24 から 31 まで)	セクター(0 から 23 まで)
0	1	0	1	セクター(16 から 31 まで)	セクター(0 から 15 まで)
0	1	1	0	すべてのセクター	なし
0	1	1	1	すべてのセクター	なし
1	0	0	0	なし	すべてのセクター
1	0	0	1	セクター 0	セクター(1 から 31 まで)
1	0	1	0	セクター(0 から 1 まで)	セクター(2 から 31 まで)
1	0	1	1	セクター(0 から 3 まで)	セクター(4 から 31 まで)
1	1	0	0	セクター(0 から 7 まで)	セクター(8 から 31 まで)
1	1	0	1	セクター(0 から 15 まで)	セクター(16 から 31 まで)
1	1	1	0	すべてのセクター	なし
1	1	1	1	すべてのセクター	なし

表 19. EPCQ32A デバイスのブロック保護ビット

ステータスレジスター内容				メモリー内容	
MLAB ビット	BP2 ビット	BP1 ビット	BP0 ビット	保護エリア	非保護エリア
0	0	0	0	なし	すべてのセクター
0	0	0	1	セクター 63	セクター 2
0	0	1	0	セクター(62 から 63 まで)	セクター(0 から 61 まで)
0	0	1	1	セクター(60 から 63 まで)	セクター(0 から 59 まで)
0	1	0	0	セクター(56 から 63 まで)	セクター(0 から 55 まで)
0	1	0	1	セクター(48 から 63 まで)	セクター(0 から 47 まで)
0	1	1	0	セクター(32 から 63 まで)	セクター(0 から 31 まで)
0	1	1	1	すべてのセクター	なし
1	0	0	0	なし	すべてのセクター
1	0	0	1	セクター 0	セクター(1 から 63 まで)
1	0	1	0	セクター(0 から 1 まで)	セクター(2 から 63 まで)
1	0	1	1	セクター(0 から 3 まで)	セクター(4 から 63 まで)
1	1	0	0	セクター(0 から 7 まで)	セクター(8 から 63 まで)

continued...



ステータスレジスター内容				メモリー内容	
MLAB ビット	BP2 ビット	BP1 ビット	BP0 ビット	保護エリア	非保護エリア
1	1	0	1	セクター(0 から 15 まで)	セクター(16 から 63 まで)
1	1	1	0	セクター(0 から 31 まで)	セクター(32 から 63 まで)
1	1	1	1	すべてのセクター	なし

表 20. EPCQ64A デバイスのブロック保護ビット

ステータスレジスター内容				メモリー内容	
MLAB ビット	BP2 ビット	BP1 ビット	BP0 ビット	保護エリア	非保護エリア
0	0	0	0	なし	すべてのセクター
0	0	0	1	セクター(126~127)	セクタ 125
0	0	1	0	セクター(124~127)	セクター(0~123)
0	0	1	1	セクター(120~127)	セクター(0~119)
0	1	0	0	セクター(112~127)	セクター(0~111)
0	1	0	1	セクター(96~127)	セクター(0~95)
0	1	1	0	セクター(64~127)	セクター(0~63)
0	1	1	1	すべてのセクター	なし
1	0	0	0	なし	すべてのセクター
1	0	0	1	セクター(0~1)	セクター(2~127)
1	0	1	0	セクター(0~3)	セクター(4~127)
1	0	1	1	セクター(0~7)	セクター(8~127)
1	1	0	0	セクター(0~15)	セクター(16~127)
1	1	0	1	セクター(0~31)	セクター(32~127)
1	1	1	0	セクター(0~63)	セクター(64~127)
1	1	1	1	すべてのセクター	なし

表 21. EPCQ128A デバイスのブロック保護ビット

ステータスレジスター内容				メモリー内容	
MLAB ビット	BP2 ビット	BP1 ビット	BP0 ビット	保護エリア	非保護エリア
0	0	0	0	なし	すべてのセクター
0	0	0	1	セクター(252~255)	セクター(0~251)
0	0	1	0	セクター(248~255)	セクター(0~247)
0	0	1	1	セクター(240~255)	セクター(0~239)
0	1	0	0	セクター(224~255)	セクター(0~223)
0	1	0	1	セクター(192~255)	セクター(0~191)
0	1	1	0	セクター(128~255)	セクター(0~127)

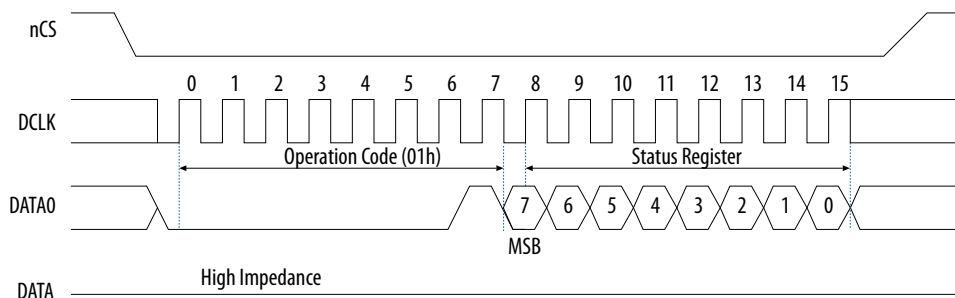
continued...

ステータスレジスター内容				メモリー内容	
MLAB ビット	BP2 ビット	BP1 ビット	BP0 ビット	保護エリア	非保護エリア
0	1	1	1	すべてのセクター	なし
1	0	0	0	なし	すべてのセクター
1	0	0	1	セクター(0~3)	セクター(4~127)
1	0	1	0	セクター(0~7)	セクター(8~255)
1	0	1	1	セクター(0~15)	セクター(16~255)
1	1	0	0	セクター(0~31)	セクター(32~255)
1	1	0	1	セクター(0~63)	セクター(64~255)
1	1	1	0	セクター(0~127)	セクター(128~255)
1	1	1	1	すべてのセクター	なし

1.8.2. ステータス書き込み操作

Write Status オペレーションは、Write Enable Latch ビットおよび Write In Progress ビットには影響しません。Write Status オペレーションを使用すれば、ステータス・レジスター・ブロック保護ビットとトップまたはボトムビットを設定することができます。したがって、特定のメモリーセクターを保護する目的で、このオペレーションを実装することができます。ブロック保護ビットを設定した後、保護されたメモリーセクターは読み出し専用メモリーとして処理されます。Write Status オペレーションの前に Write Enable オペレーションを実行する必要があります。

図 -5: ステータス書き込み操作のタイミング図



nCS 信号が High に駆動された直後に、デバイスはセルフタイムの Write Status サイクルを開始します。セルフタイムの Write Status サイクルは通常、すべての EPCQ-A デバイスに対して 10 ms を要し、15 ms 未満であることが保証されています。t_{WS} の詳細については下記の関連情報を参照してください。ステータスレジスターが目的のブロック保護ビットで書き込まれるようにするには、この遅延を考慮する必要があります。あるいは、セルフタイムの Write Status サイクルの進行中に Read Status オペレーションを実行することで、ステータスレジスターの Write In Progress ビットを確認することも可能です。セルフタイムの Write Status サイクル中の Write In Progress ビットは 1 で、それが完了すると 0 となります。

1.9. オペコードの概要

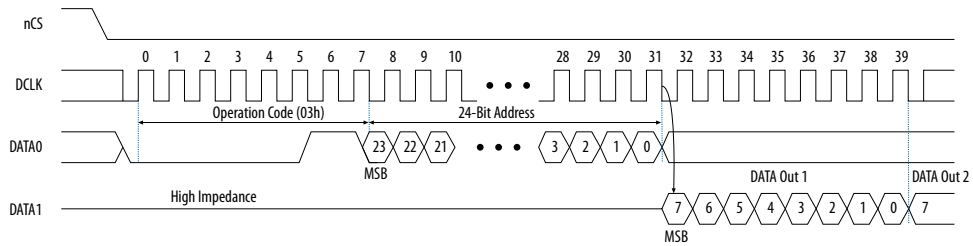
オペレーション	オペコード ⁽⁶⁾	アドレス・バイト	ダミーのクロックサイクル	データ・バイト	DCLK f _{MAX} (MHz)
Read status	05h	0	0	⁽⁷⁾	100
Read bytes	03h	3	0	1~無限大 ⁽⁷⁾	50
Read devices identification	9Fh	0	16	1	100
Read silicon identification	ABh	0	24	1	100
Fast read	0Bh	3	8	1~無限大 ⁽⁷⁾	100
Extended dual input fast read	BBh	3	4	1~無限大 ⁽⁷⁾	100
Extended quad input fast read ⁽⁸⁾	EBh	3	6	1~無限大 ⁽⁷⁾	100
Write enable	06h	0	0	0	100
Write disable	04h	0	0	0	100
Write status	01h	0	0	1	100
Write bytes	02h	3	0	1~256 ⁽⁹⁾	100
Quad input fast write bytes ⁽⁸⁾	32h	3	0	1~256	100
Erase bulk	C7h	0	0	0	100
Erase sector	D8h	3	0	0	100
Erase subsector	20h	3	0	0	100
Read SFDP register ⁽⁸⁾	5Ah	3	8	1~256	100

1.9.1. Read Bytes オペレーション(03h)

Read Bytes オペレーションを実行する場合、最初に nCS ピンを Low で駆動して Read bytes オペレーション・コードをシフトインし、それに 3 バイトアドレス(A[23..0])が続きます。各アドレスビットは、DCLK 信号の立ち上がりエッジでラッチインされる必要があります。アドレスがラッチインされた後、指定されたアドレスのメモリー内容は、MSB から順に DATA1 ピンで連続してシフトアウトされます。Raw Programming Data(.rpd) ファイルを読み込む場合、内容は LSB から順に連続してシフトアウトされます。各データビットは、DCLK 信号の立ち下がりエッジでシフトアウトします。Read bytes オペレーション中の最大 DCLK 周波数は、50 Mhz です。

-
- (6) MSB ファーストおよび LSB ラストで表記しています。
 - (7) ステータスレジスターまたはデータは少なくとも一度読み出され、nCS ピンが High に駆動されるまで継続して読み出されます。
 - (8) この操作は EPCQ4A には適用されません。
 - (9) 書き込みバイトの操作には、少なくとも 1 つのデータバイトが必要です。256 バイトを超えるバイトがデバイスに送信された場合、最後の 256 バイトのみがメモリーに書き込まれます。

図 -6: Read Bytes オペレーションのタイミング図

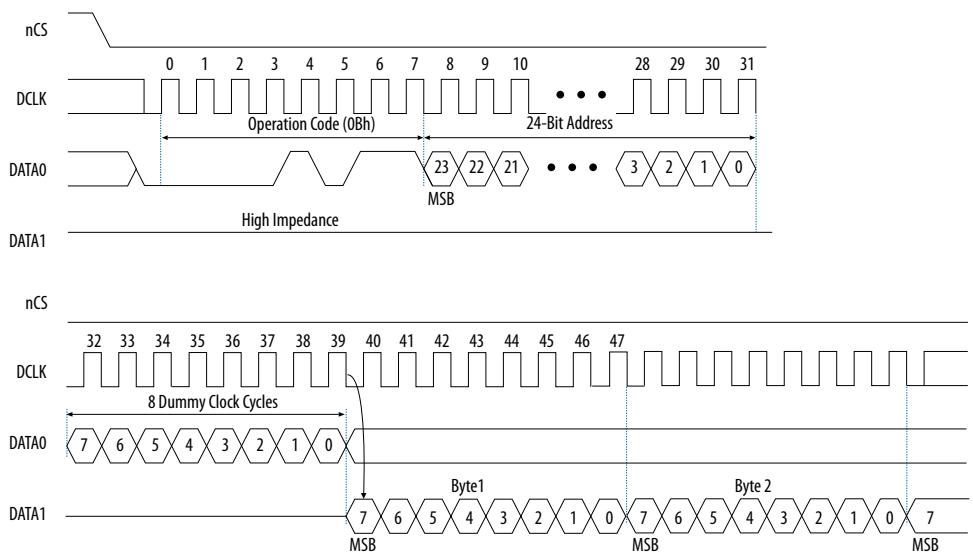


最初のバイトアドレスは任意の位置に設定することができます。デバイスはデータの各バイトをシフトアウトした後、アドレスを次に高いアドレスに自動的に増やします。これにより、デバイスは単一の Read bytes オペレーションでメモリー全体を読む出すことができます。デバイスが最上位のアドレスに達すると、アドレスカウンタは 0x000000 で再開し、nCS 信号を High に駆動することで Read bytes オペレーションが終了するまでメモリー内容を無制限に読み出すことが可能です。Read bytes オペレーションが Write または Erase サイクルの進行中にシフトインされる場合、そのオペレーションは実行されず、進行中の Write または Erase サイクルは影響されません。

1.9.2. Fast Read オペレーション(0Bh)

Fast Read オペレーションを実行するときは、最初に高速読み取り操作コードをシフトインし、次に 3 バイトアドレス (A [23..0]) をシフトインし、8 つのダミークロックサイクルを実行して、DCLK 信号の各ビットを立ち上がりエッジでラッチインします。次に、そのアドレスのメモリー内容が DATA1 でシフトアウトされ、各ビットは DCLK 信号の立ち下がりエッジで最大周波数 100MHz でシフトアウトされます。

図 -7: Fast Read オペレーションのタイミング図



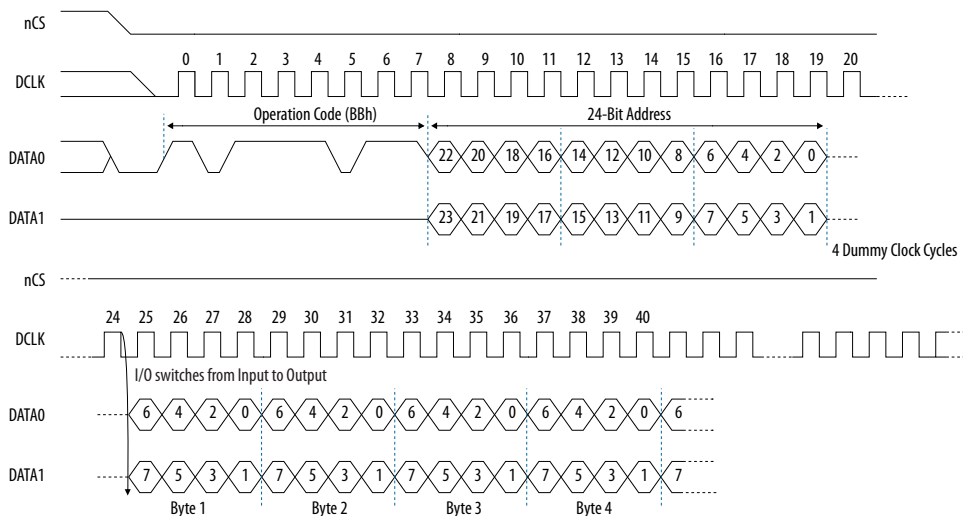
最初のバイトアドレスは任意の場所に置くことができます。デバイスは、データの各バイトをシフトアウトした後、アドレスを次に高いアドレスに自動的に増やします。したがって、デバイスは 1 回の Fast Read オペレーションでメモリー全体を読み出すことができます。デバイスが最高のアドレスに到達すると、アドレスカウンタは 0x000000 で再起動し、読み出しシーケンスを無期限に続行できるようにします。

データ出力中にはいつでも nCS 信号を High に駆動することにより、Fast Read オペレーションを終了できます。消去、プログラム、または書き込みサイクルの進行中に Fast Read オペレーションがシフトインされた場合、操作は実行されず、進行中の消去、プログラム、または書き込みサイクルには影響しません。

1.9.3. Extended Dual Input Fast Read オペレーション (BBh)

この操作は、データとアドレスが DATA0 ピンと DATA1 ピンでシフトインおよびシフトアウトされることを除いて、Fast Read オペレーション と同様です。

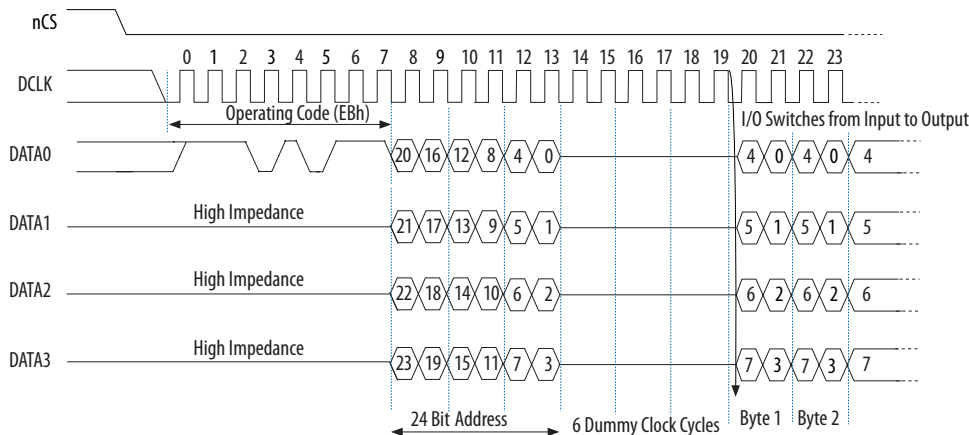
図 -8: Extended Dual Input Fast Read オペレーションのタイミング図



1.9.4. Extended Quad Input Fast Read オペレーション(EBh)

このオペレーションは Extended Dual Input Fast Read オペレーションと似ていますが、データとアドレスが DATA0 ピン、DATA1 ピン、DATA2 ピンおよび DATA3 ピンでシフトインおよびシフトアウトされる点が異なります。

図 -9: Extended Quad Input Fast Read オペレーション



1.9.5. デバイス識別子読み出し操作

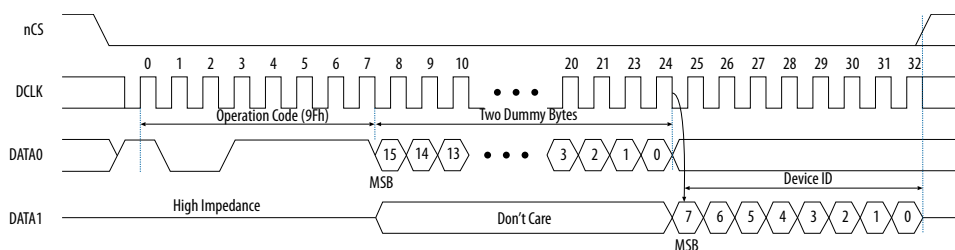
このオペレーションは、DATA1 出力ピンから EPCQ-A デバイスの 8-bit Device Identification を読み込みます。このオペレーションが進行中の Erase または Write サイクルでシフトインされる場合、そのオペレーションは実行されず、進行中の Erase または Write サイクルは影響されません。

表 22. EPCS デバイス識別子

EPCQ device	シリコン ID(バイナリー値)
EPCQ4A	b'0001 0011
EPCQ16A	b'0001 0101
EPCQ32A	b'0001 0110
EPCQ64A	b'0001 0111
EPCQ128A	b'0001 1000

その後で、EPCS デバイスの 8 ビットのデバイス識別子が DCLK 信号の立ち下がりエッジで DATA ピンにシフトアウトされます。

図 -10: デバイス識別子読み出し操作のタイミング図



1.9.6. Read Silicon Identification オペレーション(ABh)

このオペレーションは、DATA1 出力ピンから EPCQ-A デバイス 8-bit シリコン ID を読み込みます。このオペレーションが Erase または Write サイクル中にシフトインされる場合、そのオペレーションは実行されず、進行中の Erase または Write サイクルは影響されません。

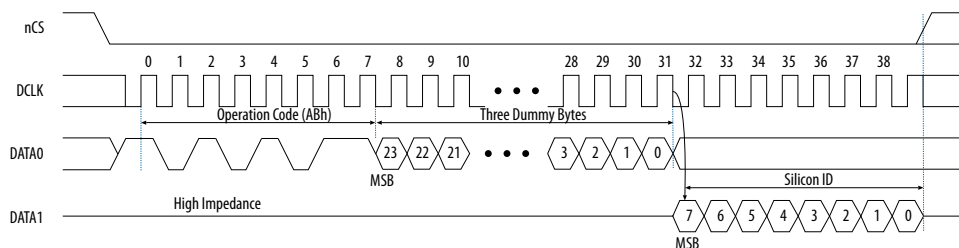
注意: この仕様は、EPCQ64A および EPC16 の EPCQ4A パッケージにのみ適用されます。

デバイスは nCS 信号を Low に駆動することで、Read silicon ID オペレーション・コードを実装し、次に Read silicon ID オペレーション・コードをシフトインし、それに DATA0 ピンで 3 つのダミーバイトが続きます。EPCQ-A デバイスの 8-bit silicon ID は、DCLK 信号の立ち下がりエッジの DATA1 ピンでシフトアウトされます。デバイスは、少なくとも一度 silicon ID を読み出した後、nCS 信号を駆動することで、Read silicon ID オペレーションを終了することができます。nCS が Low で駆動されている間に DCLK で追加のクロックサイクルを送信すると、silicon ID が繰り返しシフトアウトされる原因となります。

表 23. EPCQ-A Silicon Identification

EPCQ デバイス	シリコン ID (バイナリー値)
EPCQ4A	b' 0001 0010
EPCQ16A	b' 0001 0100
EPCQ64A	b' 0001 0110

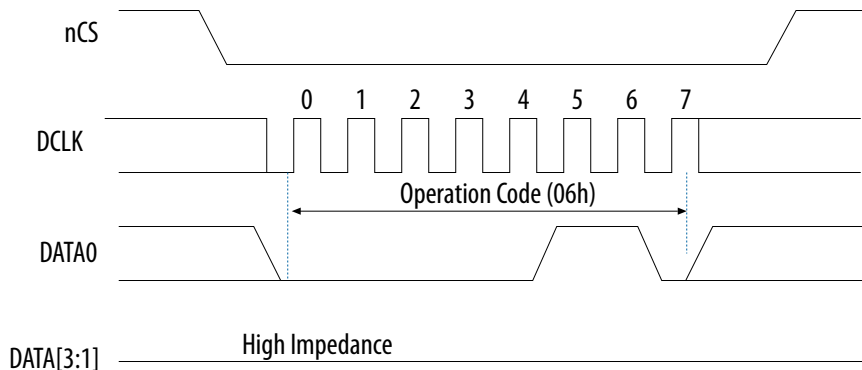
図 -11: シリコン ID 読み出し操作のタイミング図



1.9.7. 書き込みイネーブル操作

Write Enable オペレーションをイネーブルすると、Write Enable Latch ビットがステータスレジスターで 1 に設定されます。このオペレーションは、ステータスレジスターで Write bytes、Write status、Erase bulk、Erase sector、および Quad input fast write bytes オペレーションが開始される前に実行する必要があります。

図 -12: Write Enable オペレーションのタイミング図



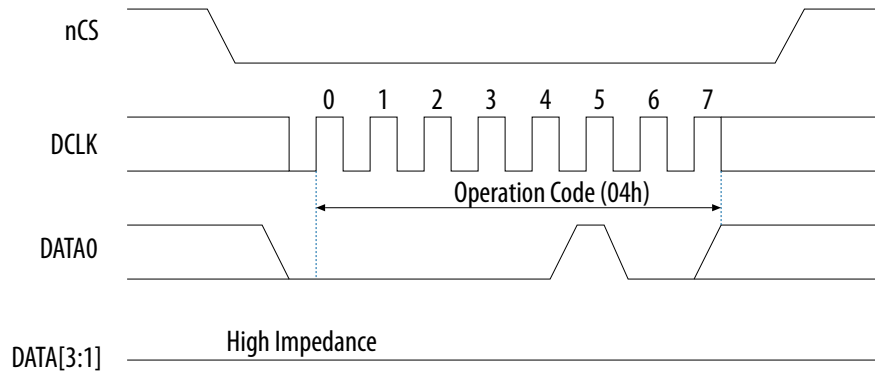
1.9.8. Write Disable オペレーション (04h)

メモリーへの意図しない書き込みを防ぐために、書き込みイネーブル・ラッチ・ビットは書き込みディスエーブル操作の実行時および次に示す条件下では自動的にリセットされます。

- パワーアップ時間
- Write bytes オペレーション完了時間
- Write status オペレーション完了時間

- Erase bulk オペレーション完了時間
- Erase sector オペレーション完了時間
- Quad Input Fast Write Bytes オペレーション完了

図 -13: 書き込みディスエーブル操作のタイミング図

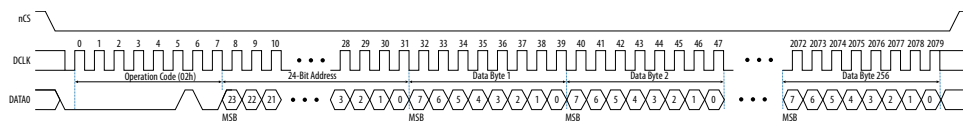


1.9.9. Write Bytes オペレーション (02h)

このオペレーションは、メモリーへのバイトの書き込みを可能にします。Write Bytes オペレーションの前に Write Enable オペレーションを実行する必要があります。Write Bytes オペレーション実行後、ステータスレジスターの Write Enable Latch ビットは 0 に設定されます。

Write Bytes オペレーションを実行する場合、Write Bytes オペレーション・コードをシフトインする必要があり、それに 3 バイトアドレス(A[23..0])と DATA0 ピンの少なくとも 1 つのデータバイトが続きます。8 つの LSB(A[7..0])がすべて 0 ではない場合、現在のページの終わりを超えて送信されたすべてのデータは次のページに書き込まれません。代わりに、このデータは同じページの開始アドレスに書き込まれます。Write Bytes オペレーション全体を通して、 \overline{nCS} 信号が Low に設定されていることを確認する必要があります。

図 -14: Write Bytes オペレーションのタイミング図



Write Bytes オペレーションで 256 を超えるデータバイトが EPCQ-A デバイスにシフトインされる場合、以前にラッチされたデータは破棄され、最後の 256 バイトがページに書き込まれます。ただし、256 バイト未満のデータが EPCQ-A デバイスにシフトインされる場合、そのバイトは指定されたアドレスに書き込まれることが保証され、同じページの他のバイトは影響を受けません。

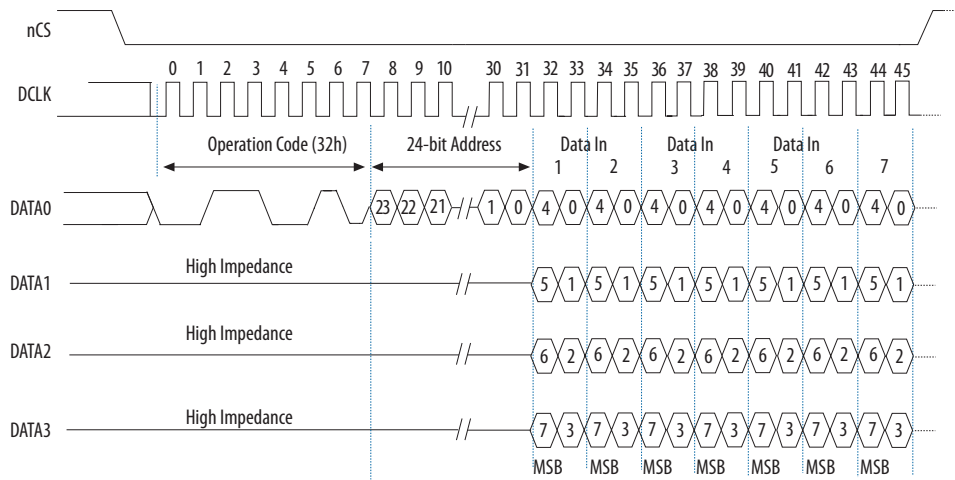
デバイスは、 \overline{nCS} 信号が High に駆動された直後にセルフタイムの Write サイクルを開始します。セルフタイムの Write サイクルの詳細については、下記の関連情報の t_{WB} を参照してください。メモリーの別のページが書き込まれる前に、この遅延を考慮する必要があります。あるいは、セルフタイムの Write サイクルの進行中に Read Status オペレーションを実行することで、ステータスレジスターの Write In Progress ビットを確認することも可能です。セルフタイムの Write サイクル中の Write In Progress ビットは 1 に設定され、それが完了すると 0 に設定されます。

注意: Write Bytes オペレーションを実装する前に、EPCQ-A デバイスのすべてのメモリーバイトを消去する必要があります。すべてのメモリーバイトは、セクター内で Erase Sector オペレーションを実行するか、メモリー全体に Erase Bulk オペレーションを実行することで消去することができます。

1.9.10. Quad Input Fast Write Bytes オペレーション(32h)

このオペレーションは Write Bytes オペレーションと似ていますが、DATA0 ピン、DATA1 ピン、DATA2 ピン、および DATA3 ピンでデータがシフトインされる点が異なります。

図 -15: Quad Input Fast Write Bytes オペレーションのタイミング図

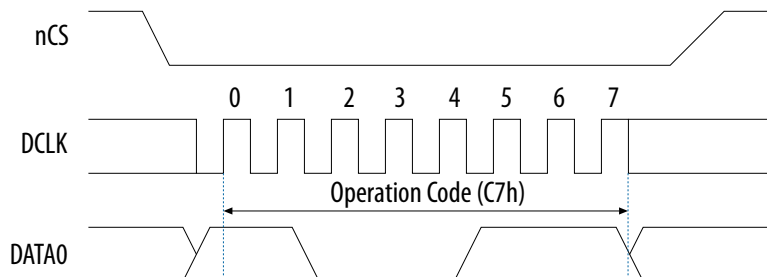


1.9.11. 一括消去操作完了時

このオペレーションは、すべてのメモリービットを 1 または 0xFF に設定します。Write Bytes オペレーションと同様に、Erase Bulk オペレーションを実行する前に、Write Enable オペレーションを実行する必要があります。

Erase Bulk オペレーションは、nCS 信号を Low に駆動し、DATA0 ピンで Erase Bulk オペレーション・コードをシフトインすることで実装することが可能です。nCS 信号は、Erase Bulk オペレーション・コードの 8 番目のビットがラッチインされた後に High に駆動されなければいけません。

図 -16: 一括消去操作のタイミング図



デバイスは、nCS 信号が High に駆動された直後にセルフタイムの Erase Bulk サイクルを開始します。セルフタイムの Erase Bulk サイクルタイムの詳細については、下記の関連情報の t_{EB} を参照してください。

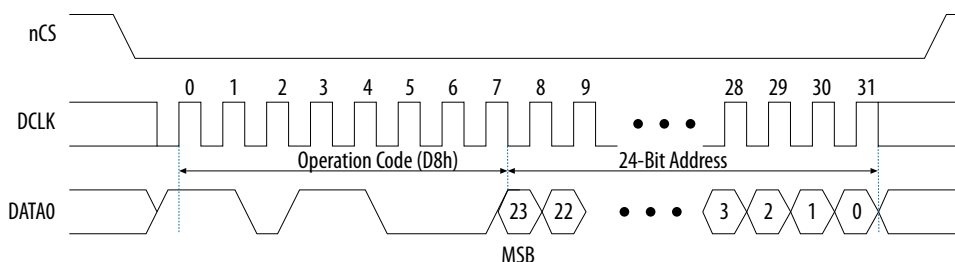
メモリー内容にアクセスする前に、この遅延を考慮する必要があります。また、セルフタイムの消去サイクルが進行中に Read Status オペレーションを実行することにより、ステータスレジスターの書き込み中ビットをチェックすることもできます。あるいは、セルフタイムの Write サイクルの進行中に Read Status オペレーションを実行することで、ステータスレジスターの Write In Progress ビットを確認することも可能です。セルフタイムの Write サイクル中の Write In Progress ビットは 1 に設定され、それが完了すると 0 に設定されます。Erase サイクルが完了する前に、ステータスレジスターの Write enable latch ビットは 0 にリセットされます。

1.9.12. Erase Sector オペレーション (D8h)

Erase Sector オペレーションは、セクター内のすべてのビットを 1 または 0xFF に設定することで、EPCQ-A デバイス内の特定のセクターを消去することを可能とします。このオペレーションは、アプリケーション内の未使用のセクターに汎用メモリーとしてアクセスしたい場合に便利です。Erase Sector オペレーションの前に Write Enable オペレーションを実行する必要があります。

Erase Sector オペレーションを実行する場合、Erase Sector オペレーション・コードを最初にシフトインする必要があり、それに DATA0 ピンの選択したセクターの 3 バイトアドレス(A[23..0])が続きます。Erase Sector オペレーションのこの 3 バイトアドレスは、指定したセクター内の任意のアドレスにすることが可能です。Erase Sector オペレーションの 8 番目のビットがラッチインされた後、nCS 信号を High に駆動します。

図 -17: セクター消去操作のタイミング図



デバイスは、nCS 信号が High に駆動された直後にセルフタイムの Erase Sector サイクルを開始します。セルフタイムの Erase Sector サイクルタイムの詳細については、下記の関連情報の t_{ES} を参照してください。メモリーの別のページが書き込まれる前に、この遅延を考慮する必要があります。または、セルフタイムの Erase サイクルの進行中に Read Status オペレーションを実行することで、ステータスレジスターの Write In Progress ビットを確認することも可能です。セルフタイムの Erase サイクル中の Write In Progress ビットは 1 に設定され、それが完了すると 0 に設定されます。ステータスレジスターの Write enable latch ビットは、セルフタイムの Erase サイクルが完了する前に 0 に設定されます。

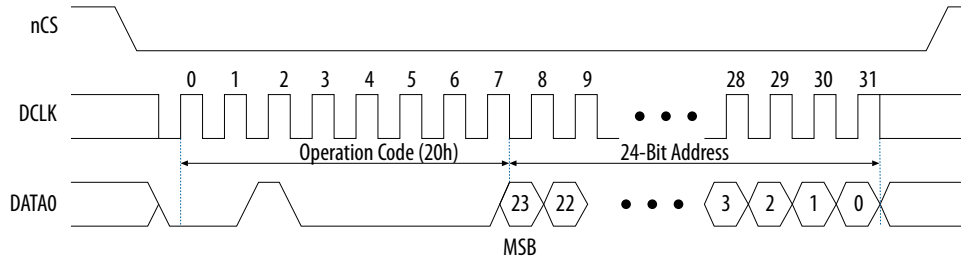
1.9.13. Erase Subsector オペレーション(20h)

Erase Subsector オペレーションは、サブセクター内のすべてのビットを 1 または 0xFF に設定することで、EPCQ-A デバイス内の特定のサブセクターを消去することを可能とします。このオペレーションは、アプリケーション内の未使用のサブセクターに汎用メモリーとしてアクセスしたい場合に便利です。Erase Subsector オペレーションの前に Write Enable オペレーションを実行する必要があります。

Erase Subsector オペレーションを実行する場合、オペレーション・コードを最初にシフトインする必要があり、それに DATA0 ピンで選択したサブセクターの 3 バイトアドレス(A[23..0])が続きます。Erase Subsector オペレーションのこの 3 バイトアドレスは、指定したサブセクター内の任意のアドレ

スにすることが可能です。サブセクターのアドレス範囲の詳細については、下記の関連情報を参照してください。Erase Subsector オペレーションの 8 番目のビットがラッチインされた後、nCS 信号を High に駆動します。

図 -18: セクター消去操作のタイミング図



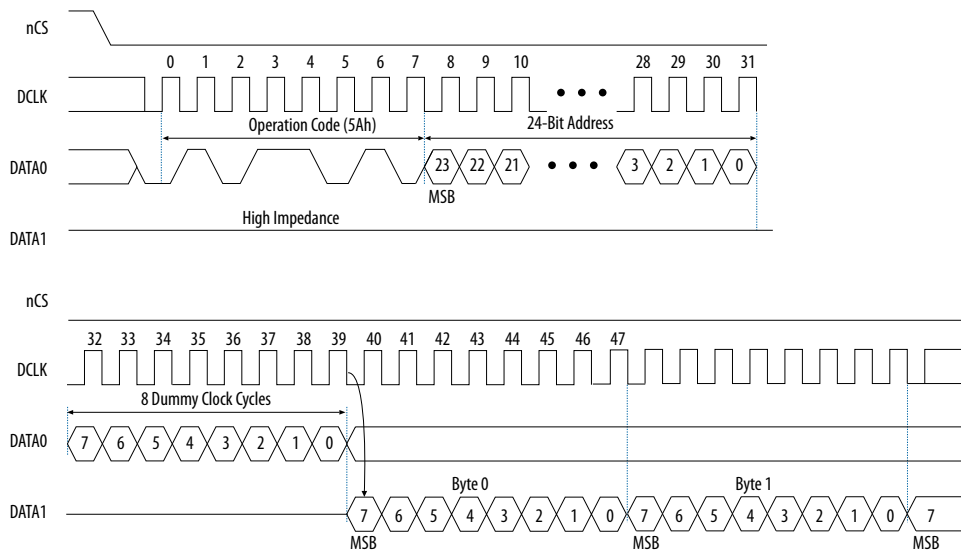
デバイスは、nCS 信号が High に駆動された直後にセルフタイムの Erase Subsector サイクルを開始します。セルフタイムの Erase Subsector サイクルの詳細については、下記の関連情報を参照してください。メモリの別のページが書き込まれる前に、この遅延を考慮する必要があります。あるいは、セルフタイムの Erase サイクルの進行中に Read Status オペレーションを実行することで、ステータスレジスタの Write In Progress ビットを確認することも可能です。セルフタイムの Erase サイクル中の Write In Progress ビットは 1 に設定され、それが完了すると 0 に設定されます。ステータスレジスタの Write enable latch ビットは、セルフタイムの Erase サイクルが完了する前に 0 に設定されます。

1.9.14. Read SFDP Register オペレーション (5Ah)

256 バイトの SFDP レジスタには、デバイス構成、使用可能な操作、およびその他の機能に関する情報が含まれています。

Read SFDP Register オペレーションは、JEDEC SFDP 規格である JESD216A と互換性があります。SFDP レジスタの値と説明については、[10GBASE-KR PHY レジスタの定義 \(34 ページ\)](#)を参照してください。

図 -19: Read SFDP Register オペレーションのタイミング図





nCS ピンを Low に駆動し、DATA0 ピンに 3 バイトのアドレスに続くオペレーションコードをシフトすることによって読む SFDP オペレーションを開始します。3 バイトのアドレスコンテンツは以下の通りです。

- $A[23..8] = 0$
- $A[7..0] = 256$ バイトの SFDP レジスタの開始バイトアドレスを定義する

SFDP レジスタの内容が最上位ビット (MSB) を最初にして 40 番目の DCLK の立ち下がりエッジでシフトアウトされるまでに、8 つのダミー・クロック・サイクルが必要です。

関連情報

10GBASE-KR PHY レジスタの定義 (34 ページ)

1.10. 電源モード

EPCQ-A デバイスは、アクティブおよびスタンバイ電源モードをサポートします。nCS 信号が Low の場合、デバイスはイネーブルされており、アクティブ電源モードです。FPGA は、EPCQ-A デバイスがアクティブ電源モードの場合にコンフィグレーションされます。nCS 信号が High の場合、デバイスはディスエーブルされていますが、Write または Erase オペレーションといったすべてのインターナル・サイクルが終了するまでアクティブ電源モードであり続けます。その後、EPCQ-A デバイスはスタンバイ電源モードとなります。 I_{CC1} および I_{CC0} パラメーターは、デバイスがアクティブおよびスタンバイ電源モードの場合、 V_{CC} 供給電流を示します。

1.11. タイミング情報

1.11.1. 書き込み操作のタイミング図

図 -20: 書き込み操作のタイミング図

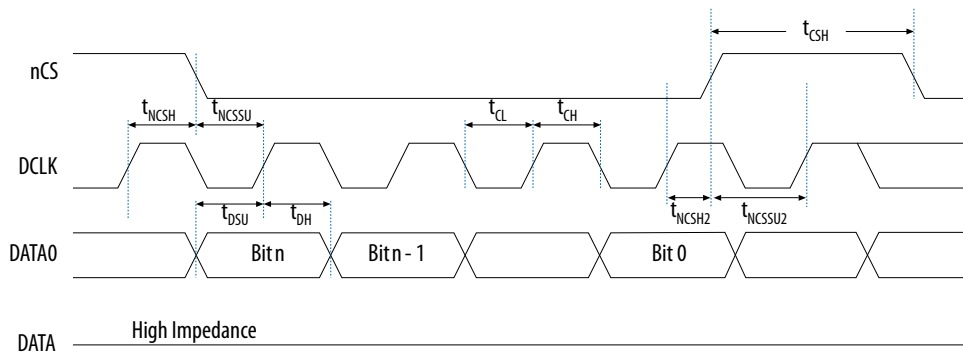


表 24. 書き込み操作パラメーター

シンボル	パラメーター	最小値	典型的	最大値	単位
f_{WCLK}	書き込みイネーブル、書き込みディスエーブル、読み出しステータス、シリコン ID 読み出し、書き込みバイト、一括消去、およびセクター消去操作の書き込みクロック周波数 (FPGA、ダウンロード・ケーブル、またはエンベデッド・プロセッサより)	—	—	100	MHz
t_{CH}	EPCQ4A の DCLK High タイム	4	—	—	ns

continued...



シンボル	パラメーター	最小値	典型的	最大値	単位
	EPCQ16A, EPCQ32A, EPCQ64A, および EPCQ128A の DCLK High タイム	3.4			
tCL	EPCQ4A の DCLK Low タイム	4	—	—	ns
	EPCQ16A, EPCQ32A, EPCQ64A, および EPCQ128A の DCLK Low タイム	3.4			
t _{NCSSU}	EPCQ4A のチップセレクト(nCS)アクティブ・セットアップ・タイム	5	—	—	ns
	EPCQ16A, EPCQ32A, EPCQ64A, および EPCQ128A のチップセレクト(nCS)アクティブ・セットアップ・タイム	3			
t _{NCSSH}	EPCQ4A のチップセレクト(nCS)非アクティブ・ホールド・タイム	5	—	—	ns
	EPCQ16A, EPCQ32A, EPCQ64A, および EPCQ128A のチップセレクト(nCS)非アクティブ・ホールド・タイム	3			
t _{NCSSU2}	EPCQ4A のチップセレクト(nCS)非アクティブ・セットアップ・タイム	5	—	—	ns
	EPCQ16A, EPCQ32A, EPCQ64A, および EPCQ128A のチップセレクト(nCS)非アクティブ・セットアップ・タイム	3			
t _{NCSSH2}	EPCQ4A のチップセレクト(nCS)アクティブ・ホールド・タイム	5	—	—	ns
	EPCQ16A, EPCQ32A, EPCQ64A, および EPCQ128A のチップセレクト(nCS)アクティブ・ホールド・タイム	3			
tDSU	DCLK 立ち上がりエッジ前のデータ(ASDI)セットアップ時間	2	—	—	ns
t _{SU}	DCLK の立ち上がりエッジ後のデータ・ホールド時間	5	—	—	ns
	EPCQ16A, EPCQ32A, EPCQ64A, および EPCQ128A に向けた DCLK の立ち上がりエッジ後の DATA[]ホールドタイム	3			
t _{CSH}	チップ・セレクト(nCS)High 時間	100	—	—	ns
	EPCQ16A, EPCQ32A, EPCQ64A, および EPCQ128A のチップセレクト(nCS)High タイム	10 または 50 ⁽¹⁰⁾			
t _{WB} ⁽¹¹⁾ ⁽¹²⁾	EPCQ4A デバイスでのバイト書き込みサイクル時間	—	0.4	0.8	ms
	EPCQ16A デバイスでのバイト書き込みサイクル時間		0.4	3	
	EPCS128 デバイスでのバイト書き込みサイクル時間		0.7	3	
	EPCQ64A デバイスでのバイト書き込みサイクル時間		0.8	3	
t _{SU}	ステータス書き込みサイクル時間	—	10	15	ms
t _{SU}	EPCQ4A デバイスでの一括消去サイクル時間	—	1	4	s

continued...

(10) Read に対しては 10 ns で、Write、Erase、Program に対しては 50 ns です。

(11) Write オペレーションのタイミング図では、これらのパラメーターは示されていません。

(12) t_{WB} パラメーターは、完全なページ Write オペレーション用です。

シンボル	パラメーター	最小値	典型的	最大値	単位
	EPCQ16A デバイスでの一括消去サイクル時間		5	25	
	EPCQ32A デバイスでの一括消去サイクル時間		10	50	
	EPCQ64A デバイスでの一括消去サイクル時間		20	100	
	EPCQ128A デバイスでの一括消去サイクル時間		40	200	
t_{SU}	EPCQ4A デバイスでのセクタ消去サイクル時間	—	150	1000	ms
	EPCQ16A, EPCQ32A, EPCQ64A, および EPCQ128A デバイスでのセクタ消去サイクル時間			2000	
$t_{ESS}^{(11)}$	EPCQ4A の Erase Subsector サイクルタイム	—	30	300	ms
	EPCQ16A, EPCQ32A, EPCQ64A, および EPCQ128A デバイスでのセクタ消去サイクル時間		45	400	

1.11.2. 読み出し操作のタイミング図

図 -21: 読み出し操作のタイミング図

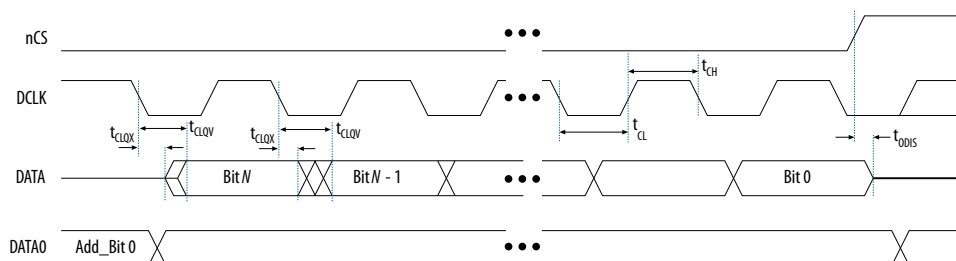


表 25. 読み出し操作パラメーター

シンボル	パラメーター	最小値	最大値	単位
f_{RCLK}	バイト読み出し操作の読み出しクロック周波数 (FPGA またはエンベデッド・プロセッサより)	—	50	MHz
	高速バイト読み出し操作の高速読み出しクロック周波数 (FPGA またはエンベデッド・プロセッサより)	—	100	MHz
t_{CH}	EPCQ4A の DCLK High タイム	4 または 6 ⁽¹³⁾	—	ns
	EPCQ16A, EPCQ32A, EPCQ64A, および EPCQ128A の DCLK High タイム	3.4 または 9 ⁽¹⁴⁾	—	ns
t_{CL}	EPCQ4A の DCLK Low タイム	4 または 6	—	ns
	EPCQ16A, EPCQ32A, EPCQ64A, および EPCQ128A の DCLK Low タイム	3.4 または 9	—	ns
t_{ODIS}	読み出し後の出力ディスエーブル時間	—	7	ns
t_{CLQV}	EPCQ4A の Clock Low to Output Valid	—	8	ns

continued...

(13) Fast Read に対しては 4 ns で、Read に対しては 6 ns です。

(14) Fast Read に対しては 3.4 ns で、Read に対しては 9 ns です。

シンボル	パラメーター	最小値	最大値	単位
	EPCQ16A, EPCQ32A, EPCQ64A, および EPCQ128A の Clock Low to Output Valid	—	6	
t _{CLQX}	EPCQ4A の出力ホールドタイム	0	—	ns
	EPCQ16A, EPCQ32A, EPCQ64A, および EPCQ128A の出力ホールドタイム	1.5	—	

1.12. プログラミングおよびコンフィグレーション・ファイルのサポート

インテル Quartus® Prime 開発ソフトウェアは EPCS-A デバイスのプログラミングをサポートしています。EPCQ-A デバイスを選択すると インテル Quartus Prime 開発ソフトウェアはデバイスをプログラミングするための Programmer Object File (.pof) を自動で生成します。Quartus Prime 開発ソフトウェアを使用すれば、選択した FPGA のコンフィグレーション・データを最も効率よく格納するための適切な EPCS-A デバイスの集積度を選択することができます。

SRunner ソフトウェア・ドライバーを使用した外部マイクロ・プロセッサにより、EPCS-A デバイスをインシステムでプログラミングすることができます。SRunner ソフトウェア・ドライバーは、異なるエンベッド・システムに適合するようにカスタマイズ可能なエンベッド EPCS-A デバイスのプログラミングに向けて開発されました。SRunner ソフトウェア・ドライバーは、.rpd ファイルを読み出し、EPCQ-A デバイスに書き込みます。プログラミングに要する時間は、インテル Quartus Prime 開発ソフトウェアのプログラミング時間と同程度です。FPGA はコンフィグレーション処理中に、.rpd データの LSB を最初に読み出すため、.rpd バイトの LSB が Read Bytes オペレーション中に最初にシフトアウトされ、Write Bytes オペレーション中に最初にシフトインされる必要があります。

EPCS デバイスとの .rpd ファイルの書き込みおよび読み出しは、他のデータおよびアドレス・バイトとは異なります。

Intel® FPGA ダウンロード・ケーブルを使用した EPCQ-A デバイスの ISP 実行中、ケーブルは nCONFIG 信号を Low にプルダウンして FPGA をリセットし、FPGA の nCE ピンの 10-kΩ プルダウン抵抗を上書きします。ダウンロード・ケーブルは次に、EPCQ-A デバイスのプログラミングに向けて選択した AS モードに応じてインターフェイス・ピンを使用します。プログラミングが完了すると、ダウンロード・ケーブルは EPCQ-A デバイスのインターフェイス・ピンおよび FPGA の nCE ピンを解放し、nCONFIG 信号をパルスしてコンフィグレーション処理を開始します。

FPGA は、シリアル・フラッシュ・ローダー (SFL) を備えた JTAG インターフェイスを使用して、EPCQ-A デバイスをインシステムでプログラミングすることができます。この方法は、FPGA のコンフィグレーションに使用したのと同じ JTAG インターフェイスを使用して、EPCQ-A デバイスを間接的にプログラミングすることを可能とします。

関連情報

[Intel Quartus Prime ソフトウェアでの Intel FPGA シリアル・フラッシュ・ローダー IP コアの使用](#)

1.13. 10GBASE-KR PHY レジスターの定義

アドレス	EPCQ16A	EPCQ32A	EPCQ64A	EPCQ128A
00H	53h	53h	53h	53h
01H	46h	46h	46h	46h
02H	44h	44h	44h	44h
<i>continued...</i>				



アドレス	EPCQ16A	EPCQ32A	EPCQ64A	EPCQ128A
03H	50h	50h	50h	50h
04H	05h	05h	05h	05h
05H	01h	01h	01h	01h
06H	00h	00h	00h	00h
07H	FFh	FFh	FFh	FFh
08H	00h	00h	00h	00h
09H	05h	05h	05h	05h
0AH	01h	01h	01h	01h
0BH	10h	10h	10h	10h
0CH	80h	80h	80h	80h
0DH	00h	00h	00h	00h
0EH	00h	00h	00h	00h
0FH	FFh	FFh	FFh	FFh
10H ... 7FH	FFh	FFh	FFh	FFh
80H	E5h	E5h	E5h	E5h
81H	20H	20H	20H	20h
82H	F9h	F9h	F9h	F9h
83H	FFh	FFh	FFh	FFh
84H	FFh	FFh	FFh	FFh
85H	FFh	FFh	FFh	FFh
86H	FFh	FFh	FFh	FFh
87H	00h	01h	03h	07h
88H	44h	44h	44h	44h
89H	EBh	EBh	EBh	EBh
8AH	08H	08H	08H	08H
8BH	6Bh	6Bh	6Bh	6Bh
8CH	08h	08h	08h	08h
8DH	3Bh	3Bh	3Bh	3Bh
8EH	42h	42h	42h	42h
8FH	BBh	BBh	BBh	BBh
90H	FEh	FEh	FEh	FEh
91H	FFh	FFh	FFh	FFh
92H	FFh	FFh	FFh	FFh
93H	FFh	FFh	FFh	FFh

continued...



アドレス	EPCQ16A	EPCQ32A	EPCQ64A	EPCQ128A
94H	FFh	FFh	FFh	FFh
95H	FFh	FFh	FFh	FFh
96H	00h	00h	00h	00h
97H	00h	00h	00h	00h
98H	FFh	FFh	FFh	FFh
99H	FFh	FFh	FFh	FFh
9AH	40h	40h	40h	40h
9BH	EBh	EBh	EBh	EBh
9CH	0Ch	0Ch	0Ch	0Ch
9DH	20h	20h	20h	20h
9EH	0Fh	0Fh	0Fh	0Fh
9FH	52h	52h	52h	52h
A0H	10h	10h	10h	10h
A1H	D8h	D8h	D8h	D8h
A2H	00h	00h	00h	00h
A3H	00h	00h	00h	00h
A4H	36h	36h	36h	36h
A5H	02h	02h	02h	02h
A6H	A6h	A6h	A6h	A6h
A7H	00h	00h	00h	00h
A8H	82h	82h	82h	82h
A9H	EAh	EAh	EAh	EAh
AAH	14h	14h	14h	14h
ABH	B3h	C2h	C4h	C9h
tACH	E9h	E9h	E9h	E9h
tADH	63h	63h	63h	63h
AEH	76h	76h	76h	76h
AFH	33h	33h	33h	33h
B0H	7Ah	7Ah	7Ah	7Ah
B1H	75h	75h	75h	75h
B2H	7Ah	7Ah	7Ah	7Ah
B3H	75h	75h	75h	75h
B4H	F7h	F7h	F7h	F7h
B5H	A2h	A2h	A2h	A2h

continued...



アドレス	EPCQ16A	EPCQ32A	EPCQ64A	EPCQ128A
B6H	D5h	D5h	D5h	D5h
B7H	5Ch	5Ch	5Ch	5Ch
B8H	19h	19h	19h	19h
B9H	F7h	F7h	F7h	F7h
BAH	4Dh	4Dh	4Dh	4Dh
BBH	FFh	FFh	FFh	FFh
BCH	E9h	E9h	E9h	E9h
BDH	30h	30h	30h	30h
BEH	F8h	F8h	F8h	F8h
BFH	80h	80h	80h	80h

関連情報

[Read SFDP Register オペレーション \(5Ah\) \(30 ページ\)](#)

1.14. EPCQ-A シリアル・コンフィグレーション・デバイスのデータシートのドキュメント改訂履歴

ドキュメント・バージョン	変更内容
2019.10.01	<ul style="list-style-type: none"> EPCQ-A デバイステーブルの絶対最大定格で $V_{IT,P,D}$ および I_{MAX} パラメーターを追加。 EPCQ-A デバイスでの DC 動作条件における I_{LR} および R_{PR} パラメーターの表を追加。 推奨動作条件の章に接合部温度 (T_J) に関する注記を追加。 EPCQ-A デバイスの表の絶対最大定格で V_{IO} パラメーターを更新。 編集上の更新-ダミーサイクルという用語をダミー・クロック・サイクルに変更。
2019.05.17	オペコードの要約の表の読み出しデバイス識別および読み出しシリコン識別操作のダミーサイクルを更新。
2019.03.18	EPCQ-A デバイスでサポートされているメモリアレイ構成の表の注 4 を更新。
2019.01.09	<ul style="list-style-type: none"> 書き込み操作パラメーターの表に t_{NCSSU2} および t_{NCSSH2} パラメーターを追加。 ライト操作のパラメーターの t_{CH}, t_{CL}, および t_{ODIS} 値を更新。 書き込み操作のタイミング図を更新。
2018.10.04	Extended Dual Input Fast Read 動作タイミング図の DCLK 値を更新。
2018.04.11	<ul style="list-style-type: none"> EPCQA インスタンスを EPCQ-A に更新。 SFDP レジスターの操作コード、説明、タイミング図、およびレジスタ定義を追加。 t_{WB} は、書き込み操作パラメーターでの完全なページ書き込みの時間であるという注記を追加。 シリコン識別コマンドの読み取りは EPCQ32A および EPCQ128A には適用されないことを示す操作コードの要約の表の注記を削除。
2018.03.13	EPCQ-A デバイステーブルの絶対最大定格から I_{MAX} と T_{AMB} のパラメーターを削除。
2018.02.15	<ul style="list-style-type: none"> I_{MAX} と T_{AMB} EPCQ-A デバイステーブルの絶対最大定格内のパラメーターを追加。 データ保持機能情報を追加。



日付	バージョン	変更内容
2017 年 12 月	2017.12.15	<ul style="list-style-type: none">Read オペレーションのパラメーターの表の最大 t_{OD1S} を更新。Read オペレーションのパラメーターの表から t_{nCLK2D} を削除。
2017 年 8 月	2017.08.02	<ul style="list-style-type: none">注文コード番号を更新。AN822: コンフィグレーション・デバイス移行ガイドラインへのリンクを追加。Extended Quad Input Fast Read および Quad Input Fast Write オペレーションのタイミング図を更新。
2017 年 7 月	2017.07.28	初版。