



# EPCQ-L シリアル・コンフィグレーション・デバイス・データシート

## 目次

---

<b>1. EPCQ-L シリアル・コンフィグレーション・デバイス・データシート</b> .....	<b>3</b>
1.1. サポートされるデバイス.....	3
1.2. 特長.....	3
1.3. 動作条件.....	4
1.3.1. 絶対最大定格.....	4
1.3.2. 推奨動作条件.....	4
1.3.3. DC 動作条件.....	5
1.3.4. ICC 電源電流.....	5
1.3.5. キャパシタンス.....	5
1.4. ピン情報.....	5
1.4.1. EPCQ-L デバイスピンの概要.....	6
1.5. デバイスパッケージおよび注文コード.....	7
1.5.1. パッケージ.....	8
1.5.2. 注文コード.....	8
1.6. メモリアレイ構成.....	8
1.6.1. EPCQ-L256 のアドレス範囲.....	9
1.6.2. EPCQ-L512 のアドレス範囲.....	9
1.6.3. EPCQ-L1024 のアドレス範囲.....	10
1.7. メモリー動作.....	11
1.7.1. タイミング要件.....	11
1.7.2. アドレッシング・モード.....	12
1.8. レジスター.....	12
1.8.1. ステータスビット.....	12
1.8.2. フラグ・ステータスレジスター.....	18
1.8.3. 不揮発性コンフィグレーション・レジスター.....	19
1.9. 動作コードの概要.....	20
1.9.1. 4BYTEADDREN および 4BYTEADDREX 動作.....	21
1.9.2. 書き込みイネーブル動作.....	22
1.9.3. 書き込みディスエーブル動作.....	23
1.9.4. バイト読み出し動作.....	23
1.9.5. 高速読み出し動作.....	24
1.9.6. 拡張クアッド入力高速読み出し動作.....	25
1.9.7. デバイス識別子読み出し動作.....	25
1.9.8. バイト書き込み動作.....	26
1.9.9. 拡張クアッド入力高速バイト書き込み動作.....	26
1.9.10. 一括消去動作.....	27
1.9.11. ダイ消去動作.....	28
1.9.12. セクター消去動作.....	28
1.10. パワーモード.....	29
1.11. タイミング情報.....	29
1.11.1. 書き込み動作のタイミング.....	29
1.11.2. 読み出し動作のタイミング.....	30
1.12. プログラミングおよびコンフィグレーション・ファイルのサポート.....	30
1.13. 改訂履歴.....	31



## 1. EPCQ-L シリアル・コンフィグレーション・デバイス・データシート

### 1.1. サポートされるデバイス

表 1. EPCQ-L デバイス

デバイス	メモリーサイズ (ビット)	オンチップ圧縮復元のサポート <sup>(1)</sup>	ISP サポート	カスケード接続サポート <sup>(2)</sup>	再プログラム可能	推奨動作電圧 (V)	ダイ数 (256M B)
EPCQ-L256	268,435,456	不可能	可能	不可能	可能	1.8	1
EPCQ-L512	536,870,912	不可能	可能	不可能	可能	1.8	2
EPCQ-L1024	1,073,741,824	不可能	可能	不可能	可能	1.8	4

### 1.2. 特長

EPCQ-L デバイスは次の機能を備えています。

- Stratix 10 FPGA との互換性
- Arria 10 FPGA および SOC との互換性
- アクティブシリアル (AS) x4 のネイティブサポート
- Arria 10 デバイス上の AS x1 の下位互換性
- Low Pin Count かつ揮発性メモリー
- 1.8 V
- スタックダイ・デバイス
- NOR 技術で製造
- FBGA24 パッケージで使用可能
- 10 万回以上の消去またはプログラムサイクルが可能なりプログラマブル・メモリー
- ステータスレジスター・ビットを用いたメモリーセクターへの書き込み保護をサポート
- 単一動作コードを使用したメモリー全体の高速読み出しおよび拡張クアッド入力高速読み出し
- 単一動作コードを使用したメモリー全体のバイト書き込みおよび拡張クアッド入力高速バイト書き込み
- SRunner ソフトウェア・ドライバーを使用したインシステム・プログラミング (ISP) のサポート

(1) EPCQ-L デバイスは Arria 10 デバイスに内蔵されている圧縮復元機能との互換性をサポートしています。

(2) 複数の EPCQ-L デバイスは単一 FPGA デバイスで使用される場合があります。

- Intel® FPGA Download Cable II、Intel FPGA Download Cable、イーサネット・ダウンロード・ケーブル II、またはイーサネット・ダウンロード・ケーブルといったダウンロード・ケーブルを使用した ISP のサポート
- デフォルトによるメモリアレイの消去、およびビット 1 への設定
- ユーザーモード時に EPCQ-L デバイスへのアクセスに使用可能な ALTASMI\_PARALLEL IP コア

**警告:** EPCQ-L デバイスは Stratix 10 および Arria 10 デバイスのみと互換性があります。

### 1.3. 動作条件

このセクションでは、EPCQ-L デバイスにおける絶対最大定格、推奨動作条件、DC 動作条件、ICC 供給電流、および容量に関する情報を提供します。

#### 1.3.1. 絶対最大定格

表 2. 絶対最大定格

シンボル	パラメーター	条件	Min	Max	単位
V <sub>CC</sub>	電源電圧	GND に対して	-0.6	2.4	V
V <sub>IO</sub> <sup>(3), (4)</sup>	DC 入力 / 出力電圧	GND に対して	-0.6	V <sub>CC</sub> + 0.6	V
T <sub>STG</sub>	保存温度	バイアスなし	-65	150	°C

#### 1.3.2. 推奨動作条件

表 3. 推奨動作条件

シンボル	パラメーター	条件	Min	Max	単位
V <sub>CC</sub>	電源電圧	(5)	1.7	2.0	V
V <sub>I</sub>	入力電圧	GND に対して	-0.5	0.4 + V <sub>CC</sub>	V
T <sub>A</sub> <sup>(6)</sup>	動作温度範囲	インダストリアル用	-40	85	°C
t <sub>R</sub>	入力立ち上がり時間	—	—	5	ns
t <sub>F</sub>	入力立ち下がり時間	—	—	5	ns

#### 関連情報

##### EPCQ-L Package and Thermal Resistance

EPCQ-L 熱抵抗について詳細を提供します。

(3) 信号の遷移中、最小電圧は期間が 10 ns 未満に対して -1V にアンダーシュートする可能性があります。

(4) 信号の遷移中、最大電圧は期間が 10 ns 未満に対して V<sub>CC</sub> + 1V にオーバーシュートする可能性があります。

(5) V<sub>CC</sub> の最大立ち上がり時間は 100 ms です。

(6) EPCQ-L デバイスは、EPCQ-L デバイスの周囲温度が 85°C を超えない限り、100°C までのジャンクション温度で動作するインダストリアル・グレード FPGA とペアにすることができます。

### 1.3.3. DC 動作条件

表 4. DC 動作条件

シンボル	パラメーター	条件	Min	Max	単位
$V_{IH}$	High レベル入力電圧	—	$0.7 \times V_{CC}$	$V_{CC} + 0.4$	V
$V_{IL}$	Low レベル入力電圧	—	-0.5	$0.3 \times V_{CC}$	V
$V_{OH}$	High レベル出力電圧	$I_{OH} = -100 \mu A$ <sup>(7)</sup>	$V_{CC} - 0.2$	—	V
$V_{OL}$	Low レベル出力電圧	$I_{OL} = 1.6 \text{ mA}$ <sup>(8)</sup>	—	0.4	V
$I_I$	入力リーク電流	$V_I = V_{CC}$ または GND	-2	2	$\mu A$

### 1.3.4. ICC 電源電流

表 5.  $I_{CC}$  供給電流

シンボル	パラメーター	条件	Min	Max	単位
$I_{CC0}$	$V_{CC}$ 供給電流	スタンバイ	—	100	$\mu A$
$I_{CC1}$	$V_{CC}$ 供給電流	アクティブ・パワーモード中	—	20	mA

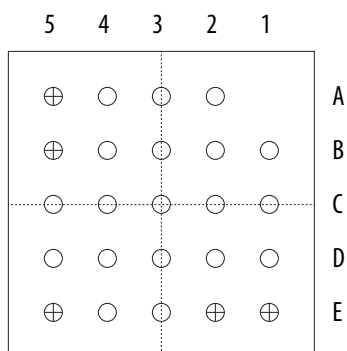
### 1.3.5. キャパシタンス

表 6. キャパシタンス

シンボル	パラメーター <sup>(9)</sup>	条件	Min	Max	単位
$C_{IN}$	入力ピン・キャパシタンス	$V_{IN} = 0 \text{ V}$	—	6	pF
$C_{IN/OUT}$	入力 / 出力ピン・キャパシタンス	$V_{OUT} = 0 \text{ V}$	—	8	pF

## 1.4. ピン情報

図 -1: FBGA24 パッケージでの EPCQ-L デバイスのピンアウト図



(7)  $I_{OH}$  パラメーターはハイレベル TTL または CMOS 出力電流を参照します。

(8)  $I_{OL}$  パラメーターはローレベル TTL または CMOS 出力電流を参照します。

(9) キャパシタンスは、 $T_A = 25^\circ C$  と 54-MHz 周波数でのみサンプルテストが行われます。

表 7. EPCQ-L デバイスの信号

信号	ボール
nCS	C2
DCLK	B2
DATA0	D3
DATA1	D2
DATA2	C4
DATA3	D4
VCC	B4
GND	B3
DNU <sup>(10)</sup>	A2
	A3
	A4
	A5
	B1
	B5
	C1
	C3
	C5
	D1
	D5
	E1
	E2
	E3
	E4
E5	

### 1.4.1. EPCQ-L デバイスピンの概要

表 8. EPCQ-L デバイスピンの概要

ピン名	ピンタイプ	説明
nCS	入力	アクティブ Low nCS 入力信号は、有効動作の始めと終わりにトグルします。この信号が High になると、デバイスは選択解除となり、DATA ピンはトライステートになります。

*continued...*

(10) Do not use



ピン名	ピンタイプ	説明
		この信号が Low になると、デバイスはイネーブルとなり、アクティブモードになります。パワーアップ後、EPCQ-L デバイスは任意の動作を開始する前に nCS 信号の立ち下がりエッジを必要とします。
DCLK	入力	FPGA が提供する DCLK 信号です。この信号は、シリアル・インターフェイスのタイミングを提供します。DATA0 ピンに提供されたデータは、DCLK 信号の立ち上がりで EPCQ-L デバイスにラッチされます。DATA ピンのデータは DCLK 信号の立ち下がりエッジ後に変更され、次の DCLK 信号の立ち下りにエッジで FPGA にラッチされます。
DATA0	I/O	AS x1 モードでは、このピンを EPCQ-L デバイスへの書き込みまたは EPCQ-L デバイスをプログラムするための入力信号ピンとして使用します。書き込みまたはプログラムの動作中、データは DCLK 信号の立ち上がりエッジでラッチされます。 AS x4 モードでは、このピンを I/O 信号ピンとして使用します。書き込みまたはプログラムの動作中、このピンはデータを EPCQ-L デバイスにシリアルに遷移する入力ピンとして機能します。データは DCLK 信号の立ち上がりエッジでラッチされます。読み出しまたはコンフィグレーションの動作中、このピンはデータを EPCQ-L デバイスから FPGA にシリアルに遷移する出力信号ピンとして機能します。データは DCLK 信号の立ち下がりエッジでシフトアウトされます。 拡張クアッド入力高速バイト書き込み動作中、このピンはデータを EPCQ-L デバイスにシリアルに遷移する入力ピンとして機能します。データは DCLK 信号の立ち上がりエッジでラッチされます。拡張クアッド入力高速読み出し動作中、このピンはデータを EPCQ-L デバイスから FPGA にシリアルに遷移する出力信号ピンとして機能します。データは DCLK 信号の立ち下がりエッジでシフトアウトされます。
DATA1	I/O	AS x1 モードでは、読み出しまたはコンフィグレーションの動作中に、このピンをデータを EPCQ-L デバイスから FPGA にシリアルに遷移する出力信号ピンとして使用します。AS x4 モードでは、このピンは I/O 信号ピンとして使用します。信号の遷移は DCLK 信号の立ち下がりエッジ上にあります。 拡張クアッド入力高速バイト書き込み動作中、このピンはデータを EPCQ-L デバイスにシリアルに遷移する入力信号ピンとして機能します。データは DCLK 信号の立ち上がりエッジでラッチされます。 拡張クアッド入力高速読み出し動作中、このピンはデータを EPCQ-L デバイスから FPGA にデータをシリアルに遷移する出力信号ピンとして機能します。データは DCLK 信号の立ち下がりエッジでシフトアウトされます。読み出し、コンフィグレーション、またはプログラムの動作中、nCS 信号を Low にプルダウンすることで、EPCQ-L デバイスをイネーブルにできます。
DATA2	I/O	AS x1 モードでは、このピンは 1.8-V 電源に接続する必要があります。 AS x4 モードでは、このピンを読み出しまたはコンフィグレーションの動作中にデータを EPCQ-L デバイスから FPGA にシリアルに遷移する出力信号として使用します。信号の遷移は DCLK 信号の立ち下がりエッジ上にあります。 拡張クアッド入力高速バイト書き込み動作中、このピンはデータを EPCQ-L デバイスにシリアルに遷移する入力ピンとして機能します。データは DCLK 信号の立ち上がりエッジでラッチされます。拡張クアッド入力高速読み出し動作中、このピンはデータを EPCQ-L デバイスから FPGA にシリアルに遷移する出力信号として使用します。このデータは DCLK 信号の立ち下がりエッジでシフトアウトされます。
DATA3	I/O	AS x1 モードでは、このピンは 1.8 V 電源に接続する必要があります。 AS x4 モードでは、読み出しまたはコンフィグレーションの動作中に、このピンをデータを EPCQ-L デバイスから FPGA にシリアルに遷移する出力信号として使用します。信号の遷移は DCLK 信号の立ち下がりエッジ上にあります。 拡張クアッド入力高速バイト書き込み動作中、このピンはデータを EPCQ-L デバイスにシリアルに遷移する入力ピンとして機能します。データは DCLK 信号の立ち上がりエッジでラッチされます。拡張クアッド入力高速読み出し動作中、このピンはデータを EPCQ-L デバイスから FPGA にシリアルに遷移する出力信号として機能します。このデータは DCLK 信号の立ち下がりエッジでシフトアウトされます。
VCC	電源	電源ピンを 1.8 V の電源に接続します。
GND	グラウンド	グラウンドピンを表します。

## 1.5. デバイスパッケージおよび注文コード

このセクションでは、EPCQ-L デバイスで提供されるパッケージおよび各 EPCQ-L デバイスの注文コードについて説明します。



### 1.5.1. パッケージ

EPCQ-L256、EPCQ-L512、および EPCQ-L1024 デバイスは FBGA24 パッケージで適用されます。

#### 関連情報

[EPCQ-L Device Package Information](#)

EPCQ-L パッキング仕様、熱抵抗、サイズについて、詳細を提供します。

### 1.5.2. 注文コード

表 9. EPCQ-L デバイスの注文コード

デバイス	注文コード <sup>(11)</sup>
EPCQ-L256	EPCQL256F24IN
EPCQ-L512	EPCQL512F24IN
EPCQ-L1024	EPCQL1024F24IN

## 1.6. メモリーアレイ構成

表 10. EPCQ-L デバイスでのメモリーアレイ構成

詳細	EPCQ-L256	EPCQ-L512	EPCQ-L1024
バイト数	33,554,432 バイト (256 Mb)	67,108,864 バイト (512 Mb)	134,217,728 バイト (1,024 Mb)
セクター数	512	1,024	2,048
セクターあたりのバイト数	65,536 バイト (512 Kb)		
サブセクターの総数 <sup>(12)</sup>	8,192	16,384	32,768
サブセクターあたりのバイト数	4,096 バイト (512 Kb)		
セクターあたりのページ	256		
ページの総数	131,072	262,144	524,288
ページあたりのバイト数	256 バイト		

(11) N はデバイスが鉛フリーであることを示します。

(12) 各セクターは 4KB のメモリーを有する 16 個のサブセクターに分割されています。したがって、EPCQ-L256 デバイスには 8,192 (512 x 16) 個のサブセクター、EPCQ-L512 デバイスには 16,384 (1,024 x 16) 個のサブセクター、EPCQ-L1024 デバイスには 32,768 (2,048 x 16) 個のサブセクターがあります。





### 1.6.1. EPCQ-L256 のアドレス範囲

表 11. EPCQ-L256 デバイスでのセクター 511..0 およびサブセクター 8191..0 のアドレス範囲

セクター	サブセクター	アドレス範囲 (16 進数バイトアドレス)	
		スタート	エンド
511	8191	01FFF000h	01FFFFFFh
	...	...	...
	8176	01FF0000h	01FF0FFFh
...	...	...	...
255	4095	00FFF000h	00FFFFFFh
	...	...	...
	4080	00FF0000h	00FF0FFFh
...	...	...	...
127	2047	007FF000h	007FFFFFFh
	...	...	...
	2032	007F0000h	007F0FFFh
...	...	...	...
63	1023	003FF000h	003FFFFFFh
	...	...	...
	1008	003F0000h	003F0FFFh
...	...	...	...
0	15	0000F000h	0000FFFFh
	...	...	...
	0	00000000h	00000FFFh

### 1.6.2. EPCQ-L512 のアドレス範囲

表 12. EPCQ-L256 デバイスでのセクター 1023..0 およびサブセクター 16383..0 のアドレス範囲

セクター	サブセクター	アドレス範囲 (16 進数 バイトアドレス)	
		スタート	エンド
1023	16383	03FFF000h	03FFFFFFh
	...	...	...
	16368	03FF0000h	03FF0FFFh
...	...	...	...
511	8191	01FFF000h	01FFFFFFh
	...	...	...
	8176	01FF0000h	01FF0FFFh

continued...



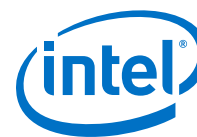
セクター	サブセクター	アドレス範囲 (16 進数 バイトアドレス)	
		スタート	エンド
...	...	...	...
255	4095	00FFF000h	00FFFFFFh
	...	...	...
...	4080	00FF0000h	00FF0FFFh
	...	...	...
127	2047	007FF000h	007FFFFFFh
	...	...	...
...	2032	007F0000h	007F0FFFh
	...	...	...
63	1023	003FF000h	003FFFFFFh
	...	...	...
...	1008	003F0000h	003F0FFFh
	...	...	...
0	15	0000F000h	0000FFFFh
	...	...	...
...	0	00000000h	00000FFFh

### 1.6.3. EPCQ-L1024 のアドレス範囲

表 13. EPCQ-L1024 デバイスでのセクター 2047..0 およびサブセクター 32767..0 のアドレス範囲

セクター	サブセクター	アドレス範囲 (16 進数バイトアドレス)	
		スタート	エンド
2047	32767	07FFF000h	07FFFFFFh
	...	...	...
...	32750	07FF0000h	07FF0FFFh
	...	...	...
1023	16383	03FFF000h	03FFFFFFh
	...	...	...
...	16368	03FF0000h	03FF0FFFh
	...	...	...
511	8191	01FFF000h	01FFFFFFh
	...	...	...
...	8176	01FF0000h	01FF0FFFh
	...	...	...

*continued...*



セクター	サブセクター	アドレス範囲 (16 進数バイトアドレス)	
		スタート	エンド
255	4095	00FFF000h	00FFFFFFh
	...	...	...
	4080	00FF0000h	00FF0FFFh
...	...	...	...
127	2047	007FF000h	007FFFFFFh
	...	...	...
	2032	007F0000h	007F0FFFh
...	...	...	...
63	1023	003FF000h	003FFFFFFh
	...	...	...
	1008	003F0000h	003F0FFFh
...	...	...	...
0	15	0000F000h	0000FFFFh
	...	...	...
	0	00000000h	00000FFFh

## 1.7. メモリー動作

このセクションでは、EPCQ-L デバイスのメモリーへのアクセスに使用できる動作について説明します。動作の実行時、アドレスとデータは MSB ファーストで、デバイスにシリアルにシフトインおよびシフトアウトされます。

### 1.7.1. タイミング要件

アクティブ Low チップセレクト (nCS) 信号が Low に駆動されると、シリアルデータ (DATA0) ピンを使用して、動作コードを EPCQ-L デバイスにシフトインします。それぞれの動作コードビットは DCLK 信号の立ち上がりエッジで EPCQ-L デバイスにラッチされます。

動作が実行している間、目的の動作コードをシフトインし、その後 表 24 (20 ページ) リストどおりにアドレスまたはデータバイトをシフトインします。動作シーケンスの最後のビットがシフトインされた後、デバイスは nCS ピンを High に駆動する必要があります。

読み出し動作では、データ読み出しは DATA0 ピンにシフトアウトされます。データの任意のビットがシフトアウトされると、nCS ピンを High に駆動することができます。

書き込みおよび消去動作では、8 クロックパルスの倍数であるバイト境界で nCS ピンを High に駆動します。それ以外の場合は、動作は拒否され、実行されません。

書き込みまたは消去サイクル進行中のメモリー内容へのアクセスの試みは拒否され、書き込みまたは消去サイクルは無変化のままです。

## 1.7.2. アドレッシング・モード

EPCQ-L256、EPCQ-L512、または EPCQ-L1024 メモリーにアクセスするには、4 バイト・アドレッシング・モードを使用する必要があります。4 バイト・アドレッシング・モードでのアドレス幅は 32 ビットです。4 バイト・アドレッシング・モードを有効にするには、4BYTEADDREN 動作を実行します。アドレッシング・モードは 4BYTEADDREN 動作を実行するとすぐに有効になり、後続のパワーアップ時にも有効状態は保持されます。4 バイト・アドレッシング・モードを無効にするには、4BYTEADDREX 動作を実行します。

**注意:** EPCQ-L256、EPCQ-L512、および EPCQ-L1024 デバイスのプログラムのために Quartus Prime II ソフトウェアまたは SRRunner ソフトウェアを使用している場合、4BYTEADDREN 動作を実行する必要はありません。これらのソフトウェア・ツールは、デバイスのプログラミング時に 4 バイト・アドレッシング・モードを自動的に有効にします。

## 1.8. レジスター

### 1.8.1. ステータスビット

表 14. ステータスレジスター・ビット

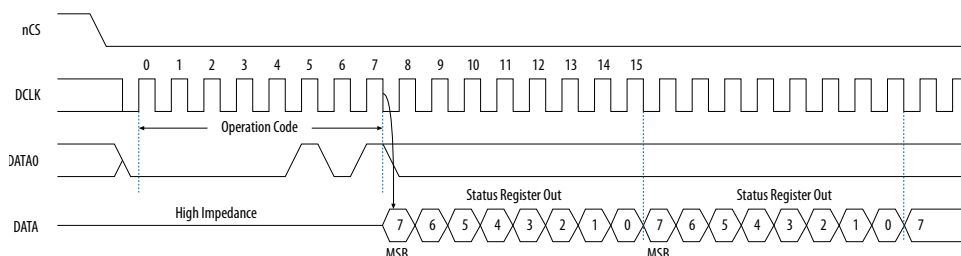
ビット	名称	値	説明
7	NONE		
6	BP3 (ブロック保護ビット) <sup>(13)</sup>	ブロック保護ビットを参照し、表 15 (13 ページ)から表 20 (16 ページ)までに保護領域を記載	意図しない書き込みまたは消去から保護されるメモリー領域を決定します。
5	TB (上位 / 下位ボトムビット)	<ul style="list-style-type: none"> <li>1=メモリーアレイの 下位から始まる保護領域</li> <li>0=メモリーアレイの上位から始まる保護領域</li> </ul>	保護領域の決定はメモリーアレイの上位または下位から始まりません。
4	BP2 <sup>(13)</sup>	ブロック保護ビットを参照し、表 15 (13 ページ)から表 20 (16 ページ)までに保護領域を記載	意図しない書き込みまたは消去から保護されるメモリー領域を決定します。
3	BP1 <sup>(13)</sup>		
2	BP0 <sup>(13)</sup>		
1	WEL (書き込みイネーブルラッチ・ビット)	<ul style="list-style-type: none"> <li>1=以下の動作の実行を許可               <ul style="list-style-type: none"> <li>バイト書き込み</li> <li>ステータスレジスター書き込み</li> <li>一括消去</li> <li>ダイ消去</li> <li>セクター消去</li> </ul> </li> <li>0=上記の動作を拒否</li> </ul>	特定動作の実行を許可または拒否します。
0	WIP (書き込み進行中ビット)	<ul style="list-style-type: none"> <li>1=以下の 1 つの動作の実行を許可               <ul style="list-style-type: none"> <li>ステータスレジスター書き込み</li> <li>NVCR 書き込み</li> <li>バイト書き込み</li> <li>消去</li> </ul> </li> <li>0=書き込みなしまたは消去サイクル進行中</li> </ul>	コマンドが実行中かどうかを示します。

(13) 一括消去およびダイ消去動作はすべてのブロック保護ビットが 0 に設定されている場合のみに適用されます。いずれかのブロック保護ビットが 1 に設定されている場合、該当する領域はバイト書き込み動作による書き込みまたはセクター消去動作による消去から保護されます。

### 1.8.1.1. ステータスレジスター読み出し動作

ステータスレジスターは、書き込みまたは消去動作中を含め、連続的にいつでも読み出すことができます。

図 -2: ステータスレジスター読み出し動作のタイミング図



#### 1.8.1.1.1. TB ビットが 0 に設定されている場合の EPCQ-L256 のブロック保護ビット

表 15. TB ビットが 0 に設定されている場合の EPCQ-L256 のブロック保護ビット

ステータスレジスター内容					メモリー内容	
TB ビット	BP3 ビット	BP2 ビット	BP1 ビット	BP0 ビット	保護領域	非保護領域
0	0	0	0	0	無	すべてのセクター
0	0	0	0	1	セクター 511	セクター (0 ~ 510)
0	0	0	1	0	セクター (510 ~ 511)	セクター (0 ~ 509)
0	0	0	1	1	セクター (508 ~ 511)	セクター (0 ~ 507)
0	0	1	0	0	セクター (504 ~ 511)	セクター (0 ~ 503)
0	0	1	0	1	セクター (496 ~ 511)	セクター (0 ~ 495)
0	0	1	1	0	セクター (480 ~ 511)	セクター (0 ~ 479)
0	0	1	1	1	セクター (448 ~ 511)	セクター (0 ~ 447)
0	1	0	0	0	セクター (384 ~ 511)	セクター (0 ~ 383)
0	1	0	0	1	セクター (256 ~ 511)	セクター (0 ~ 255)
0	1	0	1	0	すべてのセクター	無
0	1	0	1	1	すべてのセクター	無
0	1	1	0	0	すべてのセクター	無
0	1	1	0	1	すべてのセクター	無
0	1	1	1	0	すべてのセクター	無
0	1	1	1	1	すべてのセクター	無



1.8.1.1.2. TB ビットが 1 に設定されている場合の EPCQ-L256 のブロック保護ビット

表 16. TB ビットが 1 に設定されている場合の EPCQ-L256 のブロック保護ビット

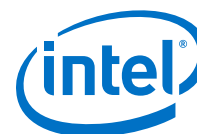
ステータスレジスター内容					メモリー内容	
TB ビット	BP3 ビット	BP2 ビット	BP1 ビット	BPO ビット	保護領域	非保護領域
1	0	0	0	0	無	すべてのセクター
1	0	0	0	1	セクター 0	セクター (1 ~ 511)
1	0	0	1	0	セクター (0 ~ 1)	セクター (2 ~ 511)
1	0	0	1	1	セクター (0 ~ 3)	セクター (4 ~ 511)
1	0	1	0	0	セクター (0 ~ 7)	セクター (8 ~ 511)
1	0	1	0	1	セクター (0 ~ 15)	セクター (16 ~ 511)
1	0	1	1	0	セクター (0 ~ 31)	セクター (32 ~ 511)
1	0	1	1	1	セクター (0 ~ 63)	セクター (64 ~ 511)
1	1	0	0	0	セクター (0 ~ 127)	セクター (128 ~ 511)
1	1	0	0	1	セクター (0 ~ 255)	セクター (256 ~ 511)
1	1	0	1	0	すべてのセクター	無
1	1	0	1	1	すべてのセクター	無
1	1	1	0	0	すべてのセクター	無
1	1	1	0	1	すべてのセクター	無
1	1	1	1	0	すべてのセクター	無
1	1	1	1	1	すべてのセクター	無

1.8.1.1.3. TB ビットが 0 に設定されている場合の EPCQ-L512 のブロック保護ビット

表 17. TB ビットが 0 に設定されている場合の EPCQ-L512 のブロック保護ビット

ステータスレジスター内容					メモリー内容	
TB ビット	BP3 ビット	BP2 ビット	BP1 ビット	BPO ビット	保護領域	非保護領域
0	0	0	0	0	無	すべてのセクター
0	0	0	0	1	セクター 1023	セクター (0 ~ 1022)
0	0	0	1	0	セクター (1022 ~ 1023)	セクター (0 ~ 1021)
0	0	0	1	1	セクター (1020 ~ 1023)	セクター (0 ~ 1019)
0	0	1	0	0	セクター (1016 ~ 1023)	セクター (0 ~ 1015)
0	0	1	0	1	セクター (1008 ~ 1023)	セクター (0 ~ 1007)
0	0	1	1	0	セクター (992 ~ 1023)	セクター (0 ~ 991)
0	0	1	1	1	セクター (960 ~ 1023)	セクター (0 ~ 959)
0	1	0	0	0	セクター (896 ~ 1023)	セクター (0 ~ 895)
0	1	0	0	1	セクター (768 ~ 1023)	セクター (0 ~ 767)

continued...



ステータスレジスター内容					メモリー内容	
TB ビット	BP3 ビット	BP2 ビット	BP1 ビット	BP0 ビット	保護領域	非保護領域
0	1	0	1	0	セクター (512 ~ 1023)	セクター (0 ~ 511)
0	1	0	1	1	すべてのセクター	無
0	1	1	0	0	すべてのセクター	無
0	1	1	0	1	すべてのセクター	無
0	1	1	1	0	すべてのセクター	無
0	1	1	1	1	すべてのセクター	無

1.8.1.1.4. TB ビットが 1 に設定されている場合の EPCQ-L512 のブロック保護ビット

表 18. TB ビットが 1 に設定されている場合の EPCQ-L512 のブロック保護ビット

ステータスレジスター内容					メモリー内容	
TB ビット	BP3 ビット	BP2 ビット	BP1 ビット	BP0 ビット	保護領域	非保護領域
1	0	0	0	0	無	すべてのセクター
1	0	0	0	1	セクター 0	セクター (1 ~ 1023)
1	0	0	1	0	セクター (0 ~ 1)	セクター (2 ~ 1023)
1	0	0	1	1	セクター (0 ~ 3)	セクター (4 ~ 1023)
1	0	1	0	0	セクター (0 ~ 7)	セクター (8 ~ 1023)
1	0	1	0	1	セクター (0 ~ 15)	セクター (16 ~ 1023)
1	0	1	1	0	セクター (0 ~ 31)	セクター (32 ~ 1023)
1	0	1	1	1	セクター (0 ~ 63)	セクター (64 ~ 1023)
1	1	0	0	0	セクター (0 ~ 127)	セクター (128 ~ 1023)
1	1	0	0	1	セクター (0 ~ 255)	セクター (256 ~ 1023)
1	1	0	1	0	セクター (0 ~ 511)	セクター (512 ~ 1023)
1	1	0	1	1	すべてのセクター	無
1	1	1	0	0	すべてのセクター	無
1	1	1	0	1	すべてのセクター	無
1	1	1	1	0	すべてのセクター	無
1	1	1	1	1	すべてのセクター	無



1.8.1.1.5. TB ビットが 0 に設定されている場合の EPCQ-L1024 のブロック保護ビット

表 19. TB ビットが 0 に設定されている場合の EPCQ-L1024 のブロック保護ビット

ステータスレジスター内容					メモリー内容	
TB ビット	BP3 ビット	BP2 ビット	BP1 ビット	BPO ビット	保護領域	非保護領域
0	0	0	0	0	無	すべてのセクター
0	0	0	0	1	セクター 2047	セクター (0 ~ 2046)
0	0	0	1	0	セクター (2046 ~ 2047)	セクター (0 ~ 2045)
0	0	0	1	1	セクター (2044 ~ 2047)	セクター (0 ~ 2043)
0	0	1	0	0	セクター (2040 ~ 2047)	セクター (0 ~ 2039)
0	0	1	0	1	セクター (2032 ~ 2047)	セクター (0 ~ 2031)
0	0	1	1	0	セクター (2016 ~ 2047)	セクター (0 ~ 2015)
0	0	1	1	1	セクター (1984 ~ 2047)	セクター (0 ~ 1983)
0	1	0	0	0	セクター (1920 ~ 2047)	セクター (0 ~ 1919)
0	1	0	0	1	セクター (1792 ~ 2047)	セクター (0 ~ 1791)
0	1	0	1	0	セクター (1536 ~ 2047)	セクター (0 ~ 1535)
0	1	0	1	1	セクター (1024 ~ 2047)	セクター (0 ~ 1023)
0	1	1	0	0	すべてのセクター	無
0	1	1	0	1	すべてのセクター	無
0	1	1	1	0	すべてのセクター	無
0	1	1	1	1	すべてのセクター	無

1.8.1.1.6. TB ビットが 1 に設定されている場合の EPCQ-L1024 のブロック保護ビット

表 20. TB ビットが 1 に設定されている場合の EPCQ-L1024 のブロック保護ビット

ステータスレジスター内容					メモリー内容	
TB ビット	BP3 ビット	BP2 ビット	BP1 ビット	BPO ビット	保護領域	非保護領域
1	0	0	0	0	無	すべてのセクター
1	0	0	0	1	セクター 0	セクター (1 ~ 2047)
1	0	0	1	0	セクター (0 ~ 1)	セクター (2 ~ 2047)
1	0	0	1	1	セクター (0 ~ 3)	セクター (4 ~ 2047)
1	0	1	0	0	セクター (0 ~ 7)	セクター (8 ~ 2047)
1	0	1	0	1	セクター (0 ~ 15)	セクター (16 ~ 2047)
1	0	1	1	0	セクター (0 ~ 31)	セクター (32 ~ 2047)
1	0	1	1	1	セクター (0 ~ 63)	セクター (64 ~ 2047)
1	1	0	0	0	セクター (0 ~ 127)	セクター (128 ~ 2047)
1	1	0	0	1	セクター (0 ~ 255)	セクター (256 ~ 2047)

continued...



ステータスレジスター内容					メモリー内容	
TB ビット	BP3 ビット	BP2 ビット	BP1 ビット	BP0 ビット	保護領域	非保護領域
1	1	0	1	0	セクター (0 ~ 511)	セクター (512 ~ 2047)
1	1	0	1	1	セクター (0 ~ 1023)	セクター (1024 ~ 2047)
1	1	1	0	0	すべてのセクター	無
1	1	1	0	1	すべてのセクター	無
1	1	1	1	0	すべてのセクター	無
1	1	1	1	1	すべてのセクター	無

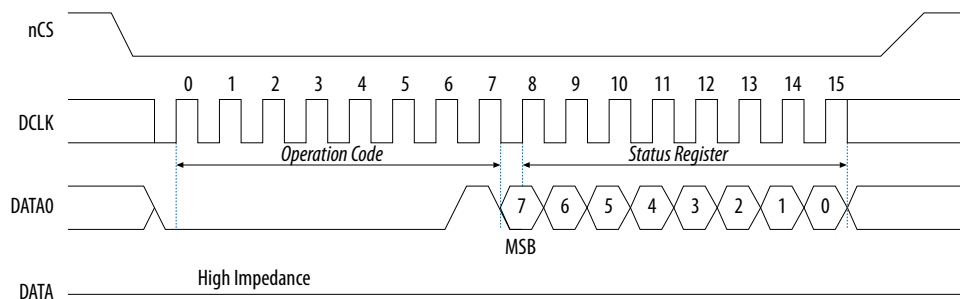
### 1.8.1.2. ステータスレジスター書き込み

ステータスレジスター書き込み動作は書き込みイネーブルラッチおよび書き込み動作中ビットに影響しません。ステータスレジスター書き込み動作は、ステータスレジスター・ブロック保護、および上位ビットまたは下位ビットの設定に使用することができます。したがって、特定のメモリーセクターを保護するために、この動作を実装することができます。表 15 (13 ページ)から表 20 (16 ページ)を参照してください。ブロック保護ビットの設定後、保護されたメモリーセクターは読み出し専用メモリーとして扱われます。書き込みイネーブル動作は、ステータス書き込み動作の前に実行する必要があります。

動作が進行中の際、フラグ・ステータスレジスターの書き込みまた消去コントローラー・ビットは 0 に設定されます。ステータス動作を取得するには、フラグ・ステータスレジスターはコマンド間で 2 回 nCS をトグルし、引き下げらる必要があります<sup>(14)</sup>。動作完了すると、書き込みまたは消去コントローラー・ビットは 1 にクリアされます。ポーリングされるたびにフラグ・ステータスレジスターが書き込みまたは消去コントローラー・ビットを 1 に出力すると、動作の終了が検出されます。

下の図は、ステータスレジスター書き込み動作のタイミング図を示します。

図 -3: ステータスレジスター書き込み動作のタイミング図



nCS 信号が High に駆動された直後に、デバイスはセルフタイマー式ステータス書き込みサイクルを開始します。通常、セルフタイマー式ステータス書き込みサイクルはすべての EPCQ-L デバイスで 5 ms を要し、8 ms 未満であることが保証されています。t<sub>WS</sub> について詳しくは、表 26 (29 ページ)を参照してください。ステータスレジスターに目的のブロック保護ビットに書き込まれるのを確実にするために、この遅延を考慮する必要があります。あるいは、セルフタイマー式ステータス書き込みサイクルの進

<sup>(14)</sup> フラグ・ステータスレジスターは、EPCQL256 では 1 回、EPCQL512 では 2 回、または EPQL1024 では 4 回引き下げます。

行中にステータスレジスタ読み出し動作を実行することで、ステータスレジスタの書き込み動作中ビットの動作を確認できます。フラッシュ・コントローラーは、セルフタイマー式ステータス書き込みサイクルの間は 1 に設定し、完了すると 0 に設定します。

## 1.8.2. フラグ・ステータスレジスタ

### 1.8.2.1. フラグ・ステータスレジスタ

フラグ・ステータスレジスタ読み出しは、書き込みまたは消去動作中を含め、連続的にいつでも読み出すことができます。フラグ・ステータスレジスタ読み出しは書き込みまたは消去コマンドが発行されるたびに読み出す必要があります。

図 -4: フラグ・ステータスレジスタ読み出し動作のタイミング図

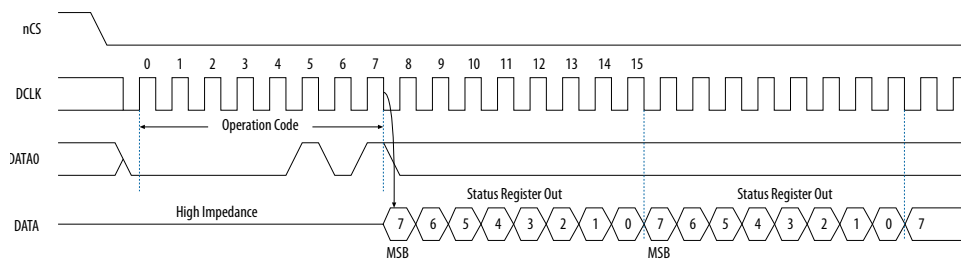


表 21. フラグ・ステータスレジスタ・ビット

ビット	名称	値	説明
7	書き込みまたは消去コントローラー <sup>(15)</sup>	<ul style="list-style-type: none"> <li>1= 準備</li> <li>0= ビジー</li> </ul>	次の動作の 1 つが進行中かどうかを示します。 <ul style="list-style-type: none"> <li>ステータスレジスタ書き込み</li> <li>NVCR 書き込み</li> <li>バイト書き込み</li> <li>消去</li> </ul>
6	消去中断	<ul style="list-style-type: none"> <li>1= エフェクト</li> <li>0= 非エフェクト</li> </ul>	消去動作が実行されたか、または中断されるかを示します。 注意: ステータスビットは自動的にリセットされます。
5	消去	<ul style="list-style-type: none"> <li>1= 障害または保護エラー</li> <li>0= クリアー</li> </ul>	消去動作が成功したか失敗したかを表示します。
4	書き込み	<ul style="list-style-type: none"> <li>1= 障害または保護エラー</li> <li>0= クリアー</li> </ul>	バイト書き込み動作が成功したか失敗したかを示します。また、VPP = VPPH およびデータパターンが 64 ビットの倍数の場合、0 を 1 に書き込もうと試みます。
3	VPP	<ul style="list-style-type: none"> <li>1= 無効 ( デフォルト )</li> <li>0= 有効</li> </ul>	バイト書き込みまたは消去動作中に VPP の電圧が無効であることを示します。
2	書き込み中断	<ul style="list-style-type: none"> <li>1= エフェクト</li> <li>0= 非エフェクト</li> </ul>	バイト書き込み動作が実行しているのか中断されるのかを示します。
1	保護	<ul style="list-style-type: none"> <li>1= 障害または保護エラー</li> <li>0= クリアー</li> </ul>	消去またはバイト書き込み動作が保護されたアレイセクターの変更を試みたかどうかを示します。。
0	アドレッシング	<ul style="list-style-type: none"> <li>1=4 バイト・アドレッシング</li> <li>0=3 バイト・アドレッシング</li> </ul>	使用されるアドレッシング・モードを示します。

(15) 書き込みまたは消去コントローラー・ビット = 書き込み進行中ビットではありません。

### 1.8.3. 不揮発性コンフィグレーション・レジスター

表 22. 不揮発性コンフィグレーション・レジスター動作のダミークロック・サイクルおよびアドレスバイト

FPGA デバイス	アドレスバイト	ダミークロック・サイクル	
		AS x1	AS x4
Arria 10	4 バイト・アドレッシング	10	

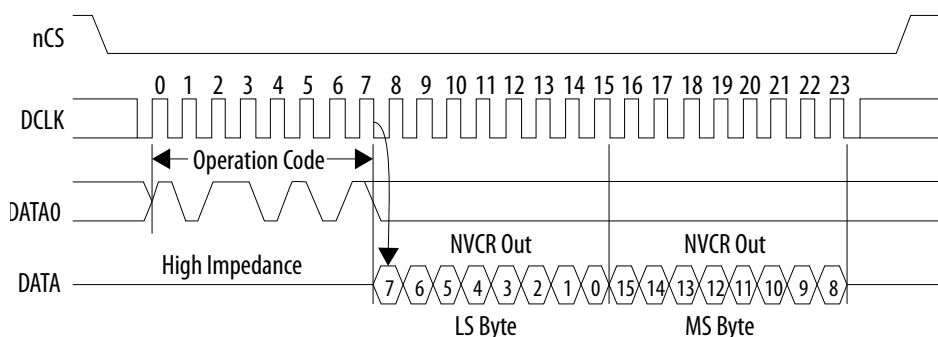
表 23. 不揮発性コンフィグレーション・レジスター動作ビットの定義

ビット	説明	デフォルト値
15:12	ダミーサイクルの数です。この数が 0001 ~ 1110 の場合、ダミーサイクルは 1 ~ 14 です。	0000 または 1111 (16)
11:5	これらのビットを 1111111 に設定します。	1111111
4	Don't care	1
3:1	これらのビットを 111 に設定します。	111
0	アドレスバイト設定 <ul style="list-style-type: none"> <li>0-4 バイト・アドレッシング</li> <li>1-3 バイト・アドレッシング</li> </ul>	1

#### 1.8.3.1. 不揮発性コンフィグレーション・レジスター読み出し動作

不揮発性コンフィグレーション・レジスター読み出しを実行するには、nCS を Low に駆動します。拡張 SPI プロトコルでは、動作コードは DATA0 に入力され、DATA1 に出力されます。動作はデータ出力中に nCS を Low に駆動することでいつでも中断することができます。不揮発性コンフィグレーション・レジスターは連続して読み出されます。すべての 16 ビット・レジスターが読み出された後、0 が出力されます。

図 -5: 不揮発コンフィグレーション・レジスター読み出し動作のタイミング図



(16) デフォルトのダミーサイクルは拡張クアッド入力高速読み出しの場合は 10 であり、拡張デュアル入力高速読み出しおよび標準高速読み出しの場合は 8 です。

### 1.8.3.2. 不揮発コンフィグレーション・レジスター書き込み動作

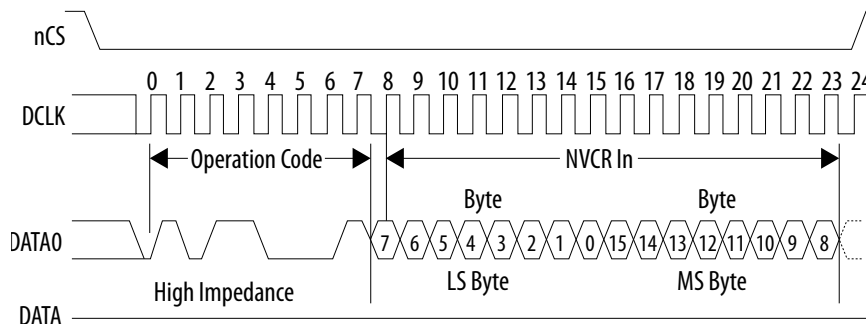
EPCQ-L デバイスでの不揮発コンフィグレーション・レジスターは、異なるコンフィグレーション手法に合わせて書き込む必要があります。**.jic** ファイルを使用している場合、Quartus Prime プログラマーはダミークロック・サイクル数とアドレスバイト数を設定します。外部プログラマー・ツール ( サードパーティーのプログラマー・ツール ) を使用している場合は、不揮発コンフィグレーション・レジスターを設定しなければなりません。

次の手順に従って、不揮発コンフィグレーション・レジスターを設定します。

1. 書き込みイネーブル動作を実行する
2. 不揮発コンフィグレーション・レジスター書き込み動作を実行する
3. 16 ビット・レジスター値を設定する

16 ビット・レジスター値を、xxxxx がダミークロック値となる  $b'1110\ 1110\ xxxxx\ 1111$  に設定します。xxxxx 値が 0001 から 1110 までの場合、ダミークロック値は 1 から 14 です。xxxxx が 0000 または 1111 の場合、ダミークロック値はデフォルト値であり、すなわち、標準高速読み出し (AS x1) モードでは 8 で、拡張クアッド入力高速読み出し (AS x4) モードでは 10 になります。

図 -6: 不揮発性コンフィグレーション・レジスター書き込み動作のタイミング図



## 1.9. 動作コードの概要

表 24. EPCQ-L デバイスの動作コード

動作	動作コード <sup>(17)</sup>	アドレスバイト	ダミーサイクル	データバイト	DCLK fMAX (MHz)
ステータスレジスター読み出し	b'0000 0101	0	0	1 ~ 無限大 <sup>(18)</sup>	100
フラグ・ステータスレジスター読み出し	b'0111 0000	0	0	1 ~ 無限大	100
バイト読み出し	b'0000 0011	4	0	1 ~ 無限大 <sup>(18)</sup>	50
不揮発性コンフィグレーション・レジスター読み出し	b'1011 0101	0	0	2	100
デバイス識別子読み出し	b'1001 111x	0	2	1 ~ 20 <sup>(18)</sup>	100

*continued...*

(17) MSB ファーストおよび LSB ラストをリストします。

(18) ステータスレジスター、データ、またはドデバイス識別子読み出しは、少なくとも一回は読み出され、nCS ピンが High に駆動されるまで継続して読み出されます。



動作	動作コード <sup>(17)</sup>	アドレスバイト	ダミーサイクル	データバイト	DCLK fMAX (MHz)
高速読み出し (AS x1)	b'0000 1011	4	8 <sup>(19)</sup>	1 ~ 無限大 <sup>(18)</sup>	100
拡張クアッド入力高速読み出し (AS x4)	b'1110 1011	4	10 <sup>(19)</sup>	1 ~ 無限大 <sup>(18)</sup>	100
デュアル I/O 高速読み出し	b'1011 1011	4	10	1 ~ 無限大	100
書き込みイネーブル	b'0000 0110	0	0	0	100
書き込みディスエーブル	b'0000 0100	0	0	0	100
ステータス書き込み	b'0000 0001	0	0	1	100
バイト書き込み	b'0000 0010	4	0	1 ~ 256 <sup>(20)</sup>	100
不揮発性コンフィグレーション・レジスター書き込み	b'1011 0001	0	0	2	100
拡張クアッド入力高速バイト書き込み	b'0001 0010	4	0	1 ~ 256 <sup>(20)</sup>	100
拡張デュアル入力高速バイト書き込み	b'1101 0010	4	0	1 ~ 256	100
一括消去 <sup>(21)</sup>	b'1100 0111	4	0	0	100
ダイ消去 <sup>(22)</sup>	b'1100 0100	4	0	0	100
セクター消去	b'1101 1000	4	0	0	100
サブセクター消去	b'0010 0000	4	0	0	100
4BYTEADDREN	b'1011 0111	0	0	0	100
4BYTEADDREX	b'1110 1001	0	0	0	100

### 1.9.1. 4BYTEADDREN および 4BYTEADDREX 動作

4BYTEADDREN または 4BYTEADDREX 動作を有効にするには、nCS 信号を Low に駆動することでデバイスを選択し、その後 DATA0 を介して動作コードにシフトインします。

4BYTEADDREN 動作のタイミング図を下に示します。

(17) MSB ファーストおよび LSB ラストをリストします。

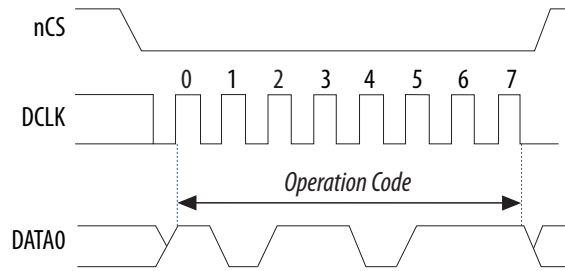
(19) ダミーサイクル数を設定できます。

(20) バイト書き込み動作は少なくとも 1 データバイトを必要とします。256 バイトを超える場合は、最後の 256 バイトのみがメモリーに書き込まれます。

(21) 一括消去は EPCQ-L256 のみで適用されます。

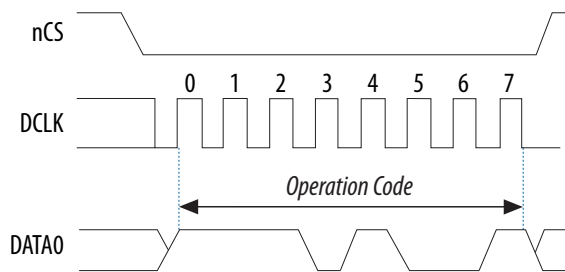
(22) ダイは EPCQ-L512 と EPCQ-L1024 のみで適用されます。

図 -7: 4BYTEADDREN タイミング図



4BYTEADDREX 動作のタイミング図を下に示します。

図 -8: 4BYTEADDREX タイミング図

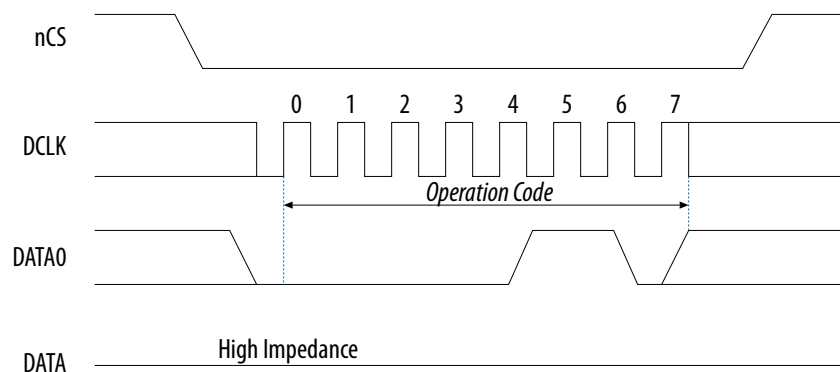


### 1.9.2. 書き込みイネーブル動作

書き込みイネーブル動作を有効にすると、書き込みイネーブルラッチ・ビットはステータスレジスターで 1 に設定されます。この動作はバイト書き込み、ステータス書き込み、一括消去、セクター消去、ダイ消去、拡張クアド入力高速バイト書き込み、4BYTEADDREN、および 4BYTEADDREX 動作の前に実行する必要があります。

書き込みイネーブル動作のタイミング図を下に示します。

図 -9: 書き込みイネーブル動作のタイミング図



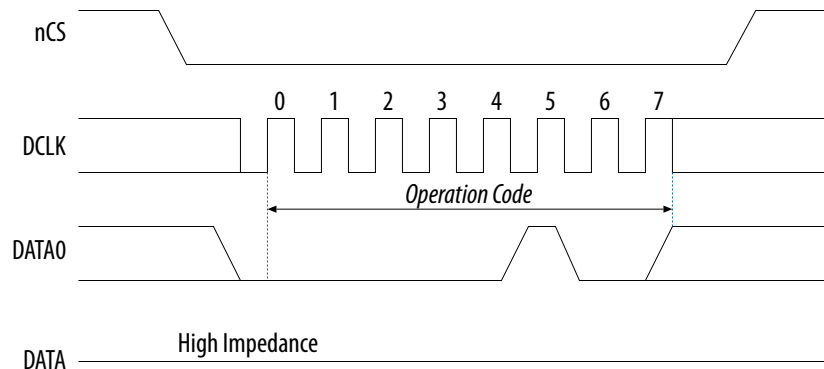
### 1.9.3. 書き込みディスエーブル動作

書き込みディスエーブル動作はステータスレジスターで書き込みイネーブルラッチ・ビットをリセットします。メモリーへの意図しない書き込みを防ぐために、書き込みイネーブルラッチ・ビットは書き込みディスエーブル動作の実装時、および以下の条件下で自動的にリセットされます。

- パワーアップ
- バイト書き込み動作完了
- ステータス書き込み動作完了
- 一括消去動作完了
- セクター消去動作完了
- セクター消去動作完了
- 拡張クアド入力高速バイト書き込み動作完了

書き込みコントロール・レジスターのタイミング図を下に示します。

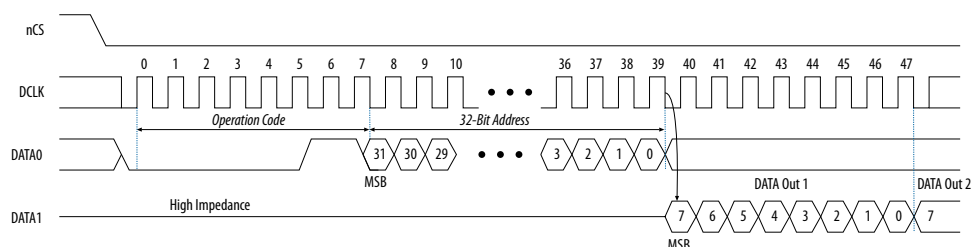
図 -10: 書き込みディスエーブル動作のタイミング図



### 1.9.4. バイト読み出し動作

バイト読み出し動作を実行すると、最初にバイト読み出し動作コードをシフトし、次に 4 バイト・アドレスリング・モード (A[31..0]) が続きます。各アドレスビットは、DCLK 信号の立ち上がりエッジでラッチされます。アドレスがラッチされた後、指定されたアドレスのメモリー内容は MSB を先頭に DATA1 ピンにシリアルにシフトアウトされます。Raw Programming Data ファイル (.rpd) からプログラムされたデータを読み出すと、その内容は LSB から順にシフトアウトされます。各データビットは、DCLK 信号の立ち下がりエッジでシフトアウトされます。バイト読み出し動作中の DCLK の最大周波数は 50 MHz です。

図 -11: バイト読み出し動作のタイミング図



最初のバイトアドレスは任意の位置に配置することができます。各データバイトをシフトアウトした後、デバイスはアドレスを自動的に次の上位アドレスに増加します。デバイスが最上位アドレスに達すると、アドレスカウンタは同じダイの先頭で再スタートし、nCS 信号を High に駆動することでバイト読み出し動作が終了するまでメモリー内容を無限に読み出すことができます。完全なデバイスの読み出しは、読み出し動作の実行により終了します。

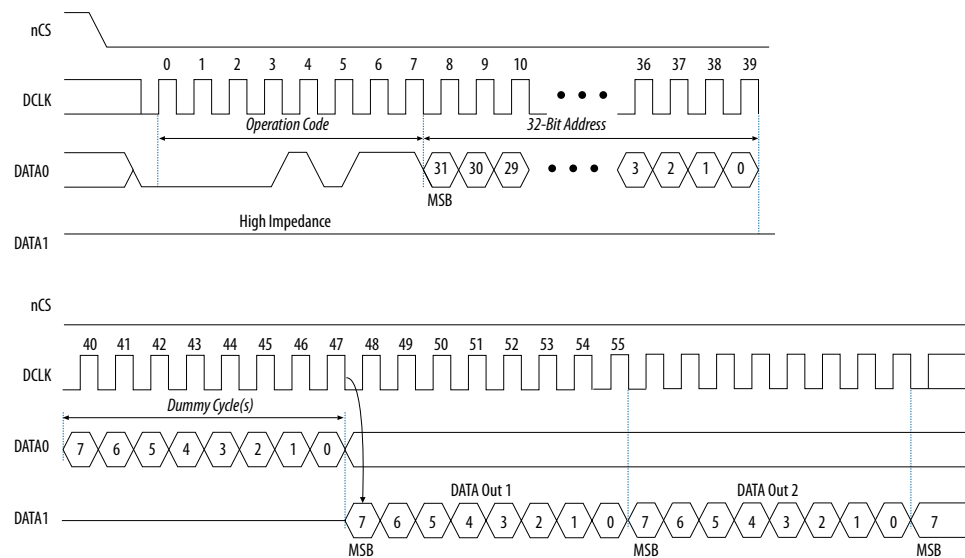
- EPCQ-L512 デバイスの場合 2 回
- EPCQ-L1024 デバイスの場合 4 回

書き込みまたは消去サイクルの進行中にバイト読み出し動作がシフトインされる場合、動作は実行されず、進行中の書き込みまたは消去サイクルには影響しません。

### 1.9.5. 高速読み出し動作

高速読み出し動作を実行すると、最初に高速読み出し動作コードをシフトインし、その後 4 バイト・アドレスリング・モード (A[31..0])、さらに DCLK 信号の立ち上がりエッジ中にラッチされた各ビットのダミーサイクルが続きます。次に、アドレスのメモリー内容は DATA1 にシフトアウトされ、最大周波数 100 MHz で各ビットが DCLK 信号の立ち下がりエッジでシフトアウトされます。

図 -12: 高速読み出し動作のタイミング図



最初のバイトアドレスは任意の位置に配置することができます。各データバイトをシフトアウトした後、デバイスはアドレスを自動的に次の上位アドレスに増加します。デバイスが最上位アドレスに達すると、アドレスカウンタは同じダイの先頭で再スタートし、シーケンスの読み出しを無限に続けます。完全なデバイスの読み出しは、読み出し動作の実行により終了します。

- EPCQ-L512 デバイスの場合 2 回
- EPCQ-L1024 デバイスの場合 4 回

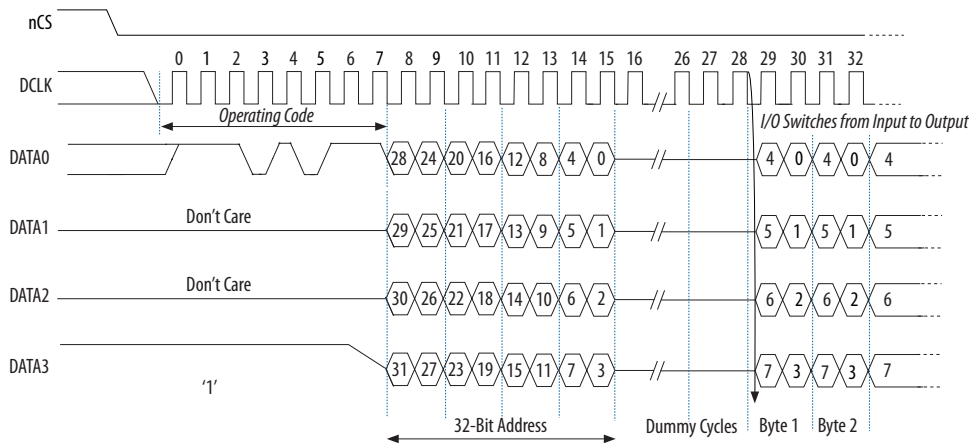
高速読み出し動作は、データ出力中はいつでも nCS 信号を High に駆動することで終了できます。消去、プログラム、または書き込みサイクルが進行中に高速読み出し動作がシフトインされる場合、動作は実行されず、進行中の消去、プログラム、または書き込みサイクルには影響しません。



### 1.9.6. 拡張クアド入力高速読み出し動作

この動作は、データとアドレスが DATA0、DATA1、DATA2、および DATA3 ピンにシフトインおよびシフトアウトされることを除き、高速読み出し動作と同様です。

図 -13: 拡張クアド入力高速読み出し動作



デバイスが最上位アドレスに達すると、アドレスカウンタは同じダイの先頭で再スタートし、シーケンスの読み出しを無限に続けます。

- EPCQ-L512 デバイスの場合 2 回
- EPCQ-L1024 デバイスの場合 4 回

### 1.9.7. デバイス識別子読み出し動作

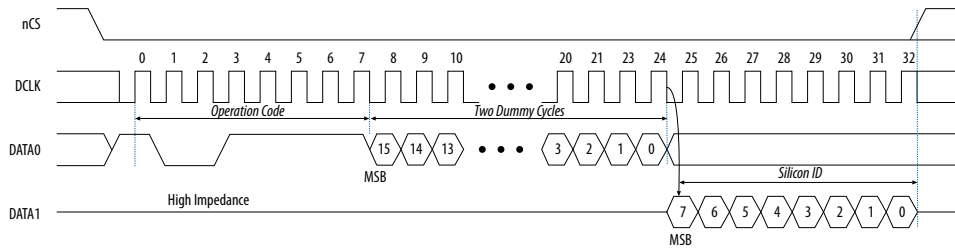
この動作は DATA1 出力ピンから EPCQ-L デバイスの 8 ビットのデバイス識別子を読み出します。消去または書き込みサイクルが進行中にこの動作がシフトインされる場合、動作は実行されず、進行中の消去または書き込みサイクルには影響しません。

表 25. EPCQ-L デバイス識別子

EPCQ-L デバイス	シリコン ID ( バイナリー値 )
EPCQ-L256	b'0001 1001
EPCQ-L512	b'0010 0000
EPCQ-L1024	b'0010 0001

EPCQ-L デバイスの 8 ビットのデバイス識別子は DCLK 信号の立ち下りエッジで DATA1 ピンにシフトアウトされます。LSB は最初に FPGA デバイスにシフトインされます。

図 -14: デバイス識別子読み出し動作のタイミング図



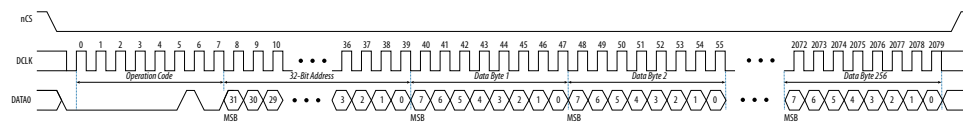
### 1.9.8. バイト書き込み動作

この動作はバイトをメモリーに書き込むことができます。バイト書き込み動作の前に、書き込みイネーブル動作を実行する必要があります。バイト書き込み動作の完了後、ステータスレジスターの書き込みイネーブルラッチ・ビットは 0 に設定されます。

バイト書き込み動作を実行すると、バイト書き込み動作コードをシフトインして、その後 4 バイト・アドレスリング・モード (A[31..0])、さらに少なくとも DATA0 ピンの 1 つのデータバイトが続きます。8 つの LSB (A[7..0]) がすべて 0 ではない場合は、現在のページのエンドを超えるすべての送信データは次のページに書き込まれません。代わりに、このデータは同じページの開始アドレスに書き込まれます。nCS 信号は全バイト書き込み動作中は Low に設定されている必要があります。

バイト書き込み動作の動作シーケンス図を下に示します。

図 -15: バイト書き込み動作のタイミング図



バイト書き込み動作で 256 を超えるデータバイトが EPCQ-L デバイスにシフトされる場合は、先にラッチされたデータは破棄され、末尾の 256 バイトがページに書き込まれます。しかしながら、256 以下のデータバイトが EPCQ-L デバイスにシフトされる場合は、これらが指定されたアドレスに書き込まれることが保証され、また、同じページの他のバイトは影響を受けません。

デバイスは nCS 信号が High に駆動されるとすぐにセルフタイマー式書き込みサイクルを開始します。セルフタイマー式書き込みサイクルの時間について詳しくは表 26 (29 ページ)  $t_{WB}$  を参照してください。メモリーへの他のページが書き込まれる前に、この遅延量を考慮する必要があります。または、セルフタイマー式書き込みサイクルが進行中にステータス読み出し動作を実行することで、ステータスレジスターの書き込み動作中ビットを確認することができます。書き込み動作中ビットは、セルフタイマー式書き込みサイクルの間は 1 に設定され、完了すると 0 に設定されます。

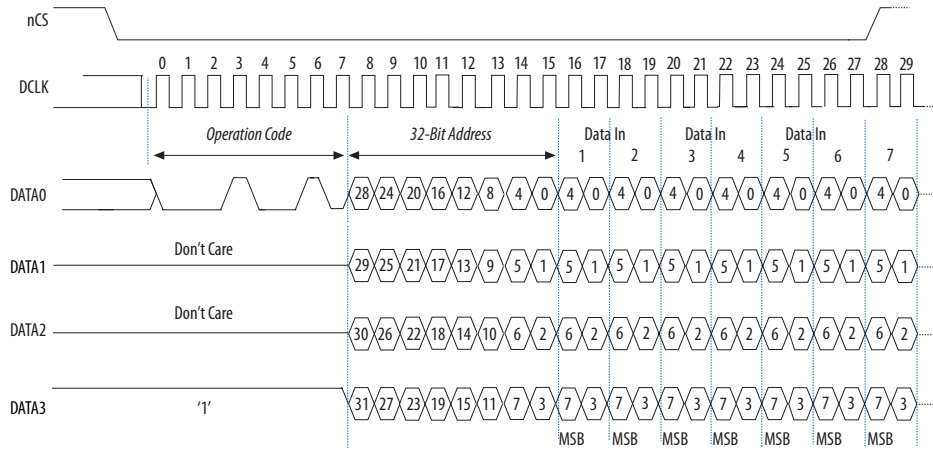
**注意:** バイト書き込み動作を開始する前に、EPCQ-L デバイスのメモリーバイトをすべて消去する必要があります。メモリー全体を通して、セクターでのセクター消去動作、一括消去、またはダイ消去動作を行うことで、すべてのメモリーバイトが消去できます。

### 1.9.9. 拡張クアド入力高速バイト書き込み動作

この動作は、データとアドレスが DATA0、DATA1、DATA2、および DATA3 ピンにシフトインされることを除き、バイト書き込み動作と同様です。

拡張クアド入力高速バイト書き込み動作の動作シーケンス図を下に示します。

図 -16: 拡張クアッド入力高速バイト書き込み動作シーケンス



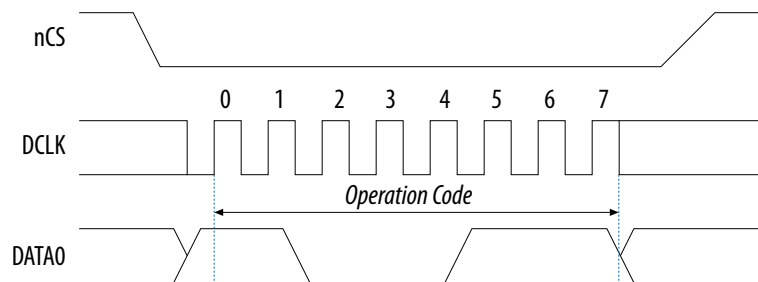
### 1.9.10. 一括消去動作

この動作はすべてのメモリービットを 1 または 0xFF に設定します。バイト書き込み動作と同様に、一括消去動作の前に書き込みイネーブル動作を実行する必要があります。

EPCQ-L256 デバイスの使用中にデバイスのメモリー全体の消去が必要な場合は、ダイ消去動作を行わず、代わりに消去一括動作を実行する必要があります。

nCS 信号を Low に駆動することで一括消去動作を実装し、次に DATA0 ピンに一括消去動作コードをシフトインします。nCS 信号は、一括消去動作コードの 8 番目のビットがラッチインされた後に、High に駆動される必要があります。

図 -17: 一括消去動作のタイミング図



デバイスは nCS 信号が High に駆動されるとすぐにセルフタイマー式一括消去サイクルを開始します。セルフタイマー式一括消去サイクルの時間について詳しくは、表 26 (29 ページ) t<sub>WB</sub> を参照してください。

メモリー内容へのアクセス前に、この遅延量を考慮する必要があります。セルフタイマー式書き込みサイクルが進行中にステータス読み出し動作を実行することで、ステータスレジスタの書き込み動作中ビットを確認することができます。書き込み動作中ビットは、セルフタイマー式書き込みサイクルの間は 1 に設定され、完了すると 0 に設定されます。ステータスレジスタの書き込みイネーブルラッチ・ビットは、消去サイクルの完了前に、0 にリセットされます。

### 1.9.11. ダイ消去動作

この動作は EPCQ-L512 または EPCQ-L1024 デバイスの特定のダイのすべてのメモリービットを 1 または 0xFF に設定します。バイト書き込み動作と同様に、ダイ消去動作の前に書き込みイネーブル動作を実行する必要があります。

EPCQ-L512 または EPCQ-L1024 デバイスを使用している場合は、デバイスのメモリーを消去するためにダイ消去動作を実行しなければなりません。デバイスの各ダイにおいてダイ消去動作を発行する必要があります。例えば、EPCQ-L512 デバイスでは 2 回、EPCQ-L1024 デバイスでは 4 回のダイ消去動作をそれぞれ発行する必要があります。EPCQ-L512 と EPCQ-L1024 デバイスはデバイスごとに 1 つ以上のダイがあります。

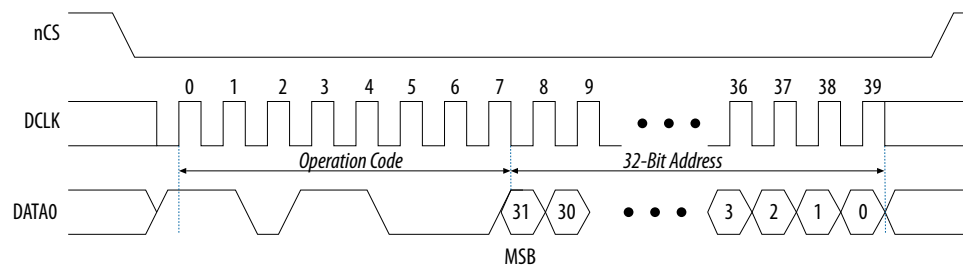
nCS 信号を Low に駆動することでダイ消去動作を開始してから DATA0 ピンにダイ消去動作コードをシフトインし、その後、アドレスバイト、有効な単一 256Mb ダイ内の任意アドレスが続きます。nCS 信号は、ダイ消去動作コードの 8 番目のビットがラッチインされた後に、High に駆動される必要があります。

### 1.9.12. セクター消去動作

セクター消去動作は、セクターの中のすべてのビットを 1 または 0xFF に設定することで、EPCQ-L デバイスの特定のセクターを消去可能にします。この動作は、アプリケーションで汎用メモリーとして未使用のセクターにアクセスする場合に役立ちます。書き込みイネーブル動作は、セクター消去動作の前に実行する必要があります。

セクター消去動作を実行すると、最初にセクター消去動作コードをシフトインし、次に DATA0 ピンで選択したセクターの 4 バイト・アドレッシング・モード (A[31..0]) が続きます。セクター消去動作での 4 バイト・アドレッシング・モードは特定のセクター内の任意アドレスにすることができます。セクターアドレス範囲について詳しくは、表 11 (9 ページ) から表 13 (10 ページ) を参照してください。nCS 信号は、セクター消去動作コードの 8 番目のビットがラッチインされた後に、High に駆動されます。

図 -18: セクター消去動作のタイミング図



デバイスは nCS 信号が High に駆動されるとすぐにセルフタイマー式セクター消去サイクルを開始します。セルフタイマー式セクター消去サイクルについて詳しくは、表 26 (29 ページ)  $t_{ES}$  を参照してください。メモリーの他のページに書き込まれる前に、この遅延量を考慮する必要があります。または、セルフタイマー式消去サイクルの進行中にステータス読み出し動作を実行することで、ステータスレジスタの書き込み動作中ビットを確認できます。書き込み動作中ビットは、セルフタイマー式消去サイクルの間は 1 に設定され、完了すると 0 に設定されます。セルフタイマー式消去サイクルが完了する前に、ステータスレジスタの書き込みイネーブルラッチ・ビットは 0 にリセットされます。

## 1.10. パワーモード

EPCQ-L デバイスは、アクティブ電力モードおよびスタンバイ電力モードをサポートしています。nCS 信号が Low の場合のデバイスは、イネーブルかつアクティブ電力モードです。FPGA は、EPCQ-L デバイスがアクティブ電力モード時にコンフィグレーションされます。nCS 信号が High の場合のデバイスはディスエーブルされますが、内部サイクルが完了するまでアクティブ電力モードの状態が保持されます。その後、EPCQ-L デバイスはスタンバイ電力モードに入ります。I<sub>CC1</sub> および I<sub>CC0</sub> パラメーターは、デバイスがアクティブまたはスタンバイ電力モードの際の V<sub>CC</sub> 供給電流をリストします。表 5 (5 ページ)を参照してください。

## 1.11. タイミング情報

### 1.11.1. 書き込み動作のタイミング

図 -19: 書き込み動作のタイミング図

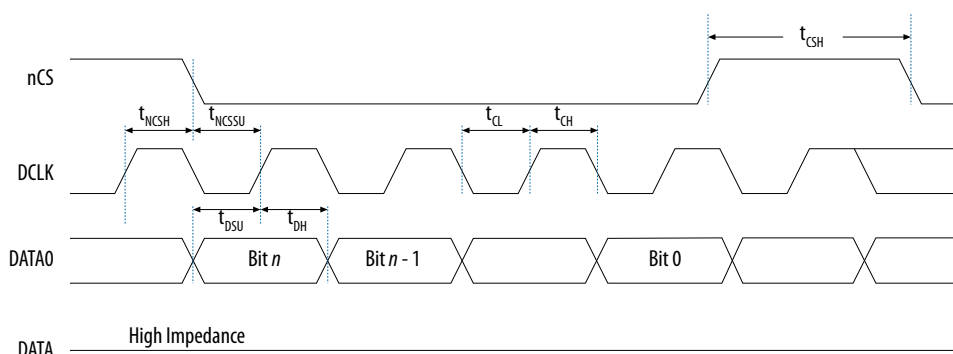


表 26. 書き込み動作のタイミング・パラメーター

シンボル	パラメーター	Min	標準	Max	単位
f <sub>WCLK</sub>	書き込みイネーブル、書き込みディスエーブル、ステータス読み出し、デバイス識別子読み出し、バイト書き込み、一括消去、タイ消去およびセクター消去動作の書き込みクロック周波数 (FPGA、ダウンロード・ケーブル、またはエンベデッド・プロセッサより)	—	—	100	MHz
t <sub>CH</sub>	DCLK High 時間	4	—	—	ns
t <sub>CL</sub>	DCLK Low 時間	4	—	—	ns
t <sub>NCSSU</sub>	チップセレクト (nCS) セットアップ時間	4	—	—	ns
t <sub>NCSH</sub>	チップセレクト (nCS) ホールド時間	4	—	—	ns
t <sub>DSU</sub>	DCLK での立ち上がりエッジ前の DATA[ ] セットアップ時間	2	—	—	ns
t <sub>DH</sub>	DCLK での立ち上がりエッジ後の DATA[ ] ホールド時間	3	—	—	ns
t <sub>CSH</sub>	チップセレクト (nCS) High 時間	50	—	—	ns
t <sub>WB</sub>	バイト書き込みサイクル時間	—	0.6	5	ms
t <sub>WS</sub>	ステータス書き込みサイクル時間	—	1.3	8	ms
t <sub>EB</sub>	EPCQ-L256 デバイスでの一括消去サイクル時間	—	240	480	s

continued...

シンボル	パラメーター	Min	標準	Max	単位
$t_{ES}$	EPCQ-L512 でのダイ消去サイクル時間				
	EPCQ-L1024 でのダイ消去サイクル時間				
	EPCQ-L256 デバイスでのセクター消去サイクル時間	—	0.7	3	s
$t_{ESS}$	EPCQ-L512 デバイスでのセクター消去サイクル時間				
	EPCQ-L1024 デバイスでのセクター消去サイクル時間				
	EPCQ-L256 デバイスでのサブセクター消去サイクル時間	—	0.25	0.8	s
$t_{ESS}$	EPCQ-L512 デバイスでのサブセクター消去サイクル時間				
	EPCQ-L1024 デバイスでのサブセクター消去サイクル時間				
	EPCQ-L256 デバイスでのサブセクター消去サイクル時間				

### 1.11.2. 読み出し動作のタイミング

図 -20: 読み出し動作のタイミング図

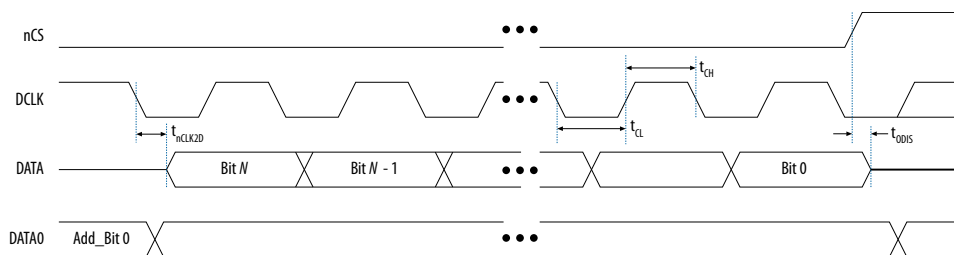
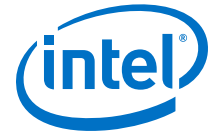


表 27. 読み出し動作のタイミング・パラメーター

シンボル	パラメーター	Min	Max	単位
$f_{RCLK}$	バイト読み出し動作での読み出しクロック周波数 (FPGA またはエンベデッド・プロセッサより)	—	50	MHz
	高速バイト読み出し動作での高速読み出しクロック周波数 (FPGA またはエンベデッド・プロセッサより)	—	100	MHz
$t_{CH}$	DCLK High 時間	4	—	ns
$t_{CL}$	DCLK Low 時間	4	—	ns
$t_{ODIS}$	読み出し後の出力ディスエーブル時間	—	8	ns
$t_{nCLK2D}$	DATA へのクロック立ち下りエッジ	—	7	ns

### 1.12. プログラミングおよびコンフィグレーション・ファイルのサポート

Quartus Prime ソフトウェアは EPCQ-L バイスのプログラミングをサポートしています。EPCQ-L デバイスを選択すると、Quartus Prime ソフトウェアはデバイスプログラムするために自動的に Programmer Object File (.pof) を生成します。Quartus Prime ソフトウェアでは、選択した FPGA のコンフィグレーション・データを最も効率よく格納する適切な EPCQ-L デバイス集積度を選択することができます。



SRunner ソフトウェア・ドライバーを使用した外部マイクロプロセッサにより、EPCQ-L デバイスをインシステムでプログラミングすることができます。SRunner ソフトウェア・ドライバーは、エンベデッド EPCQ-L デバイスをカスタマイズし異なるエンベデッド・システムに適合させるプログラミング向けに開発されました。SRunner ソフトウェア・ドライバーは、.rpd ファイルを読み出して EPCQ-L デバイスに書き込みます。プログラミング時間は、Quartus Prime ソフトウェアのプログラミング時間に相当します。FPGA はコンフィグレーション・プロセス中に、.rpd データの LSB を最初に読み出すため、.rpd バイトの LSB はバイト読み出し動作中に最初にシフトアウトされ、かつバイト書き込み動作中に最初にシフトインされる必要があります。

EPCQ-L デバイスとの.rpd ファイルの書き込みおよび読み出しは、他のデータおよびアドレスバイトとは異なります。

EPCQ-L デバイスの ISP 中、ケーブルは FPGA をリセットするために nCONFIG 信号を Low に引き下げ、FPGA の nCE ピンの 10-kΩ プルダウン抵抗を無視します。次に、ダウンロード・ケーブルは EPCQ-L デバイスをプログラミング用に選択した AS モードに起因するインターフェイス・ピンを使用します。プログラミングが完了すると、ダウンロード・ケーブルはコンフィグレーション・プロセスを開始するために EPCQ-L デバイスのインターフェイス・ピンおよび FPGA の nCE ピンを解放し、nCONFIG 信号をパルスします。

FPGA の JTAG インターフェイスをシリアル・フラッシュ・ローダー (SFL) とともに使用し、インシステムで EPCQ-L デバイスをプログラミングすることができます。このソリューションは、FPGA のコンフィグレーションに使用されるものと同じ JTAG インターフェイスを使用して EPCQ-L デバイスを間接的にプログラミングします。

#### 関連情報

- [Using the Serial FlashLoader with the Quartus II Software](#)
- [Altera LVDS SERDES IP Core User Guide](#)
- [Intel FPGA USB Download Cable II User Guide](#)
- [Intel FPGA USB Download Cable User Guide](#)
- [Intel FPGA Ethernet Download Cable II User Guide](#)
- [Intel FPGA Ethernet Download Cable User Guide](#)
- [Arria 10 デバイスのコンフィグレーション、デザイン・セキュリティ、およびリモート・システム・アップグレード](#)

### 1.13. 改訂履歴

日付	バージョン	変更内容
2017 年 5 月	2017.05.22	<ul style="list-style-type: none"> <li>• フラグ・ステータスレジスター読み出し、デュアル I/O 高速読み出し、および拡張デュアル入力高速バイト書き込み動作を追加。</li> <li>• ステータス書き込み動作の表記をステータスレジスター書き込み動作に更新。</li> <li>• フラグ・ステータスレジスター・ビットの内容の表を追加。</li> <li>• ステータスレジスター読み出し動作を更新。</li> <li>• ステータスレジスター読み出しを更新。</li> </ul>
2016 年 12 月	2016.12.16	<ul style="list-style-type: none"> <li>• 一括消去およびダイ消去でのアドレスバイトを 4 に更新。</li> <li>• EPCQ-L デバイスでの動作コードの表にサブセクター消去を追加。</li> <li>• t<sub>ESS</sub> の Max を 0.8 に更新。</li> </ul>
<i>continued...</i>		



日付	バージョン	変更内容
2016 年 10 月	2016.10.31	<ul style="list-style-type: none"><li>Stratix 10 でのサポートを追加。</li><li>表記を Quartus II から Quartus Prime へ変更。</li><li>表記を USB-Blaster から FPGA USB ダウンロードケーブルへ変更。</li><li>表記を EthernetBlaster から FPGA イーサネット・ケーブルへ変更。</li></ul>
2016 年 5 月	2016.05.30	NC を DNU に置き換えることで EPCQ-L デバイスの信号の表を更新。
2016 年 3 月	2016.03.31	EPCQ-L256、EPCQ-L512 および EPCQ-L1024 のアドレス範囲から「暫定版」の表記を削除。
2015 年 12 月	2015.12.14	リンクを EPCQ-L パッケージ情報のウェブサイトを追加。
2015 年 1 月	2015.01.23	<ul style="list-style-type: none"><li>パッケージ名を FBGA24 に変更。</li><li>EPCQ-L256 デバイスの一括消去動作の内容を変更。</li><li>「特長」にスタックダイデバイスを追加。</li><li>「サポートされるデバイス」にダイ数の行を追加。</li><li>スタックダイ・プロパティを反映させるために、バイト読み出しおよび高速読み出し動作の説明を更新。</li><li>不揮発性コンフィグレーション・レジスター読み出しを追加。</li><li>不揮発性コンフィグレーション・レジスターでの AS x1 ダミークロックサイクルを更新。</li><li>不揮発性コンフィグレーション・レジスター書き込みの 16 ビット・レジスター値を更新。</li></ul>
2014 年 6 月	2014.06.17	初版