

# エンハンスド・コンフィギュレーション (EPC) デバイス・データシート

2016.05.04

CF52002

 更新情報  フィードバック

## サポートされるデバイス

表 1: アルテラ EPCS デバイス

デバイス	メモリ・サイズ (ビット)	オンチップ復元のサポート	ISP サポート	カスケード接続サポート	再プログラム可能	動作電圧(V)
EPC4	4,194,304	有	有	無	有	3.3
EPC8	8,388,608	有	有	無	有	3.3
EPC16	16,777,216	有	有	無	有	3.3

## 特長

EPC デバイスは、次の機能を備えています。

- Altera® ACEX® 1K、APEX® 20K (APEX 20K、APEX 20KC および APEX 20KE を含む)、APEX II、Arria® GX、Cyclone®、Cyclone II、FLEX® 10K (FLEX 10KE および FLEX 10KA を含む)、Mercury®、Stratix® II および Stratix II Gx デバイス向けのシングル・チップ・コンフィギュレーション・ソリューション
- コンフィギュレーション・データのストレージ用に 4、8 および 16 メガビットのフラッシュ・メモリを内蔵
- オンチップ復元機能により、有効コンフィギュレーション集積度がほぼ倍増
- 標準フラッシュ・ダイおよびコントローラ・ダイをシングル・スタック・チップ・パッケージに集積
- 外部フラッシュ・インタフェースにより、フラッシュの平行・プログラミングと外部プロセッサによる未使用メモリ領域へのアクセスをサポート
- 外部フラッシュ・インタフェースを介したフラッシュ・メモリー・ブロックまたはセクタ保護機能
- EPC4 と EPC16 デバイスでのサポート
- システム全体で最大 8 つまでのコンフィギュレーションで、リモートおよびローカル・リコンフィギュレーションへのページモードのサポート

Intel Corporation. All rights reserved. Intel, the Intel logo, Altera, Arria, Cyclone, Enpirion, MAX, Nios, Quartus and Stratix words and logos are trademarks of Intel Corporation or its subsidiaries in the U.S. and/or other countries. Intel warrants performance of its FPGA and semiconductor products to current specifications in accordance with Intel's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Intel assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Intel. Intel customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

\*Other names and brands may be claimed as the property of others.

ISO  
9001:2008  
登録済

**ALTERA**  
now part of Intel

- Stratix シリーズのリモート・システム・コンフィギュレーション機能と互換
- DCLK サイクルあたり 8 ビットのデータ出力のバイト幅コンフィギュレーション・モードのファースト・パッシブ・パラレル (FPP) をサポート
- アルテラ FPGA の真の n ビット並行コンフィギュレーション (n = 1、2、4 および 8) をサポート
- パワー・オン・リセット (POR) 時間に 2ms または 100ms をピンで選択可能
- プログラマブル入力ソースおよび周波数合成をサポートするコンフィギュレーション・クロック
- 複数のコンフィギュレーション・クロック・ソース (内蔵オシレータおよび外部クロック入力ピン) をサポート
- 最大周波数 100MHz の外部クロック・ソース
- デフォルトが 10MHz の内蔵オシレータは 33、50 および 66MHz のより高い周波数にプログラム可能
- ユーザ・プログラマブルな分周カウンタによりサポートされるクロック合成
- 100 ピン・プラスチック・クワッド・フラット・パック (PQFP) および 88 ピン Ultra FineLine BGA (UFBGA) パッケージで供給
- 100 ピンの PQFP パッケージでサポートされるすべてのデバイス間でのバーティカル・マイグレーション
- 3.3V の電源電圧 (コアおよび I/O)
- IEEE 1532 ISP (in-system programmability) 標準規格の仕様に準拠したハードウェア
- STAPL (Jam™ Standard Test and Programming Language) による ISP をサポート
- JTAG バウンダリ・スキャンをサポート
- nINIT\_CONF ピンにより、プライベート JTAG 命令で FPGA コンフィギュレーションを開始可能
- 常時イネーブル状態の nINIT\_CONF ピンの内部プルアップ抵抗
- nCS および OE ピン上のユーザ・プログラマブルな内部ウィーク・プルアップ抵抗
- 外部フラッシュ・インタフェースのアドレス・ラインおよびコントロール・ライン上の内部ウィーク・プルアップ抵抗、データ・ライン上のバス・ホールド
- 消費電力を低減するスタンバイ・モード

**注意:** FPGA コンフィギュレーション手法と最新の機能については、該当するデバイス・ハンドブックのコンフィギュレーションの章を参照してください。

## 機能の説明

アルテラ EPC デバイスは、高集積度 FPGA 向けの高速かつ高度なコンフィギュレーション・ソリューションを提供するシングル・デバイスです。EPC デバイスのコアには、コンフィギュレーション・コントローラとフラッシュ・メモリーの 2 つの主要ブロックに分割されます。フラッシュ・メモリーは、1 つまたは複数のアルテラ FPGA で構成されるシステム用のコンフィギュレーション・データを格納する目的で使用されます。フラッシュ・メモリーの未使用領域については、プロセッサ・コードやデータなどを格納するのに使用でき、それらは FPGA コンフィギュレーションの完了後に外部フラッシュ・インタフェースを介してアクセスできます。

表 2: ACEX 1K、APEX 1K、APEX 20K、APEX 20KC、APEX 20KE、APEX II、Arria GX、Cyclone、Cyclone II、FLEX 10K、FLEX 10KA、FLEX 10KE、Stratix、Stratix GX、Stratix II、Stratix II GX または Mercury デバイスのコンフィギュレーションで必要なサポートできる EPC デバイス

デバイス・ファミリ	デバイス	データ・サイズ (ビット) <sup>(1)</sup>	EPC デバイス <sup>(2)</sup>		
			EPC4	EPC8	EPC16
Arria GX	EP1AGX20C	9,640,672	—	—	1
	EP1AGX35C				
	EP1AGX35D	9,640,672	—	—	1
	EP1AGX50C				
	EP1AGX50D	16,951,824	—	—	1
	EP1AGX60C				
	EP1AGX60D				
	EP1AGX60E	16,951,824	—	—	1
EP1AGX90E	25,699,104	—	—	1	
Stratix	EP1S10	3,534,640	1	1	1
	EP1S20	5,904,832	1	1	1
	EP1S25	7,894,144	—	1	1
	EP1S30	10,379,368	—	1	1
	EP1S40	12,389,632	—	1	1
	EP1S60	17,543,968	—	—	1
	EP1S80	23,834,032	—	—	1
Stratix GX	EP1SGX10	3,534,640	1	1	1
	EP1SGX25	7,894,144	—	1	1
	EP1SGX40	12,389,632	—	1	1
Stratix II	EP2S15	4,721,544	1	1	1
	EP2S30	9,640,672	—	1	1
	EP2S60	16,951,824	—	—	1
	EP2S90	25,699,104	—	—	—
	EP2S130	37,325,760	—	—	—
	EP2S180	49,814,760	—	—	—

<sup>(1)</sup> Raw バイナリ・ファイル (.rbf) のサイズは各デバイスのデータ・サイズを決定します。

<sup>(2)</sup> これらの値は、EPC デバイスで圧縮機能が有効の状態では算出されます。

デバイス・ファミリ	デバイス	データ・サイズ (ビット) <sup>(1)</sup>	EPC デバイス <sup>(2)</sup>		
			EPC4	EPC8	EPC16
Stratix II GX	EP2SGX30C	9,640,672	—	—	1
	EP2SGX30D	9,640,672	—	—	1
	EP2SGX60C	16,951,824	—	—	1
	EP2SGX60D	16,951,824	—	—	1
	EP2SGX60E	16,951,824	—	—	1
	EP2SGX90E	25,699,104	—	—	—
	EP2SGX90F	25,699,104	—	—	—
	EP2SGX130G	37,325,760	—	—	—
Cyclone	EP1C3	627,376	1	1	1
	EP1C4	924,512	1	1	1
	EP1C6	1,167,216	1	1	1
	EP1C12	2,326,528	1	1	1
	EP1C20	3,559,608	1	1	1
Cyclone II	EP2C5	1,223,980	1	1	1
	EP2C8	1,983,792	1	1	1
	EP2C20	3,930,986	1	1	1
	EP2C35	7,071,234	—	1	1
	EP2C50	9,122,148	—	1	1
	EP2C70	10,249,694	—	1	1
ACEX 1K	EP1K10	159,160	1	1	1
	EP1K30	473,720	1	1	1
	EP1K50	784,184	1	1	1
	EP1K100	1,335,720	1	1	1
APEX 20K	EP20K100	993,360	1	1	1
	EP20K200	1,950,800	1	1	1
	EP20K400	3,880,720	1	1	1

<sup>(1)</sup> Raw バイナリ・ファイル (.rbf) のサイズは各デバイスのデータ・サイズを決定します。

<sup>(2)</sup> これらの値は、EPC デバイスで圧縮機能が有効の状態です。

デバイス・ファミリ	デバイス	データ・サイズ (ビット) <sup>(1)</sup>	EPC デバイス <sup>(2)</sup>		
			EPC4	EPC8	EPC16
APEX 20KC	EP20K200C	1,968,016	1	1	1
	EP20K400C	3,909,776	1	1	1
	EP20K600C	5,673,936	1	1	1
	EP20K1000C	8,960,016	—	1	1
APEX 20KE	EP20K30E	354,832	1	1	1
	EP20K60E	648,016	1	1	1
	EP20K100E	1,008,016	1	1	1
	EP20K160E	1,524,016	1	1	1
	EP20K200E	1,968,016	1	1	1
	EP20K300E	2,741,616	1	1	1
	EP20K400E	3,909,776	1	1	1
	EP20K600E	5,673,936	1	1	1
	EP20K1000E	8,960,016	—	1	1
	EP20K1500E	12,042,256	—	1	1
APEX II	EP2A15	4,358,512	1	1	1
	EP2A25	6,275,200	1	1	1
	EP2A40	9,640,528	—	1	1
	EP2A70	17,417,088	—	—	1

表 3: EPC デバイスでサポートされるフラッシュ・メモリー

デバイス・ファミリ	グレード	パッケージ	フラッシュ・メモリー	
			有鉛	無鉛
EPC4	コマーシャル	PQFP 100	Intel または Micron	Intel または Micron
	工業用	PQFP 100	Intel または Micron	Intel
EPC8	コマーシャル/工業用	PQFP 100	Intel または Sharp	Intel

(1) Raw バイナリ・ファイル (.rbf) のサイズは各デバイスのデータ・サイズを決定します。

(2) これらの値は、EPC デバイスで圧縮機能が有効の状態です。

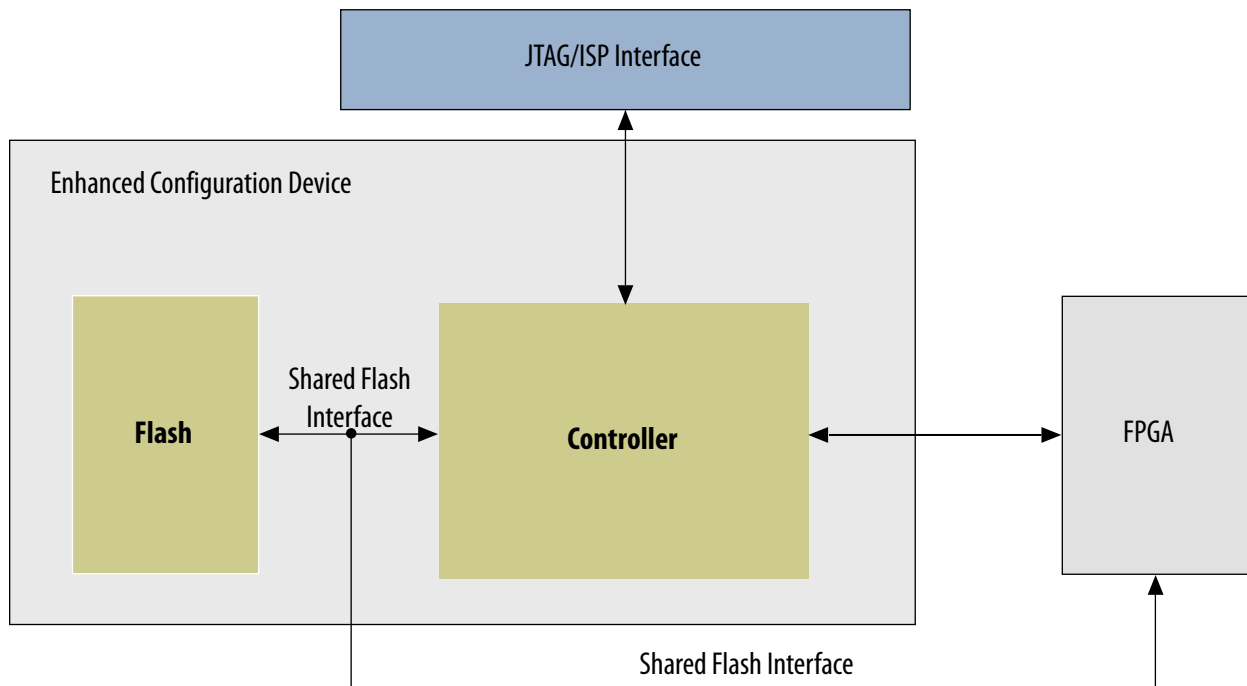
デバイス・ファミリ	グレード	パッケージ	フラッシュ・メモリ	
			有鉛	無鉛
EPC16	コマーシャル	UBGA 884	Intel または Sharp	Intel または Sharp
	工業用	UBGA 884	Intel または Sharp	Intel
	軍用	UBGA 884	Intel	Intel
	コマーシャル/工業用	PQFP 100	Intel または Sharp	Intel

**注意:** 外部フラッシュ・インタフェース機能は EPC4 および EPC16 デバイスでサポートされません。EPC8 デバイスでこの機能を使用する場合、詳細な使用方法については、アルテラまでお問い合わせください。

EPC デバイスでは、3.3V のコアと I/O インタフェースがあります。コントロール・チップは様々なインタフェースおよび機能を実装する同期システムです。コントロール・チップには、以下のように 3 つの個別のインタフェースを備えています。

- コントローラとアルテラ FPGA 間でのコンフィギュレーション・インタフェース
- フラッシュ・メモリの ISP を有効にするコントローラでの JTAG インタフェース
- ISP およびコンフィギュレーション後に利用可能な外部フラッシュ・インタフェース。このインタフェースは、コントローラが外部プロセッサまたは Nios エンベデッド・プロセッサを実装する FPGA と共用する。

図 1: EPC デバイスのブロック図



EPC デバイスは複数のコンフィギュレーション手法を備えています。シングル・デバイスまたはシリアル・デバイス・チェーン向けの従来のパッシブ・シリアル (PS)・コンフィギュレーション手法のサポートに加えて、EPC デバイスは同時コンフィギュレーションおよび並列 (FPP) コンフィギュレーション手法を備えています。同時コンフィギュレーション手法を使用すれば、最大 8 個の PS デバイス・チェーンが同時にコンフィギュレーション可能です。FPP コンフィギュレーション手法では、1 サイクルで 8 ビットのデータが FPGA にクロックされます。これらのコンフィギュレーション手法は、従来の手法と比較して大幅に短縮したコンフィギュレーション時間を可能にします。

また、EPC デバイスは、ダイナミック・コンフィギュレーションまたはページモード機能を備えています。この機能により、コンフィギュレーション・メモリーに格納される新しいイメージでシステム内のすべての FPGA をダイナミック・リコンフィギュレーションすることができます。PGM[2..0]ピンを使用して、最大 8 つの異なるシステム・コンフィギュレーションまたはページをメモリーに保存して選択することができます。この 8 つのページから 1 つを選択してリコンフィギュレーション・サイクルを開始することによって、システムがダイナミック・リコンフィギュレーションできます。

このページモード機能を外部フラッシュ・インタフェースと組み合わせて使用すれば、システム・コンフィギュレーション・データのリモートおよびローカル・アップデートが可能となります。EPC デバイスは Stratix デバイスのリモート・システム・コンフィギュレーション機能との互換性があります。

他にユーザー・プログラム可能な機能は次のとおりです。

- コンフィギュレーション・データのリアルタイム復元
- プログラマブル・コンフィギュレーション・クロック (DCLK)
- フラッシュ ISP
- プログラマブル POR 遅延 (PORSEL)

#### 関連情報

- [PCN0506: EPC4、EPC8、および EPC16 エンハンスド・コンフィギュレーション・デバイスのソースとして Intel フラッシュ・メモリーの追加](#)  
EPC デバイスの詳細情報について、PCN0506: Intel フラッシュ・メモリーの追加を参照してください。
- [Stratix デバイス・ハンドブック](#)

## FPGA コンフィギュレーション

FPGA コンフィギュレーションはコンフィギュレーション・コントロール・チップによって管理されます。このプロセスには、フラッシュ・メモリーからのコンフィギュレーション・データの読み出し、コンフィギュレーション・データの復元、適切な DATA[ ]ピンでのコンフィギュレーション・データの送信およびエラー状態の処理が含まれます。

POR 後、コントローラはフラッシュ・メモリーからオプション・ビットを読み出し、ユーザー定義のコンフィギュレーション・オプションを決定します。このオプションには、コンフィギュレーション手法、コンフィギュレーション・クロック速度、復元およびコンフィギュレーション・ページの設定が含まれます。オプション・ビットは 0x8000 (ワード・アドレス) のフラッシュ・アドレス位置に格納され、メモリーの 512 ビットまたは 32 ワードを占めています。この

オプション・ビットは、内部フラッシュ・インタフェースおよびデフォルトの 10MHz 内蔵オシレータを使用して読み出されます。

コンフィギュレーション設定を取得した後、コンフィギュレーション・コントロール・チップは nSTATUS および CONF\_DONE 信号をモニタし、FPGA がコンフィギュレーション・データを受け入れる準備ができていないかをチェックします。FPGA 側の準備ができた場合 (nSTATUS が high と CONF\_DONE が low)、コントローラは DCLK および DATA[ ] の出力ピンでデータの送信を開始します。POR またはリセット後に PGM[2..0] ピンをサンプリングすることによって、コントローラは FPGA に送信するコンフィギュレーション・ページを選択します。

コンフィギュレーション・ユニットの機能は、コンフィギュレーション手法に応じて、復元したデータを FPGA に送信するということにあります。EPC デバイスは、n=1、2、4 または 8 (n とは、DATA[n] 信号での DCLK サイクルごと送信されるビット数) の 4 つの同時コンフィギュレーション・モードをサポートします。n の値が 1 の場合、従来の PS コンフィギュレーション手法に対応します。n の値が 2、4 および 8 の場合、2 つ、4 つまたは 8 つの異なる PS コンフィギュレーション・チェーンの同時コンフィギュレーションにそれぞれ対応します。さらに、FPGA は、DCLK サイクルごと 8 ビットの DATA が FPGA にクロックされる FPP モードでコンフィギュレーションできます。コンフィギュレーション・バス幅 (n) に応じて、回路が有効な DATA[n] ピンに非圧縮のコンフィギュレーション・データをシフトします。未使用の DATA[ ] ピンが low に駆動されます。

FPGA にコンフィギュレーション・データを送信する以外にも、コンフィギュレーション回路は、送信データが不足している場合にコンフィギュレーションを一時停止させる役割も担っています。この状況は、フラッシュ読み出し帯域幅がコンフィギュレーション書き込み帯域幅より低い場合に起こります。フラッシュからのデータの読み出しまたはデータの復元を待機する際、FPGA への DCLK を停止することによって、コンフィギュレーションが一時停止されます。この手法は、「Pausing DCLK」と呼ばれています。

EPC デバイスのフラッシュ・メモリは 90ns のアクセス・タイム (約 10MHz) を備えています。従って、フラッシュの読み出し帯域幅は毎秒約 160 メガビット (Mbps) (10MHz で 16 ビットのフラッシュ・データ・バス、DQ[ ]) に制約されます。その一方、アルテラ FPGA がサポートするコンフィギュレーションの速度ははるかに速く、高いコンフィギュレーション書き込み帯域幅に変換します。例えば、100MHz の Stratix FPP コンフィギュレーションでは、800Mbps (100MHz で 8 ビットの DATA[ ] バス) のデータ送信レートを必要とします。この値はフラッシュ・メモリーがサポートできる 160Mbps よりはるかに高く、コンフィギュレーション時間の制限要因となります。データを圧縮することで、同じ量のコンフィギュレーション・データがフラッシュ・メモリ内で占めるスペースが少なくなるため、有効なフラッシュ読み出し帯域幅が増えます。Stratix コンフィギュレーション・データの圧縮率は約 2 であるため、有効な読み出し帯域幅がおよそ 320Mbps に倍増します。

最後に、コンフィギュレーション・コントローラもコンフィギュレーション時のエラーを管理します。FPGA が、最後のコンフィギュレーション・データ・ビットを送信した後で 64DCLK サイクル以内に CONF\_DONE 信号をディアサートしない場合、CONF\_DONE エラーが発生します。

CONF\_DONE エラーが検出された場合、コントローラが OE ラインを low にパルスすることによって、nSTATUS 信号を low に引き下げ、別のコンフィギュレーション・サイクルをトリガします。

FPGA がコンフィギュレーション・データの破損を検出すると、巡回冗長検査 (CRC) エラーが発生します。この破損は、コンフィギュレーション信号のシグナル・インテグリティの問題な



ど、ボード上のノイズ・カップリングに起因し得ます。FPGA がこのエラーを通知すると (nSTATUS 信号を low に駆動する)、コントローラはコンフィギュレーションを停止します。FPGA で Auto-Restart Configuration After Error オプションが有効にされた場合、FPGA はリセット・タイムアウト後に nSTATUS 信号をリリースし、コントローラが FPGA のリコンフィギュレーションを試みます。

FPGA のコンフィギュレーション・プロセスが完了した後、コントローラは DCLK ピンを low に、DATA[ ]ピンを high にそれぞれ駆動します。その上、コントローラがフラッシュ・メモリーへの内部インタフェースをトライ・ステートにし、フラッシュ・アドレスおよびコントロール・ライン上の内部ウィーク・プルアップを有効にし、フラッシュ・データ・ライン上のバス・キーパー回路を有効にします。

以下の項では、FPP、PS および同時コンフィギュレーション手法を含む、EPC デバイスでサポートされる異なるコンフィギュレーション手法について説明します。

## コンフィギュレーション信号

表 4: EPC デバイスとアルテラ FPGA 間のコンフィギュレーション信号の接続

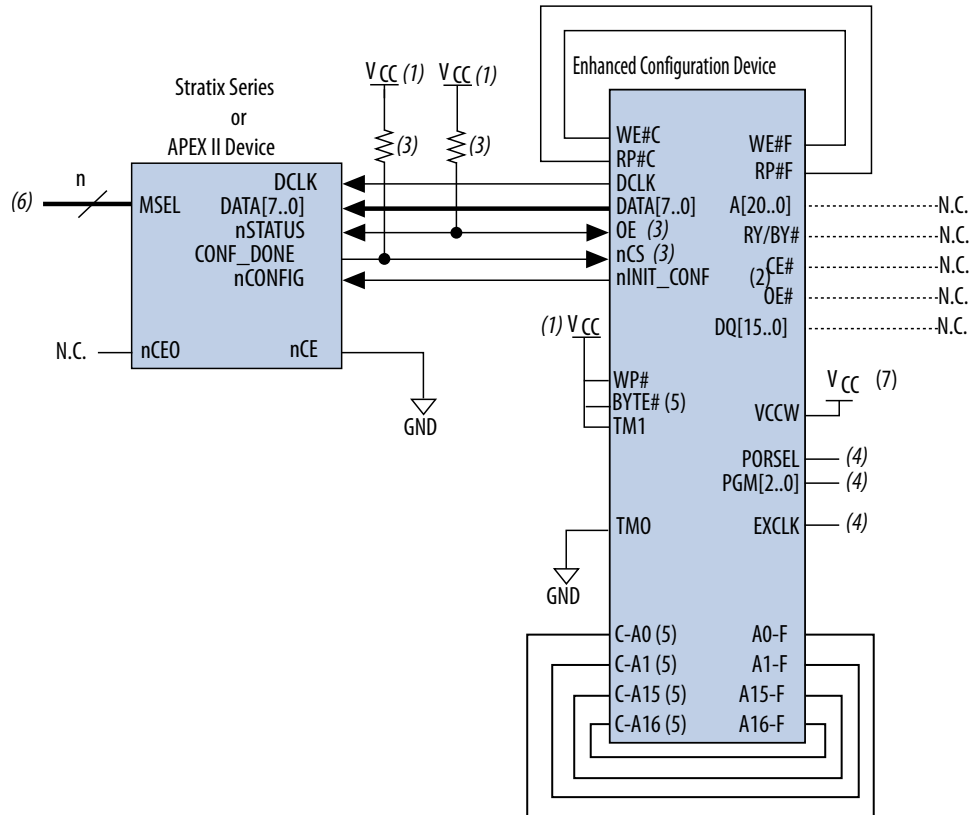
EPC デバイス・ピン	アルテラ FPGA ピン	説明
DATA[ ]	DATA[ ]	コンフィギュレーション・データが DCLK の立ち上がりエッジでラッチされ、EPC デバイスから FPGA に送信される。
DCLK	DCLK	EPC デバイスで生成したクロックで、FPGA が DATA[ ]ピン上に提供されるコンフィギュレーション・データをラッチする。
nINIT_CONF	nCONFIG	JTAG のコンフィギュレーション開始命令 (INIT_CONF) で FPGA リコンフィギュレーションを開始するのに使用される EPC デバイスからのオープン・ドレイン出力。JTAG 命令の INIT_CONF が必要とされない場合、この接続は不要。nINIT_CONF ピンは nCONFIG ピンに接続されない場合、nCONFIG を直接またはプルアップ抵抗を通じて VCC に接続する必要がある。
OE	nSTATUS	オープン・ドレインの双方向コンフィギュレーション・ステータス信号であり、POR 際に EPC デバイスまたは FPGA いずれかによって low に駆動され、コンフィギュレーション際でのエラーを通知する。OE 上での低いパルスは EPC デバイスのコントローラをリセットする。
nCS	CONF_DONE	コンフィギュレーション完了の出力信号は FPGA によって駆動される。

## ファースト・パッシブ・パラレル・コンフィギュレーション

Stratix シリーズおよび APEX II デバイスは、EPC デバイスの FPP コンフィギュレーション・モードでコンフィギュレーションできます。このモードでは、EPC デバイスは FPGA の DATA[7..0] 入力ピンに接続される DATA[7..0] ピン上で、DCLK サイクルごとに 1 バイトのデータを送信します。Stratix シリーズおよび APEX II の FPGA は DCLK サイクルごとにバイト幅のコンフィギュレ

ーション・データを受信します。以下の図は、FPP コンフィギュレーション・モードの EPC デバイスを示します。この図では、外部フラッシュ・インタフェースが使用されないため、ほとんどのフラッシュ・ピンが未接続のままにしています（少数の例外を除く）。

図 2: FPP コンフィギュレーション接続ガイドライン



注意:

(1) VCCはEPCデバイスと同様の電源電圧に接続されるべきです。

(2) nINIT\_CONF ピンはEPCデバイス上では利用可能であり、常にアクティブ化されている内部プルアップ抵抗を備えています。すなわち、nINIT\_CONFまたはnCONFIG信号上では、外部のプルアップ抵抗が必要としないことになります。nINIT\_CONFピンは機能が使用されない場合、接続される必要はありません。nINIT\_CONFが使用されない場合、nCONFIGは直接または抵抗を介してVCCにプルアップする必要があります。

(3) EPCデバイスのOEおよびnCSピンには内部プログラマブル・プルアップ抵抗を備えています。これらのピンには、内部プルアップ抵抗が使用される場合、外部プルアップ抵抗を使用しないべきです。Quartus IIソフトウェアでは、内部プルアップ抵抗がデフォルトで使用されています。内部プルアップ抵抗をオフにするには、プログラミング・ファイルの生成時にコンフィギュレーション・デバイス・オプションでの Disable nCS and OE pull-ups) をチェックを入れる必要があります。

(4) PORSEL、PGM[ ]およびEXCLKピンの接続については、JTAGインタフェースにおけるピンおよびその他必要とされるコントローラ・ピンの表に参照してください。

(5) 100ピンのPQFPパッケージでは、以下のピンを外部に接続する必要があります。それは、C-A0をF-A0に、C-A1をF-A1に、C-A15をF-A15に、C-A16をF-A16に、およびBYTE#をVCCにです。また、100ピンのPQFPおよび88ピンのUFPGA両方のパッケージでは、以下のように、ピンの接続を実行する必要があります。それは、C-RP#をF-RP#に、C-WE#をF-WE#に、TM1をVCCに、TMOをGNDに、およびWP#をVCCにです。

(6) FPPコンフィギュレーション・モードを選択するには、FPGA MSEL [ ]入力ピンを接続します。詳しくは、該当するデバイス・ハンドブックでのコンフィギュレーションの章を参照してください。

(7) インテルのフラッシュ・ベースのEPCデバイスの内容を保護するために、VCCからVCCWの電源供給を隔離します。詳しくは、「インテル・フラッシュ・ベースのEPCデバイスにおける保護」を参照してください。

FPPモードでは、シングル EPC デバイスを使用して、複数の FPGA をコンフィギュレーションすることができます。このモードでは、複数の Stratix シリーズ FPGA、APEX II FPGA、または両方が、デジタイズ・チェーンでカスケード接続します。

最初の FPGA がコンフィギュレーションを完了した後、2 番目の FPGA に対し `nCE` ピンをアクティブ化するために `nCEO` ピンがアサートし、2 番目のデバイスのコンフィギュレーション・データの取込み開始を促します。このセットアップでは、FPGA の `CONF_DONE` ピンは連結されているため、すべてのデバイスが同時に初期化され、ユーザー・モードに入ります。また、`nSTATUS` ピンは連結されているため、EPC デバイスまたは FPGA のいずれかがエラーを検出した場合、チェーン全体のコンフィギュレーションが停止（そして同時に再度開始）します。

**注意:** アルテラ FPGA はコンフィギュレーション・チェーンでカスケード接続できますが、EPC デバイスはより大きいデバイスまたはチェーンをコンフィギュレーションするためにカスケード接続できません。

#### 関連情報

##### Stratix デバイス・ハンドブック

Stratix FPGA におけるリモート・アップデートについて詳しい情報を提供します。

## パッシブ・シリアル・コンフィギュレーション

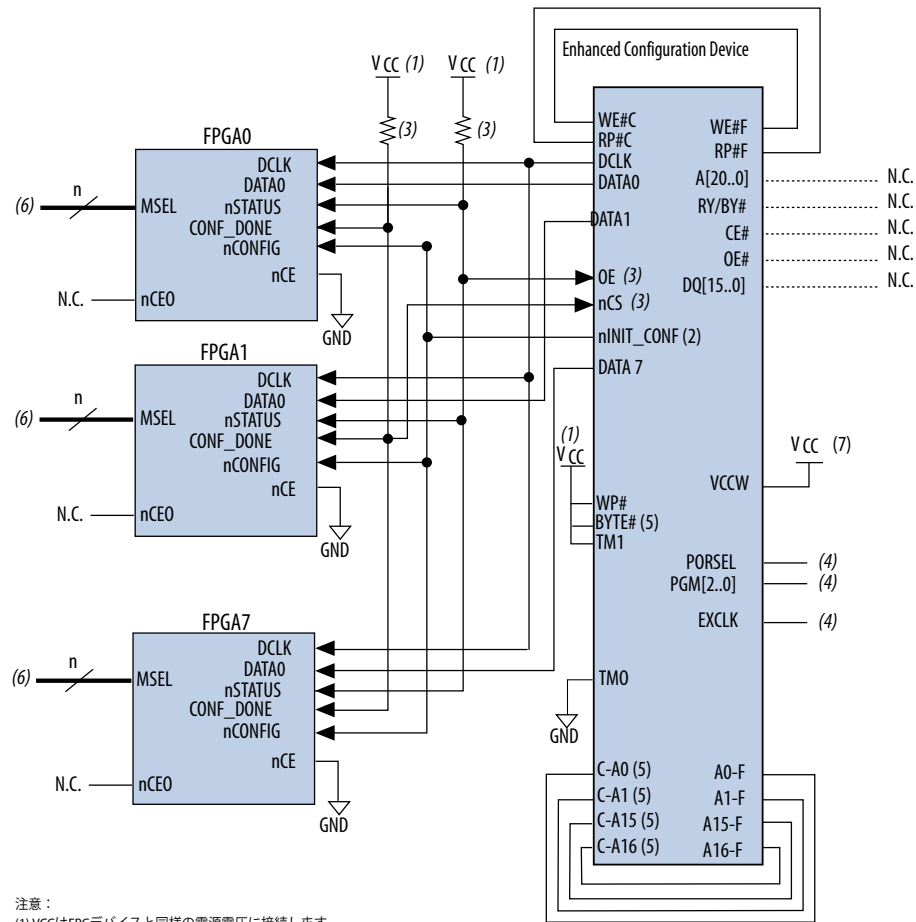
APEX 20KC、APEX 20KE、APEX 20K、APEX II、Cyclone シリーズ、FLEX 10K および Stratix シリーズのデバイスでは、EPC デバイスの PS モードでコンフィギュレーションできます。このモードは `DCLK` サイクルごとに FPGA に 1 ビットのデータ (`DATA[0]`) のみが送信されるという点を除いては、FPP モードに類似しています。残りの `DATA[7..1]` 出力ピンはこのモードでは使用されず、`low` に駆動されます。

シングル FPGA またはシングル・シリアル・チェーンにおける PS コンフィギュレーションのコンフィギュレーション回路図は、FPP 回路図とは類似しますが、FPGA の `DATA0` 入力ピンに接続するピンは EPC デバイスの `DATA[0]` 出力ピンのみであることと、残りの `DATA[7..1]` ピンがフローティング状態のままにされることのこの 2 点で異なります。

## 同時コンフィギュレーション

EPC デバイスは PS モードでの複数の FPGA（または FPGA チェイン）の同時コンフィギュレーションをサポートします。同時コンフィギュレーションとは、EPC デバイスが `DATA[n-1..0]` ピン ( $n=1, 2, 4$  または  $8$ ) 上で同時に  $n$  ビットのコンフィギュレーション・データを出力し、そして個々の `DATA[ ]` ラインが異なる FPGA チェインをシリアルにコンフィギュレーションするという意味をします。この同時シリアル・チェーンの数は Quartus II ソフトウェアを通じてユーザーが定義するものであり、1 から 8 までのいずれの数にも設定可能です。例えば、3 つの同時チェーンの場合、4 ビットの PS モードを選択し、最下位の `DATA` ビットを FPGA または FPGA チェインに接続します。最上位の `DATA` ビット (`DATA[3]`) を未接続のままにします。同様に、5、6、または 7 ビットの同時チェーンの場合、8 ビットの PS モードを選択できます。

図 3: PS モードにおける複数の FPGA の同時コンフィギュレーション (n = 8)



注意:

(1) VCC1はEPCデバイスと同様の電源電圧に接続します。

(2) nINIT\_CONF ピンはEPCデバイス上では利用可能であり、常にアクティブ化されている内部プルアップ抵抗を備えています。すなわち、nINIT\_CONF または nCONFIG 信号上では、外部のプルアップ抵抗が必要としないことになります。nINIT\_CONF ピンは機能を使用されない場合、接続される必要はありません。nINIT\_CONF が使用されない場合、nCONFIG は直接または抵抗を介して VCC にプルアップする必要があります。

(3) EPC デバイスの OE および nCS ピンには内部プログラマブル・プルアップ抵抗を備えています。これらのピンには、内部プルアップ抵抗が使用される場合、外部プルアップ抵抗を使用しないべきです。Quartus II ソフトウェアでは、内部プルアップ抵抗がデフォルトで使用されています。内部プルアップ抵抗をオフにするには、プログラミング・ファイルの生成時にコンフィギュレーション・デバイス・オプションでの Disable nCS and OE pull-ups にチェックを入れる必要があります。

(4) PORSEL、PGM[ ] および EXCLK ピンの接続については、JTAG インタフェースにおけるピンおよびその他必要とされるコントローラ・ピンの表に参照してください。

(5) 100 ピンの PQFP パッケージでは、以下のピンを外部に接続する必要があります。それは、C-A0 を F-A0 に、C-A1 を F-A1 に、C-A15 を F-A15 に、C-A16 を F-A16 に、および BYTE# を VCC にです。また、100 ピンの PQFP および 88 ピンの UFBGA 両方のパッケージでは、以下のように、ピンの接続を実行する必要があります。それは、C-RP# を F-RP# に、C-WE# を F-WE# に、TM1 を VCC に、TM0 を GND に、および WP# を VCC にです。

(6) PS コンフィギュレーション・モードを選択するには、FPGA MSEL [ ] 入力ピンを接続します。詳しくは、該当するデバイス・ハンドブックでのコンフィギュレーションの章を参照してください。

(7) インテルのフラッシュ・ベースの EPC デバイスの内容を保護するために、VCC から VCCW の電源供給を隔離します。詳しくは、「インテル・フラッシュ・ベースの EPC デバイスにおける保護」を参照してください。

表 5: EPC デバイスでサポートされる PS コンフィギュレーション・モード

モード名	モード (n =) (3)	使用出力	未使用出力
PS モード	1	DATA0	DATA[7..1] が low に駆動される

(3) 各コンフィギュレーション・モードの有効な DATA 出力の数です。

モード名	モード (n= (3))	使用出力	未使用出力
マルチ・デバイス PS	2	DATA[1..0]	DATA[7..2]が low に駆動される
マルチ・デバイス PS	4	DATA[3..0]	DATA[7..4]が low に駆動される
マルチ・デバイス PS	8	DATA[7..0]	—

## 外部フラッシュ・インタフェース

EPC デバイスでは、外部 FPGA またはプロセッサからフラッシュ・メモリへのアクセスをサポートします。フラッシュ・メモリの未使用領域は、外部デバイスのコードまたはデータを格納する目的で使用できます。このインタフェースは、リモート・コンフィギュレーション機能を実装するシステム内でも使用できます。各コンフィギュレーション・ページ内のコンフィギュレーション・データは、外部フラッシュ・インタフェースを介して更新でき、システムは新しい FPGA イメージでリコンフィギュレーションできます。このインタフェースも Nios ブート・コード、アプリケーション・コード、または両方のコードを格納する場合に役立ちます。

フラッシュ・メモリのアドレス、データおよびコントロール・ポートは、EPC デバイスのコントローラおよび外部デバイスのピンに内部で接続されます。フラッシュ・インタフェースが利用可能な場合、外部ソースがこれらの外部デバイスのピンを駆動し、フラッシュ・メモリアクセスできます。

この外部フラッシュ・インタフェースは、コンフィギュレーション・コントローラ・チップとの共用バス・インタフェースです。コンフィギュレーション・コントローラはプライマリー・バス・マスターです。バス・アービトレーションのサポートがないため、外部デバイスは、コントローラがフラッシュへの内部インタフェースをトライ・ステートにする際のみ、フラッシュ・インタフェースにアクセスできます。コントローラと外部デバイスによる同時アクセスは、競合を起こし、コンフィギュレーションおよびプログラミングの失敗に繋がります。

内部フラッシュ・インタフェースは、外部フラッシュ・インタフェースのピンと直接接続されているため、コントローラのフラッシュ・アクセス・サイクルは外部フラッシュ・インタフェースのピンをトグルします。これらの動作中に、外部デバイスは自身のフラッシュ・インタフェースをトライ・ステートにし、フラッシュ・インタフェース・ピン上の遷移を無視する必要があります。

**注意:** 外部フラッシュ・インタフェースの信号は、ISP およびコンフィギュレーション時に競合を起こしてしまうため、複数の EPC デバイス間で共用できません。これらの動作中、EPC デバイス内のコントローラ・チップが活発にフラッシュ・メモリアクセスしています。そのため、EPC デバイスはフラッシュ・バス・インタフェースの共用をサポートしません。

下記の動作中に、EPC デバイスのコントローラ・チップがフラッシュ・メモリアクセスします。

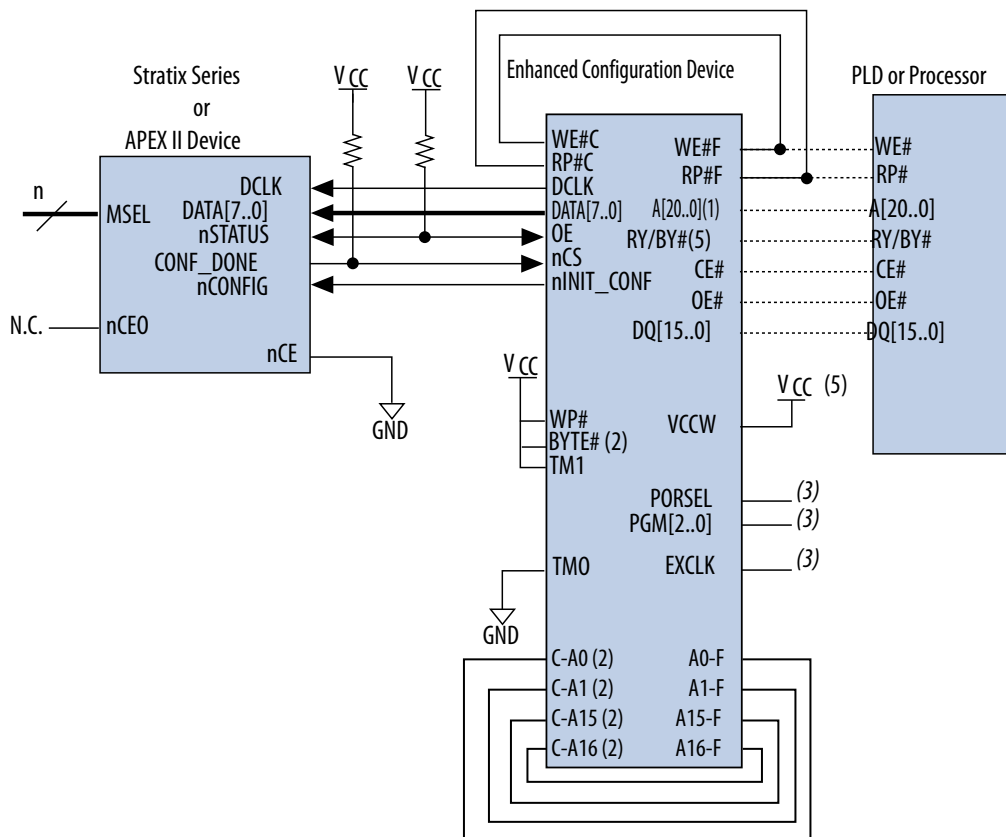
<sup>(3)</sup> 各コンフィギュレーション・モードの有効な DATA 出力の数です。

- FPGA コンフィギュレーション：フラッシュからコンフィギュレーション・データを読み出す
- JTAG ベースのフラッシュ・プログラミング：フラッシュにコンフィギュレーション・データを格納する
- POR 時：フラッシュからオプション・ビットを読み出す

これらの動作中、外部 FPGA またはプロセッサは、フラッシュ・メモリへのインタフェースをトライ・ステートにする必要があります。コンフィギュレーションとプログラミング後に、EPC デバイスのコントローラが内部インタフェースをトライ・ステートにし、アイドル状態に入ります。コンフィギュレーション・サイクルを中断し、外部フラッシュ・インタフェースを介してフラッシュにアクセスするためには、外部デバイスが FPGA の `nCONFIG` 入力ピンを `low` に保持することができます。 `nSTATUS-OE` ラインが `low` に保持されることによって、コンフィギュレーション・デバイスがリセット状態に維持し、外部フラッシュ・アクセスを可能にします。

## 図 4: 外部フラッシュ・インタフェースによる FPP コンフィギュレーション

EPC8 デバイスでの外部フラッシュ・インタフェースのサポートについては、アルテラにお問い合わせください。



- (1) EPC16 デバイスのピン A20、EPC8 デバイスのピン A20 と A19、および EPC4 デバイスのピン A20、A19 と A18 はフローティング状態のままにしておきます。これらのピンは NC ピンのため、どの信号にも接続する必要はありません。
- (2) 100 ピンの PQFP パッケージでは、以下のピンを外部に接続する必要があります。それは、C-A0 を F-A0 に、C-A1 を F-A1 に、C-A15 を F-A15 に、C-A16 を F-A16 に、および BYTE# を VCC にです。また、100 ピンの PQFP および 88 ピンの UFBGA 両方のパッケージでは、以下のように、ピンの接続を実行する必要があります。それは、C-RP# を F-RP# に、C-WE# を F-WE# に、TM1 を VCC に、TMO を GND に、および WP# を VCC にです。
- (3) PORSEL、PGM[ ] および EXCLK ピンの接続については、JTAG インタフェースにおけるピンおよびその他必要とされるコントローラ・ピンの表に参照してください。
- (4) RY/BY# ピンは、Sharp フラッシュ・ベースの EPC8 および EPC16 デバイスにのみ利用可能です。
- (5) インテルのフラッシュ・ベースの EPC デバイスの内容を保護するために、VCC から VCCW の電源供給を隔離します。詳しくは、「インテル・フラッシュ・ベースの EPC デバイスにおける保護」を参照してください。

### 関連情報

#### アルテラのエンハンスド・コンフィギュレーション・デバイス

外部フラッシュ・インタフェース機能向けのソフトウェア・サポートの詳細情報を提供します。

## Intel フラッシュ・ベースの EPC デバイスにおける保護

Intel フラッシュを備えた EPC4、EPC8 および EPC16 のデバイスでは、ロックビットの保護機能が付いていないため、これらのデバイスにおける Intel フラッシュ内容を保護するために、アルテラは 4 つの方法を推奨します。これらの方法は単独で使用しても、フラッシュを十分に保護できます。方法は以下に降順の保護レベル順でリストされています。

1. 電圧 0.3V 未満の RP# をパワーアップおよびパワーダウンにおいて、最低 100ns から最大 25ms 間使用することによって、すべてのコントロール・ピンが無効にされ、書き込みが不可能となります。
2. VPPLK の最大値が 1V である  $VPP < VPPLK$  の使用は、書き込みを無効にします。  $VPP < VPPLK$  とは、プログラミングまたは書き込みが不可能という意味です。 VPP は Intel フラッシュでのプログラミング電源電圧入力ピンであり、EPC デバイスでの VCCW ピンに相当します。
3. High の CE# の使用はチップを無効にします。書き込みができるように、low の CE# および low の WE# が必要とされます。 High の CE# 自体では書き込みを不可能にします。
4. 書き込みは WE# が low の際のみ可能のため、high の WE# の使用は書き込みを不可能とします。

4つの方法をすべて同時に実行することによって、フラッシュ内容に最も安全な保護を与えます。

以下に最適なパワーアップ・シーケンスをリストします。

1. VCC をパワーアップする
2. VCC が完全にパワーアップされるまで、  $VPP < VPPLK$  を維持する
3. VPP をパワーアップする
4. 全体のパワーアップ・プロセス中、RP# を low に駆動する。 VPP がパワーアップされた後、RP# が 25ms 以内に high に解放される必要がある

**注意:** 全体のパワーアップ・シーケンスでは、CE# および WE# は high である必要があります。

以下に最適なパワーダウン・シーケンスをリストします。

1. パワーダウン前に 100ns 間 RP# を low に駆動する
2.  $VPP < VPPLK$  をパワーダウンする
3. VCC をパワーダウンする
4. 全体のパワーダウン・プロセス中に RP# を low に駆動する

**注意:** 全体のパワーダウン・シーケンスでは、CE# および WE# は high である必要があります。

RP# ピンはコントローラに内部で接続されていません。そのため、外部デバイスから RP# ピンへループバック接続を使用しない場合でも、C-RP# および F-RP# 間での外部ループバック接続をボード上で作る必要があります。フラッシュは使用しない場合、RP# を常にトライ・ステートにします。

外部のパワーアップ監視回路がループバック接続を介して RP# ピンに接続されている場合、以下のガイドラインに従うことで、RP# ライン上での競合を防ぐことができます。

- 電源 3.3V でのパワーアップ・シーケンスは、パワーアップの 50ms 以内に完了させること。3.3V の VCC は 50ms の前に最小 VCC に到達し、RP# はその後解放されること。
- パワーアップ時に、RP# はパワーアップ監視回路によって low に駆動されること。パワーアップ後、RP# はパワーアップ監視回路によって外部でトライ・ステートにされること。

上記のガイドラインが 50ms 以内に完了できない場合、OE ピンは、RP# が解放される準備ができたまで、外部で low に駆動される必要があります。



## ダイナミック・コンフィギュレーション (ページモード)

ダイナミック・コンフィギュレーション (またはページモード) 機能により、EPC デバイスはシステム内のすべての FPGA に対する最大 8 セットの異なるデザインを格納することができます。ユーザーは、EPC デバイスが FPGA コンフィギュレーションに使用するページ (コンフィギュレーション・ファイルのセット) を選択することができます。

ダイナミック・コンフィギュレーション、すなわちページモード機能により、出荷時のデフォルトまたはフェイルセーフ・コンフィギュレーションおよびアプリケーション・コンフィギュレーションの最低 2 ページを格納できます。フェイルセーフ・コンフィギュレーション・ページはシステム製造時にプログラムでき、アプリケーション・コンフィギュレーション・ページはリモートまたはローカル・アップデートをサポートできます。これらのリモート・アップデートはシステムの機能と性能を追加または強化できます。ただし、リモート・アップデート機能では、コンフィギュレーション・データを破損するリスクを伴います。このような破損時には、システムは自動的にフェイルセーフ・コンフィギュレーションに切り替え、システムのダウン時間を回避することができます。

EPC デバイスのページモード機能は、Stratix リモート・システム・コンフィギュレーション機能と連携し、システムに対するインテリジェント・リモート・アップデートを可能にします。

3 本の PGM[2..0] 入力ピンはコンフィギュレーションに使用するページを管理し、これらのピンは OE が high になった時、各コンフィギュレーション・サイクルの初めにサンプリングされます。ページモードの選択において、PGM[2..0] ピンを切り替え、nCONFIG をアサートすることによって、FPGA の機能性をダイナミックにリコンフィギュレーションすることができます。ページ 0 はデフォルト・ページとして定義され、PGM[2] ピンが最上位ビット (MSB) です。

**注意:** PGM[2..0] 入力ピンはボード上でフローティング状態にしてはなりません。ページモード機能を使用しない場合、PGM[2..0] ピンを GND に接続し、デフォルトのページ 000 を選択します。

EPC デバイスのページは、メモリ内でダイナミックにサイズ調整される領域です。初期プログラミングの際、各ページの開始アドレスと長さがフラッシュ・メモリーのオプション・ビット・スペースにプログラムされます。以降のすべてのコンフィギュレーション・サイクルでは、PGM[ ] ピンがサンプリングされ、オプション・ビット情報を使用して、対応するコンフィギュレーション・ページの初めにジャンプします。各ページには、EPC デバイ스에接続されるシステム内のすべての FPGA に対するコンフィギュレーション・ファイルを備える必要があります。

例えば、システムに 3 つのコンフィギュレーション・ページが必要で、2 つの FPGA が含まれる場合、各ページは 2 つの SRAM Object Files (.sof) を格納し、コンフィギュレーション・デバイスには合計 6 つの .sof が含まれます。

なお、EPC デバイスのすべてのコンフィギュレーション手法 (PS、FPP および同時 PS) はページモード機能でサポートされます。単一の EPC デバイスでコンフィギュレーション可能なページ数、デバイス数、または両方の数は、フラッシュ・メモリーのサイズにのみ制限されます。

### 関連情報

- [Stratix デバイス・ハンドブック](#)

Stratix FPGA におけるリモート・アップデートについて詳しい情報を提供します。

- **アルテラのエンハンスド・コンフィギュレーション・デバイス**  
Quartus II ソフトウェアを使用したページモード機能の実装およびプログラミング・ファイルの生成手順について詳しい情報を提供します。

## リアルタイム復元

EPC デバイスでは、コンフィギュレーション・データのオン・チップ・リアルタイム復元をサポートします。FPGA コンフィギュレーション・データは、QuartusII ソフトウェアによって圧縮され、EPC デバイスに格納されます。コンフィギュレーションの際、EPC デバイス内部の伸長エンジンがコンフィギュレーション・データを復元または展開します。この機能により、EPC デバイスの有効コンフィギュレーション集積度が、EPC4、EPC8 および EPC16 において、それぞれ最大 7Mb、15Mb、または 30Mb に増加します。

コンフィギュレーション時間を削減するために、EPC デバイスでは、FPGA へのパラレル 8 ビット・データ・バスもサポートします。ただし、場合によっては、FPGA のデータ送信時間はフラッシュ読み出し帯域幅によって制限されることがあります。例えば、APEX II デバイスを FPP(サイクルごとにバイト幅のデータ) モードで 66MHz のコンフィギュレーション速度でコンフィギュレーションする場合、FPGA の書き込み帯域幅は 8 ビット x 66MHz = 528Mbps に相当します。ところが、フラッシュ読み出しインタフェースは、約 10MHz に制限されます (フラッシュのアクセス・タイムは約 90ns であるため)。これはフラッシュ読み出し帯域幅を 16 ビット x 10MHz = 160Mbps に変換します。従って、コンフィギュレーション時間はフラッシュ読み出し時間によって制限されます。

コンフィギュレーション・データが圧縮される場合、フラッシュから読み出す必要のあるデータ量は約 50%削減されます。16 ビットの圧縮データが 30 ビットの非圧縮データを生成する場合、フラッシュ読み出し帯域幅は 30 ビット x 10MHz = 300Mbps に増加し、全体のコンフィギュレーション時間が削減されます。

**Compression Mode** をオンにすることによって、Quartus II ソフトウェアの **Configuration Device Options** ウィンドーでコントローラの復元機能を有効にすることができます。

**注意:** EPC デバイスでサポートされる復元機能は、Stratix II FPGA および Cyclone シリーズでサポートされる復元機能とは異なります。EPC デバイスを使用して Stratix II FPGA または Cyclone シリーズをコンフィギュレーションする場合、アルテラはより速いコンフィギュレーションのためにのみ、Stratix II FPGA または Cyclone シリーズで復元機能を有効にすることを推奨します。

アルテラのデバイスに使用される圧縮アルゴリズムは、FPGA のコンフィギュレーション・ビットストリームに対して最適化されています。FPGA は複数の配線構造層を備えるため (高性能および配線の容易さのために)、大量のリソースは未使用になっています。これらの未使用配線、ロジック・リソースおよび非初期化のメモリ構造のために、大量のコンフィギュレーション RAM ビットが無効状態にあります。アルテラ独自の圧縮アルゴリズムは、このようなビットストリームの質を利用します。

圧縮の有効性に関する一般的なガイドラインでは、デバイス・ロジックまたは配線の使用率が高いほど圧縮率が低くなります (圧縮率とは、元のビットストリームのサイズを圧縮後のビットストリームのサイズで割るものと定義されている)。

Stratix デザインでは、多様なロジック使用率を備えたデザインのスイートに基づき、これらのデザインにおける最小圧縮率は 1.9、すなわちサイズが 47%縮小することが観察されました。以下の表では、Stratix デザイン・スイートでの圧縮率の例を示します。これらの数値は仕様ではなく、圧縮ビットストリームを格納するのに必要なコンフィギュレーション・メモリーの目安を示すガイドラインです。

**表 6: Stratix における圧縮率**

これらの数値は暫定仕様です。これらの数値は仕様ではなく、ガイドラインとなることを意図したものです。

項目	最小	平均
ロジック使用率	98%	64%
圧縮率	1.9	2.3
サイズ縮小 (%)	47%	57%

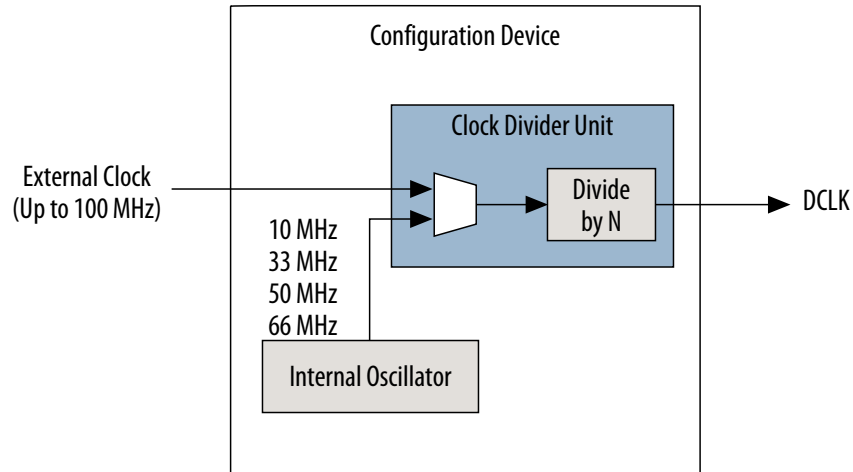
## プログラマブル・コンフィギュレーション・クロック

コンフィギュレーション・クロック (DCLK) の速度はプログラム可能です。プログラマブル・オシレータまたは外部クロック入力ピン (EXCLK) の 2つのクロック・ソースのうち 1つは、コンフィギュレーション・クロックの合成に使用できます。コンフィギュレーション・クロックの周波数は、クロック分周器回路を使用してさらに合成可能です。このクロックは N カウンタで分周することによって、DCLK 出力を生成できます。N 分周器は、1 から 16 の間のすべての整数分周値および 1.5 と 2.5 の分周値をサポートします。非整数分周を除いて、すべてのクロック分周のデューティ・サイクルは 50% です (非整数分周では、デューティ・サイクルが 50% にはならない)。

## 図 5: クロック分周器ユニット

DCLK 周波数は、FPGA がサポートする最大 DCLK 周波数によって制限されます。

**注意:** FPGA がサポートする最大 DCLK 入力周波数について、詳しくは該当するデバイスのハンドブックでコンフィギュレーションの章を参照してください。



コントローラ・チップには、4つの異なる周波数を出力できるプログラマブル・オシレータを備えています。以下の表のように、様々な設定により、10MHz、33MHz、50MHz、および66MHzと高い周波数でクロック出力を生成します。

表 7: 内蔵オシレータの周波数

周波数設定	最小 (MHz)	標準 (MHz)	最大 (MHz)
10	6.4	8.0	10.0
33	21.0	26.5	33.0
50	32.0	40.0	50.0
66	42.0	53.0	66.0

Quartus II ソフトウェアにおけるクロック・ソース、オシレータ周波数およびクロック分周器 (N) の設定は、**Device Settings** ウィンドーまたは **Convert Programming Files** ウィンドー内の **Configuration Device Options** にアクセスすることによって行うことができます。同様のウィンドーを使用して、内蔵オシレータと外部クロック (EXCLK) 入力ピンの中から、コンフィギュレーション・クロック・ソースとして選択できます。デフォルト設定では、分周係数が 1 である 10MHz 設定での内蔵オシレータがクロック・ソースとして選択されています。

### 関連情報

#### アルテラのエンハンスド・コンフィギュレーション・デバイス

コンフィギュレーション・クロック・ソース、周波数および分周器の設定方法について、詳しい情報を提供します。

## フラッシュのイン・システム・プログラミング (ISP)

EPC デバイス内部のフラッシュ・メモリは、JTAG インタフェースおよび外部フラッシュ・インタフェースを介してシステム内でプログラムできます。JTAG ベースのプログラミングは、EPC デバイス内のコンフィギュレーション・コントローラによって容易になります。外部フラッシュ・インタフェースのプログラミングでは、フラッシュを制御する外部プロセッサまたは FPGA を必要としています。

**注意:** EPC デバイスのフラッシュ・メモリは 100,000 回の消去をサポートします。

### JTAG ベースのプログラミング

EPC デバイスに実装されている IEEE 規格 1149.1 の JTAG バウンダリ・スキャンは、配線および機能性の検証を容易にします。EPC デバイスも ISP モードをサポートします。EPC デバイスは、IEEE 規格 1532 ドラフト 2.0 の仕様に準拠しています。

コンフィギュレーション・コントローラの JTAG ユニットは、フラッシュ・メモリと直接通信します。コントローラが ISP 命令を処理し、必要なフラッシュ動作を実行します。EPC デバイスは 10MHz の最大 JTAG TCK 周波数をサポートします。

JTAG ベースの ISP 中では、外部フラッシュ・インタフェースが利用できません。JTAG インタフェースがフラッシュ・メモリをプログラムする前に、オプションの JTAG 命令 (`PENDCFG`) で FPGA の `nCONFIG` ピン (`nINIT_CONF` ピンを使用) をアサートすることができます。そうすることによって、FPGA はリセット状態に維持し、内部フラッシュ・アクセスがすべて終了します。この機能により、JTAG ISP および外部 FPGA またはプロセッサ両方が同時にフラッシュにアクセスする際に起きる、フラッシュ・ピンでの競合を防止します。JTAG 命令のコンフィギュレーション開始 (`nINIT_CONF`) が更新されると、`nINIT_CONF` ピンが解放されます。結果として、FPGA はフラッシュに格納されている新しいコンフィギュレーション・データによりコンフィギュレーションされます。

Quartus II ソフトウェアにおいて、**Programmer options** ウィンドウ (オプション・メニュー) 内で **Initiate configuration after programming** オプションを有効にすることによって、JTAG 命令のコンフィギュレーション開始 (`nINIT_CONF`) をプログラミング・ファイルに追加できます。

### 外部フラッシュ・インタフェースを介したプログラミング

この方法では、16 ビットのデータ・バスを使用したフラッシュ・メモリのパラレル・プログラミングを可能にします。外部プロセッサまたは FPGA がフラッシュ・コントローラとして機能し、UART、イーサネットおよび PCI などの通信リンクを介してプログラミング・データにアクセスします。外部フラッシュ・インタフェースは、プログラム、消去、および検証動作に加えて、ブロックまたはセクター保護命令をサポートします。

外部フラッシュ・インタフェースでのプログラミングは、コンフィギュレーション・コントローラが内部インタフェースをトライ・ステートにし、フラッシュのアクセスを放棄した場合のみ可能です。コントローラがコンフィギュレーションまたは JTAG ベースの ISP の際にフラッシュのアクセスを放棄しない場合、外部プログラミングを開始する前に、コントローラをリセット状態に保持する必要があります。FPGA の `nCONFIG` ラインをロジック low のレベルに保持することによって、コントローラをリセットできます。これにより、`nSTATUS-OE` ラインを low に保

持することによって、コントローラがリセット状態に維持し、外部フラッシュ・アクセスが可能になります。

**注意:** EPC デバイスの初期プログラミングが外部フラッシュ・インタフェースを介してシステム内で実施される場合、フラッシュ・インタフェースでの競合を防止するために、FPGA の nCONFIG ラインを low に駆動してコントローラをリセット状態に維持する必要があります。

## ピンの説明

以下の表に EPC デバイスのピンをリストします。これらの表には、コンフィギュレーション・インタフェースのピン、外部フラッシュ・インタフェースのピン、JTAG インタフェースのピン、およびその他のピンが含まれています。

表 8: コンフィギュレーション・インタフェースのピン

ピン名	ピン・タイプ	説明
DATA [7..0]	出力	このピンは、コンフィギュレーション・データの出力バスである。DATA が DCLK の立下りエッジごとに変化する。DATA が DCLK の立ち上がりエッジで FPGA にラッチされる。
DCLK	出力	EPC デバイスからの DCLK 出力ピンは、FPGA コンフィギュレーション・クロックとして動作する。DATA は FPGA により、DCLK の立ち上がりエッジでラッチされる。
nCS	入力	nCS ピンは EPC デバイスへの入力であり、FPGA にすべてのコンフィギュレーション・データが送信された後のエラー検出のために、FPGA の CONF_DONE 信号に接続されている。nCONFIG がアサートされる場合、FPGA は常に nCS および OE を low に駆動する。この nCS ピンが備えている 6KW のプログラマブル内部ウィーク・プルアップ抵抗は、Quartus II ソフトウェアにおいて、 <b>Disable nCS and OE pull-ups on configuration device</b> オプションを通じて無効または有効にできる。
nINIT_CONF	オープン・ドレイン出力	nINIT_CONF ピンは FPGA での nCONFIG ピンに接続し、プライベート JTAG 命令を使用して EPC デバイスからのコンフィギュレーションを開始することができる。このピンには、常にアクティブな 6KW の内部ウィーク・プルアップ抵抗を備えている。INIT_CONF ピンは機能が使用されない場合、接続される必要はない。nINIT_CONF が使用されない場合、nCONFIG は必ず VCC に直接またはプルアップ抵抗によってプルアップされる必要がある。

ピン名	ピン・タイプ	説明
OE	オープン・ドレイン双方向	このピンは、POR が未完成の際に low に駆動される。POR が未完成の際、ユーザーが選択可能な 2ms またはこのピンが low に駆動される。ユーザーが選択可能な 2ms または 100ms カウンタは、電圧レベルが安定するように、初期パワーアップ中に OE の解放を延期する。POR タイムは、OE を外部で low に保持することによって延長できる。OE は FPGA nSTATUS 信号に接続されている。EPC デバイスのコントローラが OE を解放し、その後 nSTATUS-OE ラインが high になるのを待ってから、FPGA コンフィギュレーション・プロセスを開始する。このピンが備えている 6KW のプログラマブル内部ウィーク・プルアップ抵抗は、Quartus II ソフトウェアにおいて、Disable ncs and OE pull-ups on configuration device オプションを通じて無効または有効にできる。

表 9: 外部フラッシュ・インタフェースのピン

ピン名	ピン・タイプ	説明
A[20..0]	入力	これらのピンは、読み出しおよび書き込み動作向けの、フラッシュ・メモリーへのアドレス入力である。これらのアドレスは、書き込みサイクル中に内部でラッチされる。外部フラッシュ・インタフェースが使用されない場合、これらのピンをフローティング状態のままにしておく（いくつかの例外を除いて <sup>(4)</sup> ）。これらのフラッシュ・アドレス、データ、およびコントロール・ピンは、コンフィギュレーション・コントローラに内部で接続されている。100 ピンの PQFP パッケージでは、4 本のアドレス・ピン（A0,A1,A15,A16）がコントローラに内部で接続されていない。外部フラッシュ・インタフェースを使用しない場合でも、ボード上に C-A[ ]ピンおよび F-A[ ]ピンの間でループバック接続を作る必要がある。その他のすべてのアドレス・ピンは、パッケージに内部で接続されている。88 ピンの UFBGA パッケージでは、すべてのアドレス・ピンが内部で接続されている。EPC16 デバイスでのピン A20、EPC8 デバイスでのピン A20 と A19、および EPC4 デバイスでのピン A20、A19 と A18 は NC ピンである。これらのピンは、ボード上ではフローティング状態のままにすべきである。

<sup>(4)</sup> これらのピンは、フラッシュ・メモリーの生産テスト時に 12V に駆動することができます。コントローラは 12V の電圧レベルに耐えられないため、パッケージにおいてコントローラからこれらのピンへの接続が内部でされません。その代わりに、2 本の別々のピンとして使用可能です。この 2 本のピンをボードレベルで接続する必要があります（例えば、PCB 上では、コントローラからの C-WE#ピンをフラッシュ・メモリーからの F-WE#ピンに接続する）。

ピン名	ピン・タイプ	説明
DQ[15..0]	双方向	このピンは、フラッシュ・メモリーとコントローラ間のフラッシュ・データ・バス・インタフェースである。フラッシュのコマンドおよびデータ書き込みのバス・サイクル時に、コントローラまたは外部ソースが DQ[15..0]を駆動する。データ読み出しサイクルの際、フラッシュ・メモリーが DQ[15..0]をコントローラまたは外部デバイスに駆動する。外部フラッシュ・インタフェースを使用しない場合、これらのピンをボード上でフローティング状態のままにしておく。
CE#	入力	このピンはアクティブ low のフラッシュ入力ピンであり、アサートされるとフラッシュ・メモリーをアクティブにする。このピンが high の場合、デバイスの選択が解除され、消費電力が待機レベルに削減される。このフラッシュ入力ピンは、コントローラに内部で接続されている。外部フラッシュ・インタフェースを使用しない場合、このピンをボード上でフローティング状態のままにしておく。
RP# <sup>(4)</sup>	入力	このピンはアクティブ low のフラッシュ入力ピンであり、アサートされるとフラッシュをリセットする。このピンが high の場合、通常の動作が有効になっている。このピンが low の場合、フラッシュ・メモリーへの書き込み動作が抑止されるため、パワー移行中でのデータ保護が提供される。このフラッシュ入力ピンは、コントローラに内部で接続されていない。そのため、外部フラッシュ・インタフェースを使用しない場合でも、ボード上に C-RP#ピンおよび F-RP#ピンの間で外部ループバック接続を作る必要がある。外部フラッシュ・インタフェースを使用する場合、ループバック回路で外部デバイスを RP#ピンに接続する。フラッシュを使用しない場合、RP#を常にトライ・ステートにする。
OE#	入力	このピンはアクティブ low のフラッシュ・コントロール入力ピンであり、フラッシュ読み出しサイクルの際に、コントローラまたは外部デバイスによってアサートされる。アサートされると、フラッシュ出力ピンのドライバが有効になる。外部フラッシュ・インタフェースを使用しない場合、このピンをボード上でフローティング状態のままにしておく。
WE# <sup>(4)</sup>	入力	このピンはアクティブ low のフラッシュ書き込みストロブであり、フラッシュ書き込みサイクルの際に、コントローラまたは外部デバイスによってアサートされる。アサートされると、フラッシュ・メモリーへの書き込みがコントロールされる。フラッシュ・メモリーでは、アドレスおよびデータが WE#パルスの立ち上がりエッジでラッチされる。このフラッシュ入力ピンは、コントローラに内部で接続されていない。したがって、外部フラッシュ・インタフェースを使用しない場合でも、ボード上に C-WE#ピンおよび F-WE#ピンの間で外部ループバック接続を作る必要がある。外部フラッシュ・インタフェースを使用する場合、ループバック回路で外部デバイスを WE#ピンに接続する。



ピン名	ピン・タイプ	説明
WP#	入力	このピンは通常、ボード上で VCC または GND に接続されている。競合を起こしかねないため、コントローラはこのピンを駆動しない。VCC への接続は、より高速なブロック消去またはプログラミング時間のために推奨されている。また、Quartus II ソフトウェアでデバイスをプログラミングする場合に必要とされるフラッシュ・ボトム・ブート・ブロックのプログラミングも、VCC への接続を通して可能になる。このピンは、外部フラッシュ・インタフェースが使用されない場合でも、VCC に接続されるべきである。
VCCW	電源	このピンは、ブロック消去、フルチップ消去、ワード書き込み、またはロックビット・コンフィギュレーションの電源である。外部フラッシュ・インタフェースを使用しない場合でも、このピンを電圧 3.3V の VCC 電源に接続する。
RY/BY#	オープン・ドレイン出力	このピンは、書き込みまたは消去動作が完了した際、フラッシュによってアサートされる。このピンはコントローラに接続されていない。RY/BY#ピンは、Sharp フラッシュ・ベースの EPC8 および EPC16 でのみ利用可能である。 <sup>(5)</sup> 外部フラッシュ・インタフェースが使用されない場合、このピンをフローティング状態のままにしておく。
BYTE#	入力	このピンは、フラッシュ・バイトを有効にするピンであり、100 ピンの PQFP パッケージを備える EPC デバイスでのみ利用可能である。このピンは、外部フラッシュ・インタフェースを使用しない場合でも、ボード上で VCC に接続される必要がある（コントローラが 16 ビット・モードでのフラッシュを使用する）。Intel フラッシュ・ベースの EPC デバイスでは、このピンが Intel フラッシュ・ダイの VCCQ に内部で接続されている。従って、BYTE#ピンはプルアップ抵抗を一切使用せずに VCC に直接接続される必要がある。

表 10: JTAG インタフェースにおけるピンおよびその他必要とされるコントローラ・ピン

ピン名	ピン・タイプ	説明
TDI	入力	このピンは、JTAG データの入力ピンである。JTAG 回路が使用されない場合、このピンを VCC に接続する。
TDO	出力	このピンは、JTAG データの出力ピンである。JTAG 回路が使用されない場合、このピンを接続しない（このピンをフローティング状態のままにしておく）。
TCK	入力	このピンは、JTAG クロックのピンである。JTAG 回路が使用されない場合、このピンを GND に接続する。

<sup>(5)</sup> 詳しくは、「PCN0506：EPC4、EPC8、および EPC16 エンハンスド・コンフィギュレーション・デバイスのソースとして Intel フラッシュ・メモリーの追加」と、「Intel フラッシュ・メモリー・ベースの EPC4、EPC8 および EPC16 のホワイトペーパーの使用」に参照してください。

ピン名	ピン・タイプ	説明
TMS	入力	このピンは、JTAG モードを選択するピンである。JTAG 回路が使用されない場合、このピンを VCC に接続する。
PGM[2..0]	入力	これら 3 本の入力ピンは、8 ページのコンフィギュレーション・データから 1 ページを選択し、システム内の FPGA をコンフィギュレーションする。EPC デバイスの POF を生成する際、これらのピンをボード上で接続し、Quartus II ソフトウェアで指定されるページを選択する。PGM[2]は最上位ビットである。デフォルトの選択はページ 0 で、PGM[2..0]=000 である。これらのピンは必ずフローティング状態のままにしない。
EXCLK	入力	このピンはオプションの外部クロック入力ピンであり、コンフィギュレーション・クロック (DCLK) を生成するのに使用できる。外部クロック・ソースが使用されない場合、フローティング状態の入力バッファを防止するために、このピンを有効なロジック・レベル (high または low) に接続する。EXCLK が使用される場合、FPGA がユーザー・モードに入った後の EXCLK 入力ピンのトグルは、EPC デバイスの動作に効力を持たない。
PORSEL	入力	このピンは、パワーアップ際に 2ms または 100ms の POR カウンタ遅延を選択する。PORSEL が low の場合、POR タイムは 100ms である。PORSEL が high の場合、POR タイムは 2ms である。このピンは有効なロジック・レベルに接続される必要がある。
TM0	入力	このテスト・ピンは、通常動作のために GND に接続される必要がある。
TM1	入力	このテスト・ピンは、通常動作のために VCC に接続される必要がある。

## パワー・オン・リセット

POR 回路は、電源電圧のレベルが安定するまで、システムをリセット状態に維持します。POR タイムは、VCC ランプ・タイムおよびユーザー・プログラマブル POR 遅延カウンタからなります。電源が安定し、POR カウンタが満了すると、POR 回路が OE ピンを解放します。POR タイムは、外部デバイスにより OE ピンを low に駆動することによって、さらに延長することができます。

**注意:** POR が完了するまでは、JTAG または ISP 命令を実行しないでください。

EPC デバイスでは、プログラム可能な POR 遅延設定をサポートします。ユーザーは POR 遅延をデフォルトの 100ms 設定にするか、高速なパワーアップが必要とされるシステムに対しては 2ms に低減された POR 遅延にするか設定できます。PORSEL 入力ピンが、ロジック high レベルでは 2ms 遅延を選択し、ロジック low レベルでは 100ms 遅延を選択するように、この POR 遅延をコントロールします。

以下の条件で EPC デバイスがリセット状態に入ります。

- POR リセットが、初期パワーアップにおける VCC ランプ・アップ時に開始するか、または VCC が安定した後での時点に関わらず VCC が最低動作条件より下回る時に発生する
- FPGA が CRC エラーを検出する場合や FPGA の nCONFIG 入力ピンがアサートされる場合など、FPGA が nSTATUS を low に駆動することによって、リコンフィギュレーションを開始する
- コントローラがコンフィギュレーションのエラーを検出し、アルテラ FPGA のリコンフィギュレーションを開始するように OE をアサートする（例えば、すべてのコンフィギュレーション・データが送信された後、CONF\_DONE が low のままである時）

## パワー・シーケンシング

アルテラは、EPC デバイスの POR が完了する前に、FPGA の VCCINT 電源をパワーアップすることを要求します。

CONF\_DONE 信号が low に引き下げられた後に、EPC デバイスの OE 信号が high になるように、パワーアップのコントロールが必要です。EPC デバイスは FPGA がパワーアップされる前に POR を終了すると、CONF\_DONE 信号はプルアップ抵抗によって high に保持されるため high です。EPC デバイスが POR を終了する場合、OE が解放されてプルアップ抵抗によって high に引き上げられます。EPC デバイスは OE の立ち上がりエッジで ncs 信号をサンプリングするため、CONF\_DONE 信号において high レベルを検出し、アイドルモードに入ります。この状態では、DATA および DCLK 出力はトグルせず、コンフィギュレーションが開始されません。EPC デバイスは、正しくパワーダウンされてからパワーアップされる場合のみ、このモードを脱出します。

**注意:** EPC デバイスが適切にコンフィギュレーション・モードに入るように、FPGA は必ず、EPC デバイスが POR を終了する前に、パワーアップを完了する必要があります。

このパワーアップ・シーケンスを確保するために、ピンで選択可能な POR タイム機能が役立ちます。EPC デバイスには、PORSEL が high レベルに設定される場合での 2msPOR 設定と、PORSEL が low レベルに設定される場合での 100msPOR 設定の 2 通りの設定があります。より多くのマージンについては、100ms の設定を選択することによって、FPGA はコンフィギュレーションが実行される前にパワーアップ可能です。

その他には、電源監視回路またはパワーグッド信号を用いて、両方の電源が安定するまで FPGA の nCONFIG ピンを low にアサートされるように維持することができます。これにより、コンフィギュレーションが成功する正しいパワーアップ・シーケンスが確保されます。

## プログラミングおよびコンフィギュレーション・ファイルのサポート

Quartus II ソフトウェアでは、EPC デバイス向けのプログラミング・サポートを提供しており、EPC4、EPC8 および EPC16 デバイス用の .pof を自動的に生成します。マルチ・デバイスのプロジェクトにおいて、Quartus II ソフトウェアは、複数の ACEX 1K、APEX 20K、APEX II、Cyclone シリーズ、FLEX 10K、Mercury および Stratix シリーズの FPGA 用の .sof を結合し、EPC デバイス向けの 1 つのプログラミング・ファイルを生成することができます。

EPC デバイスは、業界標準の 4 ピン JTAG インタフェースを介して、システム内でプログラム可能です。EPC デバイス内の ISP 機能により、FPGA 機能のプロトタイピングおよび更新が容易になります。

EPC デバイスをシステム内でプログラミングした後、FPGA コンフィギュレーションが、EPC デバイスの JTAG INIT\_CONF 命令を含めることで開始できます。

EPC デバイス内の ISP 回路は、IEEE 規格 1532 仕様に準拠します。IEEE 規格 1532 とは、複数のベンダーからのデバイス間における同時 ISP を可能にする標準規格です。

**表 11: EPC デバイス用の JTAG 命令**

EPC デバイスにおける命令レジスタ長は 10 ビットであり、バウンダリスキャン長は 174 です。

JTAG 命令	OPCODE	説明
SAMPLE/ PRELOAD	00 0101 0101	通常のデバイス動作中における EPC デバイス・ピンの状態のスナップショットの取り込みおよび検査を可能にし、デバイス・ピンにおける初期データ・パターンの出力を許可する
EXTEST	00 0000 0000	出力ピンにおいてテスト・パターンを強制し、入力ピンにおいて結果を取り込むことによって、外部回路およびボード・レベルの相互接続をテストすることを可能にする
BYPASS	11 1111 1111	TDI ピンと TDO ピンの間に 1 ビットのバイパス・レジスタを配置することによって、BST データが通常のデバイス動作中に、選択されたデバイスを介して隣接するデバイスに同期的に通過する
IDCODE	00 0101 1001	デバイス IDCODE レジスタを選択し、TDI と TDO の間に配置することによって、デバイス IDCODE がシリアルに TDO にシフト・アウトされる。すべての EPC デバイスへのデバイス IDCODE は 0100A0DDh である。
USERCODE	00 0111 1001	USERCODE レジスタを選択し、TDI と TDO の間に配置することによって、USERCODE がシリアルに TDO にシフト・アウトされる。この 32 ビットの USERCODE は、プログラマブルのユーザー定義パターンである。

JTAG 命令	OPCODE	説明
INIT_CONF	00 0110 0001	この機能は、FPGA nCONFIG ピンに接続されている、nINIT_CONF ピンを low にパルスすることによって、FPGA のリコンフィギュレーション・プロセスを開始する。この命令が更新された後、nINIT_CONF ピンは、JTAG ステート・マシンが Run-Test あるいはアイドル状態に入る時に low にパルスされる。次に、JTAG ステート・マシンが Run-Test あるいはアイドル状態を脱出した後、nINIT_CONF ピンが解放され、nCONFIG ピンが抵抗によって high に引き上げられる。nCONFIG が high になった後、FPGA コンフィギュレーションが開始する。その結果、FPGA は ISP を通じて、フラッシュに格納される新しいコンフィギュレーション・データによりコンフィギュレーションされる。この機能は、Programmer オプション・ウインドー（オプション・メニュー）における Initiate configuration after programming オプションを有効にすることによって、Quartus II ソフトウェアでプログラミング・ファイル（.pof、.jam、および.jbc）に追加できる。
PENDCFG	00 0110 0101	このオプション機能を使用して、EPC デバイスの JTAG ベース ISP 中に、nINIT_CONF ピンを low に維持できる。この機能は、外部フラッシュ・インタフェースが外部 FPGA またはプロセッサによってコントロールされる場合に役立つ。この機能を通じて、コントローラおよび外部デバイス両方が同時にフラッシュにアクセスしようとする際に起きる、フラッシュ・ピンでの競合が防止される。EPC デバイスのコントローラがフラッシュ・メモリーにアクセスする前に、外部 FPGA またはプロセッサはフラッシュへのインタフェースをトライ・ステートにする必要がある。これは、nINIT_CONF ピンを使用して FPGA をリセットすることで確保できる。nINIT_CONF ピンの使用によって、nCONFIG ピンが駆動され、外部 FPGA またはプロセッサが「reset」状態に維持される。次に、JTAG 命令のコンフィギュレーション開始（INIT_CONF）が発行されると、nINIT_CONF ピンが解放される。

EPC デバイスでは、外部フラッシュ・インタフェースを使用して、サードパーティーのフラッシュ・プログラマまたはオンボード・プロセッサによってもプログラム可能です。プログラミング・ファイル（.pof）は、Quartus II の Convert Programming Files ユーティリティを通じて、プログラマまたはプロセッサ用に 16 進数（Intel フォーマット）ファイル（.hexout）に変換できます。

また、Quartus II ソフトウェアおよび該当するコンフィギュレーション・デバイスのプログラミング・アダプタを使用して、EPC デバイスをプログラムすることも可能です。

デバイス	パッケージ	アダプタ
EPC16	88 ピンの UFBGA	PLMUEPC-88
	100 ピンの PQFP	PLMQEPC-100
EPC8	100 ピンの PQFP	PLMQEPC-100
EPC4	100 ピンの PQFP	PLMQEPC-100

#### 関連情報

- [アルテラのエンハンスド・コンフィギュレーション・デバイス](#)  
プログラミング・ファイルの生成方法について、詳しい情報を提供します。
- [コンフィギュレーション・デバイスにおける BSDL ファイルのページ](#)  
EPC デバイスでの JTAG サポートについて、詳しい情報を提供します。

## IEEE 規格 1149.1 (JTAG) バウンダリ・スキャン

EPC デバイスでは、IEEE 規格 1149.1-1990 仕様に準拠した JTAG BST 回路を提供します。JTAG BST は、コンフィギュレーションの前または後には実行できますが、コンフィギュレーション中には実行できません。

図 6: JTAG タイミング波形

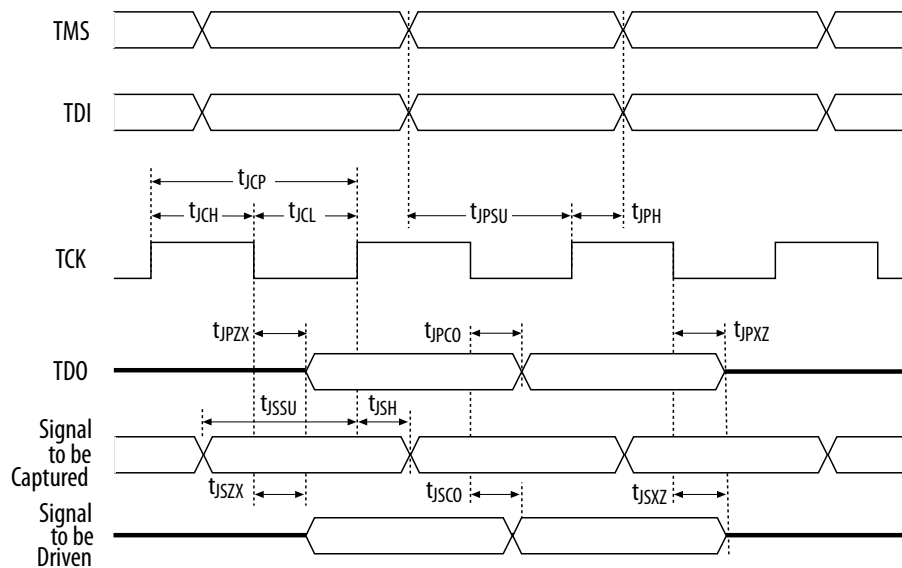


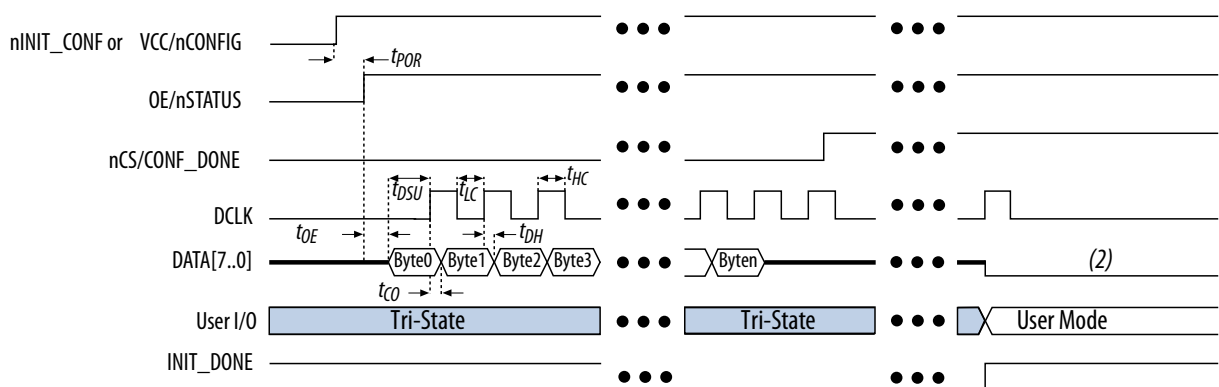
表 12: JTAG タイミングにおけるパラメータおよび値

シンボル	パラメータ	最小値	最大値	単位
$t_{JCP}$	TCK クロックの周期	100	—	ns

シンボル	パラメータ	最小値	最大値	単位
$t_{JCH}$	TCK クロックの High 時間	50	—	ns
$t_{JCL}$	TCK クロックの Low 時間	50	—	ns
$t_{JPSU}$	JTAG ポートのセットアップ時間	20	—	ns
$t_{JPH}$	JTAG ポートのホールド時間	45	—	ns
$t_{JPCO}$	JTAG ポートのクロック出力	—	25	ns
$t_{JPZX}$	JTAG ポートのハイ・インピーダンスから有効出力まで	—	25	ns
$t_{JPXZ}$	JTAG ポートの有効出力からハイ・インピーダンスまで	—	25	ns
$t_{JSSU}$	キャプチャ・レジスタのセットアップ・タイム	20	—	ns
$t_{JSH}$	キャプチャ・レジスタのホールド・タイム	45	—	ns
$t_{JSCO}$	アップデート・レジスタの Clock-to-Output 遅延	—	25	ns
$t_{JSZX}$	アップデート・レジスタのハイ・インピーダンスから有効出力まで	—	25	ns
$t_{JSXZ}$	アップデート・レジスタの有効出力からハイ・インピーダンスまで	—	25	ns

## タイミング情報

図 7: EPC デバイスの使用におけるコンフィギュレーション・タイミング波形



注意：

- (1) EPC デバイスはコンフィギュレーション後に  $\text{DCLK}$  を low に駆動します。
- (2) EPC デバイスはコンフィギュレーション後に  $\text{DATA}[]$  を high に駆動します。

表 13: EPC デバイス・コンフィギュレーションのタイミング・パラメータ

シンボル	パラメータ	条件	最小値	標準値	最大値	単位
$f_{DCLK}$	DCLK 周波数	40% デューティ・サイクル	—	—	66.7	MHz
$t_{DCLK}$	DCLK の周期	—	15	—	—	ns
$t_{HC}$	DCLK デューティ・サイクル high 時間	40% デューティ・サイクル	6	—	—	ns
$t_{LC}$	DCLK デューティ・サイクル low 時間	40% デューティ・サイクル	6	—	—	ns
$t_{CE}$	OE から最初の DCLK 遅延	—	40	—	—	ns
$t_{OE}$	OE から最初の DATA 利用可能	—	40	—	—	ns
$t_{OH}$	DCLK 立ち上がりエッジから DATA 変化	—	(6)	—	—	ns
$t_{CF}^{(7)}$	OE アサートから DCLK 無効遅延	—	277	—	—	ns
$t_{DF}^{(7)}$	OE アサートから DATA 無効遅延	—	277	—	—	ns
$t_{RE}^{(8)}$	DCLK 立ち上がりエッジから OE	—	60	—	—	ns
$t_{LOE}$	リセットを保証する OE アサート時間	—	60	—	—	ns
$f_{ECLK}^{(9)}$	EXCLK 入力周波数	40% デューティ・サイクル	—	—	100	MHz

## 動作条件

表 14: EPC デバイスの絶対最大定格

シンボル	パラメータ	条件	最小値	最大値	単位
$V_{CC}$	電源電圧	GND に対して	-0.2	4.6	V
$V_I$	DC 入力電圧	GND に対して	-0.5	3.6	V

(6)  $t_{OH}$  を計算するには、以下の方程式を使用します。  $t_{OH} = 0.5$  (DCLK 周期) - 2.5ns

(7) このパラメータは FPGA による CRC エラー検出に使用されます。

(8) このパラメータは EPC デバイスによる CONF\_DONE エラー検出に使用されます。

(9) FPGA VCCINT ランプ時間は、2ms の POR の場合は 1ms 未満で、100ms の POR の場合は 70ms 未満であるべきです。



シンボル	パラメータ	条件	最小値	最大値	単位
$I_{MAX}$	DC、VCC または グラウンド 電流	—	—	100	mA
$I_{OUT}$	ピンあたりの DC 出力電流	—	-25	25	mA
$P_D$	消費電力	—	—	360	mW
$T_{STG}$	保存温度	バイアスなし	-65	150	C
$T_{AMB}$	周囲温度	バイアス時	-65	135	C
$T_J$	ジャンクション温度	バイアス時	—	135	C

表 15: EPC デバイスの推奨動作条件

シンボル	パラメータ	条件	最小値	最大値	単位
$V_{CC}$	3.3V 動作の電源電圧	—	3	3.6	V
$V_I$	入力電圧	GND に対して	-0.3	$V_{CC} + 0.3$	V
$V_O$	出力電圧	—	0	VCC	V
$T_A$	動作温度範囲	一般用	0	70	C
		工業用	-40	85	C
		軍用 <sup>(10)</sup>	-55	125	C
$T_R$	入力立ち上がり時間	—	—	20	ns
$T_F$	入力立ち下がり時間	—	—	20	ns

表 16: EPC デバイスの DC 動作条件

シンボル	パラメータ	条件	最小値	標準値	最大値	単位
$V_{CC}$	コアへの供給電圧	—	3	3.3	3.6	V
$V_{IH}$	High レベル入力電圧	—	2	—	$V_{CC} + 0.3$	V
$V_{IL}$	Low レベル入力電圧	—	—	—	0.8	V
$V_{OH}$	3.3V モード High レベル TTL 出力電圧	$I_{OH} = -4 \text{ mA}$	2.4	—	—	V
	3.3V モード High レベル CMOS 出力電圧	$I_{OH} = -0.1 \text{ mA}$	$V_{CC} - 0.2$	—	—	V
$V_{OL}$	Low レベル出力電圧 TTL	$I_{OL} = -4 \text{ mA DC}$	—	—	0.45	V
	Low レベル出力電圧 CMOS	$I_{OL} = -0.1 \text{ mA DC}$	—	—	0.2	V

<sup>(10)</sup> EPC16 デバイスの UBGA88 パッケージでのみ適用されます。

シンボル	パラメータ	条件	最小値	標準値	最大値	単位
$I_I$	入力リーク電流	$V_I = V_{CC}$ またはグランド	-10	—	10	$\mu A$
$I_{OZ}$	トライ・ステート出力オフ状態電流	$V_O = V_{CC}$ またはグランド	-10	—	10	$\mu A$

表 17: EPC デバイスの ICC 供給電流値

シンボル	パラメータ	条件	最小値	標準値	最大値	単位
$I_{CC0}$	電流 (スタンバイ)	—	—	50	150	$\mu A$
$I_{CC1}$	VCC 供給電流 (コンフィギュレーション時)	—	—	60	90	mA
$I_{CCW}$	VCCW 供給電流	—	—	(11)	(11)	—

表 18: EPC デバイスのキャパシタンス

シンボル	パラメータ	条件	最小値	最大値	単位
CIN	入力ピン・キャパシタンス	—	—	10	pF
COUT	出力ピン・キャパシタンス	—	—	10	pF

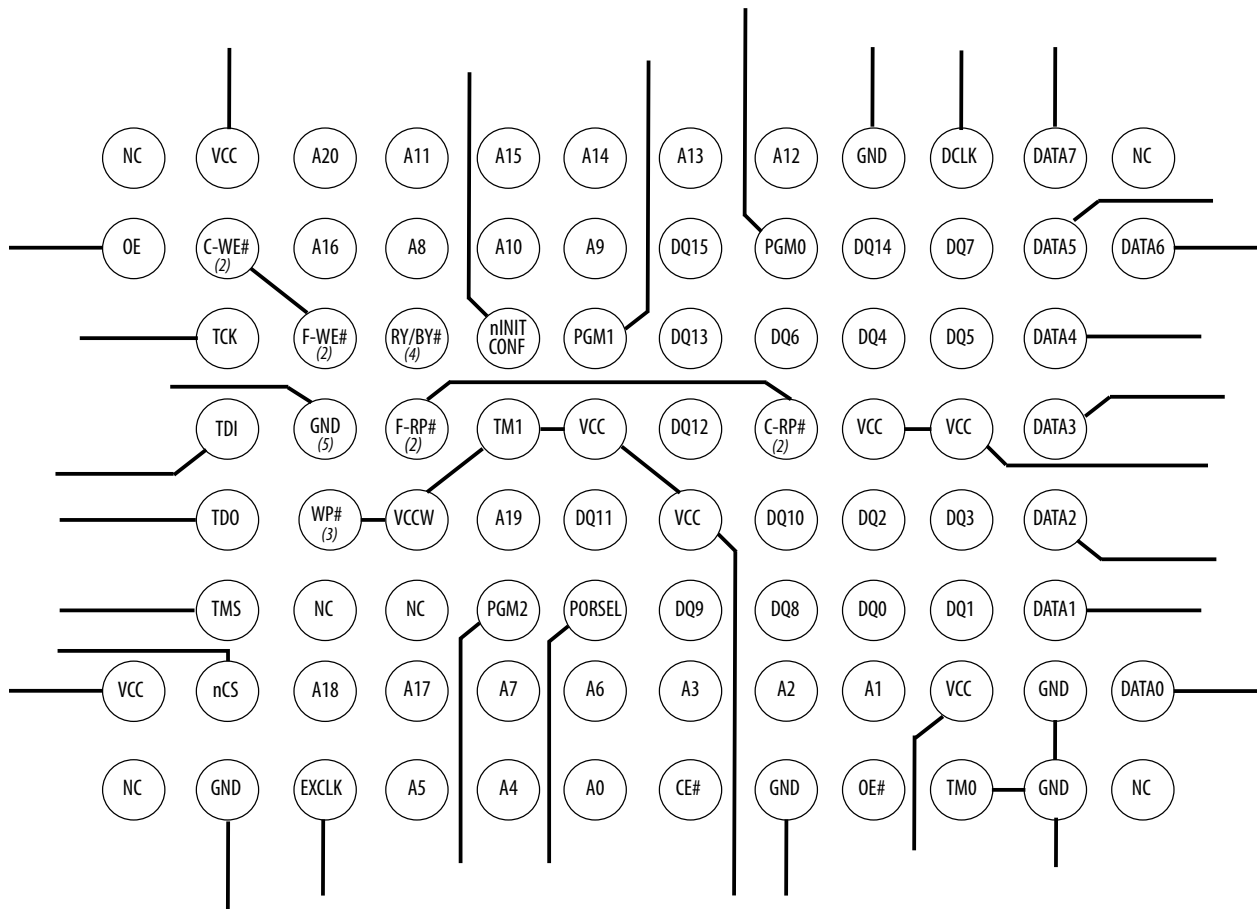
## パッケージ

EPC16 デバイスは、88 ピンの UFBGA パッケージと 100 ピンの PQFP パッケージ両方で提供しています。ボール・ピッチ 0.8mm の UFBGA パッケージは、ボード・スペースの効率を最大化します。ボードは、単一の PCB レイヤを使用してこのパッケージ用にレイアウトすることができます。EPC8 および EPC4 デバイスは、100 ピンの PQFP パッケージで提供しています。EPC デバイスの 100 ピン PQFP パッケージでは、垂直移行をサポートします。

以下の図では、88 ピンの UFBGA パッケージ用の PCB ルーティングを示します。このレイアウトのガーバーファイルは、アルテラのホームページに掲載しています。

<sup>(11)</sup> VCCW 供給電流の情報については、[www.altera.com](http://www.altera.com) で該当するフラッシュ・メモリー・データシートを参照してください。

図 8: 88 ピンの UFBGA パッケージ用の PCB ルーティング



注意：

- (1) 外部フラッシュ・インタフェース機能を使用しない場合、フラッシュ・ピンはコントローラ・ユニットに内部で接続されるため、未接続のままにすべきです。外部接続が必要なピンは、WP#、WE#、およびRP#ピンのみです。フラッシュが外部メモリー・ソースとして使用される場合、フラッシュ・ピンはピン説明の項での記述どおり接続されるべきです。
- (2) F-RP#およびF-WE#ピンはフラッシュ・ダイのピンです。C-RP#およびC-WE#はコントローラ・ダイのピンです。C-WE#とF-WE#は、PCB上で互いに接続されるべきです。また、F-RP#とC-RP#もPCB上で互いに接続されるべきです。
- (3) フラッシュ・ボトム・ブート・ブロックをプログラムするには、WP#（書き込み保護ピン）がhighレベル（3.3V）に接続されるべきです。これはQuartus IIソフトウェアを使用してデバイスをプログラムする場合に必要です。
- (4) RY/BY#ピンは、Sharpフラッシュ・ベースのEPCデバイスでのみ利用可能です。
- (5) ピンD3はIntelフラッシュ・ベースのEPC16用のNCピンです。

関連情報

- [パッケージと熱抵抗のページ](#)  
パッケージの形状と図面について、詳しい情報を提供します。
- [コンフィギュレーション・デバイスのピンアウト・ファイル](#)

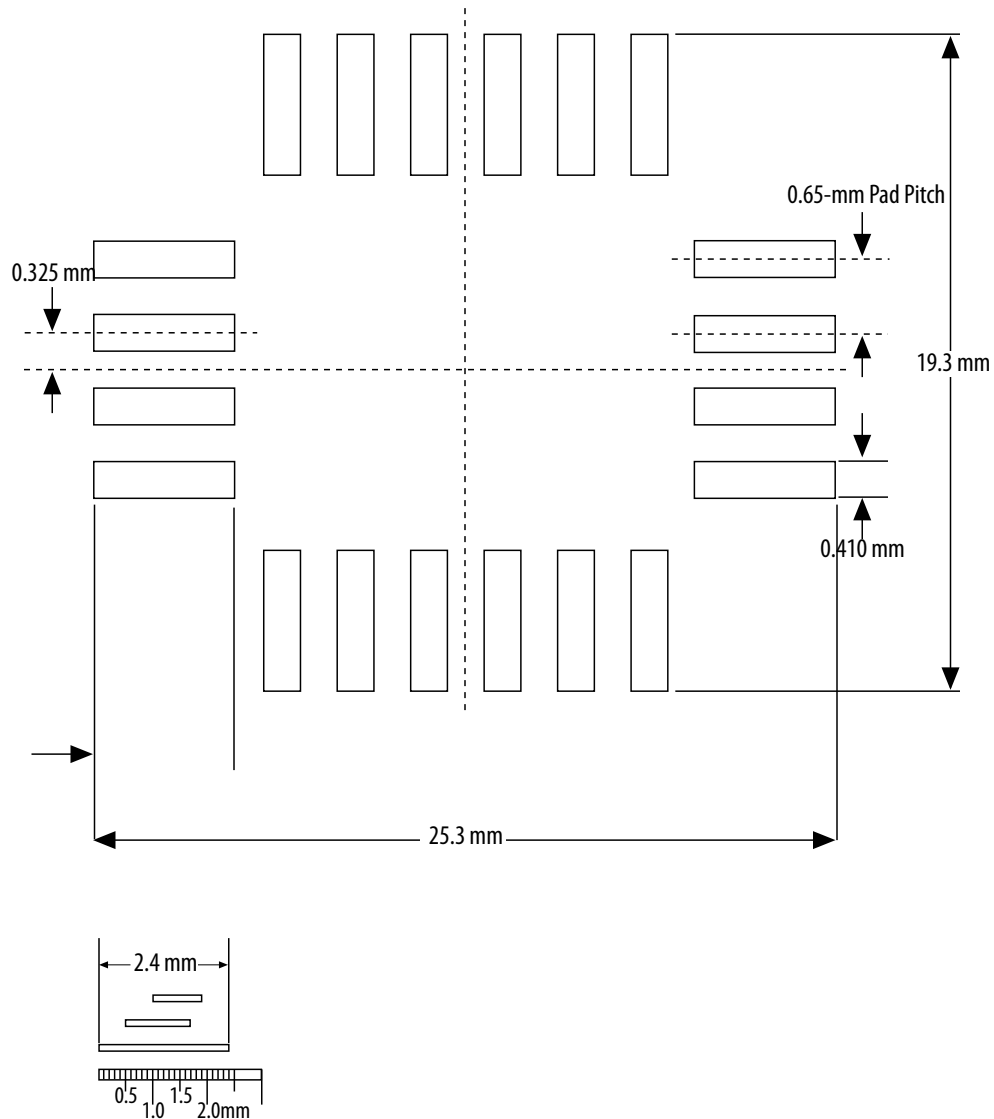
パッケージ・レイアウトの推奨事項

100 ピン PQFP パッケージを備える Sharp フラッシュ・ベースの EPC16 および EPC8 デバイスは、他のアルテラ 100 ピン PQFP デバイス (Micron フラッシュ・ベースの EPC4 と Intel フラッシュ・ベースの EPC16、EPC8、および EPC4 を含む) とはパッケージ寸法が異なります。以下の図で

は、すべてのデバイス間での垂直移行を可能にする EPC デバイス用 100 ピン PQFP の PCB フットプリント仕様を示します。これらのフットプリント寸法は、ベンダ供給のパッケージ外形図に基づいたものです。

図 9: EPC デバイスにおける 100 ピン PQFP パッケージ用 PCB フットプリント仕様

- 正面および背面の公称フット長より 0.5mm 増加を使用します。
- 最大フット幅に 0.3mm 増加を使用します。



## 改訂履歴

日付	バージョン	変更内容
2016年5月	2016.05.04	APUのサポートを削除。
2012年1月	3.0	本文の若干の修正。
2011年6月	2.9	表 1-3 と表 1-16 を更新。
2009年12月	2.8	表 1-1 表 1-2 を追加。表 1-17 と表 1-18 を更新。「参照文書」の項を削除。
2008年10月	2.7	表 2-1、表 2-7、および表 2-8 を更新。図 2-2、図 2-3、および図 2-4 を更新。「JTAG ベースのプログラミング」の項を更新。「Intel フラッシュ・ベースの EPC デバイスにおける保護」の項を追加。新しい文書のフォーマットを更新。
2008年5月	2.6	本文とスタイルの若干の変更。「参照文書」の項を追加。
2008年2月	2.5	EPC16UI88AA の情報を表 2-18 に更新。
2007年5月	2.4	「Intel フラッシュ・ベースの EPC デバイスにおける保護」の項を追加。
2007年4月	2.3	改訂履歴を追加。
2005年10月	2.2	内容に変更を加える。
2004年7月	2.0	章全体を通して、Stratix II および Cyclone II デバイス情報を追加。図 2-2、図 2-3、および図 2-4 で VCCW 接続を更新。図 2-2、図 2-3、および図 2-4 の（注 2）を更新。表 2-12 の（注 4）を更新。表 2-16 で ICC0 の単位を更新。表 2-16 に ICCW を追加。
2003年9月	1.0	初版