

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

CF51001-2.1

はじめに

Stratix[®] シリーズ、Cyclone[™] シリーズ、APEX[™] II、APEX 20K (APEX 20KE および APEX 20KC を含む)、Mercury[™]、ACEX[®] 1K、FLEX[®] 10K (FLEX 10KE および FLEX 10KA を含む)、および FLEX 6000 デバイスは、7つのコンフィギュレーション手法の中から各デバイスがサポートする手法を使用してコンフィギュレーションできます。表 1-1 に、各デバイス・ファミリがサポートするコンフィギュレーション手法の一覧を示します。

表 1-1. コンフィギュレーション手法の一覧

コンフィギュレーション手法	デバイス・ファミリ									
	Stratix II	Stratix、Stratix GX	Cyclone II	Cyclone	APEX II	APEX 20K、APEX 20KE、APEX 20KC	Mercury	ACEX 1K	FLEX 10K、FLEX 10KE、FLEX 10KA	FLEX 6000
パッシブ・シリアル (PS)	√	√	√	√	√	√	√	√	√	√
アクティブ・シリアル (AS)	√		√	√						
ファースト・パッシブ・パラレル (FPP)	√	√			√					
パッシブ・パラレル同期 (PPS)						√	√	√	√	
パッシブ・パラレル非同期 (PPA)	√	√			√	√	√	√	√	
パッシブ・シリアル非同期 (PSA)										√
JTAG (Joint TestAction Group)	√	√	√	√	√	√	√	√	√	(1)

表 1-1 の注：

- (1) FLEX 6000 デバイスは JTAG ピンによるコンフィギュレーションは行うことができませんが、JTAG バウンダリ・スキャン・テストは実行できます。

すべてのコンフィギュレーション手法は、インテリジェント・ホストまたはコンフィギュレーション・デバイスを使用します (表 1-2 を参照)。

表 1-2. コンフィギュレーション手法	
コンフィギュレーション手法	一般的な使用
パッシブ・シリアル (PS)	エンハンスド・コンフィギュレーション・デバイス (EPC16、EPC8、および EPC4)、EPC2、EPC1、EPC1441 コンフィギュレーション・デバイス、シリアル同期マイクロプロセッサ・インタフェース、USB Blaster USB Port ダウンロード・ケーブル、MasterBlaster™ 通信ケーブル、ByteBlaster™II パラレル・ダウンロード・ケーブルまたは ByteBlasterMV™ パラレル・ポート・ダウンロード・ケーブルを使用したコンフィギュレーション。
アクティブ・シリアル (AS)	シリアル・コンフィギュレーション・デバイス (EPCS1 および EPCS4) を使用したコンフィギュレーション。
パッシブ・パラレル同期 (PPS)	パラレル同期マイクロプロセッサ・インタフェースを使用したコンフィギュレーション。
ファースト・パッシブ・パラレル (FPP)	エンハンスド・コンフィギュレーション・デバイスまたは各クロック・サイクルで 8 ビットのコンフィギュレーション・データがロードされるパラレル同期マイクロプロセッサ・インタフェースを使用したコンフィギュレーション。PPS より 8 倍高速。
パッシブ・パラレル非同期 (PPA)	パラレル非同期マイクロプロセッサ・インタフェースを使用したコンフィギュレーション。この手法では、マイクロプロセッサはターゲット・デバイスをメモリとして扱います。
パッシブ・シリアル非同期 (PSA)	シリアル非同期マイクロプロセッサ・インタフェースとのコンフィギュレーション。
JTAG (Joint Test Action Group)	IEEE Std. 1149.1 (JTAG) ピンを介したコンフィギュレーション。(1)

以降の章では、Stratix シリーズ、Cyclone シリーズ、APEX II、APEX 20K (APEX 20KE および APEX 20KC を含む)、Mercury、ACEX 1K、FLEX 10K (FLEX 10KE および FLEX 10KA を含む)、および FLEX 6000 デバイスのコンフィギュレーション方法について説明しています。以下の資料と併用してご利用ください。

- Stratix II デバイス・ハンドブック
- Stratix デバイス・ハンドブック
- Stratix GX FPGA ファミリー・データシート
- Cyclone II デバイス・ハンドブック
- Cyclone デバイス・ハンドブック
- APEX II プログラマブル・ロジック・デバイス・データシート
- APEX 20K プログラマブル・ロジック・デバイス・ファミリ・データシート
- APEX 20KC プログラマブル・ロジック・デバイス・データシート

- Mercury プログラマブル・ロジック・デバイス・ファミリ・データシート
- ACEX 1K プログラマブル・ロジック・デバイス・ファミリ・データシート
- FLEX 10K エンベデッド・プログラマブル・ロジック・ファミリ・データシート
- FLEX 10KE エンベデッド・プログラマブル・ロジック・ファミリ・データシート
- FLEX 6000 プログラマブル・ロジック・デバイス

Volume 1 ではアルテラ FPGA のコンフィギュレーション方法を説明しており、各章はそれぞれ異なるデバイス・ファミリを対象としています。各サブセクションは、以下のコンフィギュレーション方法を説明しています。

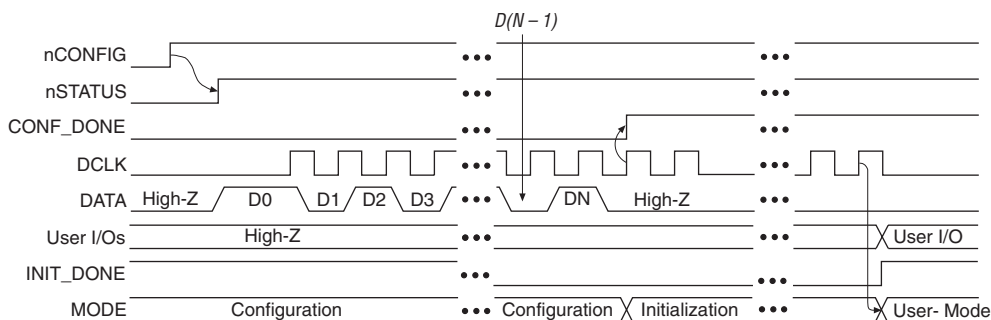
- PS コンフィギュレーション
 - コンフィギュレーション・デバイスの使用
 - マイクロプロセッサの使用
 - ダウンロード・ケーブルの使用
- AS コンフィギュレーション (Stratix II FPGA および Cyclone シリーズのみ)
- FPP コンフィギュレーション (Stratix シリーズおよび APEX II デバイスのみ)
 - エンハンスト・コンフィギュレーション・デバイスの使用
 - マイクロプロセッサの使用
- PPS コンフィギュレーション (APEX 20K、Mercury、ACEX 1K、および FLEX 10K デバイスのみ)
- PPA コンフィギュレーション (Stratix シリーズ、APEX II、APEX 20K、Mercury、ACEX 1K、および FLEX 10K デバイスのみ)
- PSA コンフィギュレーション (FLEX 6000 デバイスのみ)
- JTAG プログラミングおよびコンフィギュレーション (Stratix シリーズ、Cyclone シリーズ、APEX II、APEX 20K、Mercury、ACEX 1K、および FLEX 10K デバイスのみ)

Volume 2 には、このハンドブックで記述されているすべてのアルテラ FPGA に関連する情報が掲載されています。コンフィギュレーション・デバイスおよび同じコンフィギュレーション・チェーン上での異なるアルテラ・デバイス・ファミリの組み合わせに関する情報も Volume 2 に掲載されています。

パッシブ手法 でのデバイス・ コンフィギュ レーションの 概要

デバイスの動作中、アルテラ FPGA は SRAM セルにコンフィギュレーション・データを格納します。SRAM メモリは揮発性のため、デバイスに電源を投入するたびにコンフィギュレーション・データを SRAM セルにロードする必要があります。デバイスのコンフィギュレーション後、レジスタと I/O ピンは初期化されます。初期化後、デバイスはイン・システム動作のためにユーザ・モードに入ります。図 1-1 に、コンフィギュレーション中、初期化中、およびユーザ・モード中のコンフィギュレーション・ピンの波形を示します。

図 1-1. コンフィギュレーション・サイクル波形



FPGA の nCONFIG に Low から High の遷移があると、コンフィギュレーション・サイクルが開始されます。コンフィギュレーション・サイクルは、リセット、コンフィギュレーション、およびイニシャライズの 3 つのステージで構成されています。nCONFIG が Low のとき、デバイスはリセット状態になっています。デバイスがリセット状態を解除されたときに、デバイスにオープン・ドレインの nSTATUS ピンを解放させるには、nCONFIG をロジック High レベルにする必要があります。nSTATUS は解放されると、プルアップ抵抗で High にプルされ、FPGA はコンフィギュレーション・データを受信できる状態になります。すべてのユーザ I/O ピンは、コンフィギュレーションの実行前および実行中にトライ・ステートとなります。Stratix シリーズ、Cyclone シリーズ、APEX II、APEX 20K、Mercury、ACEX 1K、および FLEX 10KE デバイスは、コンフィギュレーションの実行前および実行中の I/O ピンにウィーク・プルアップ抵抗があります。

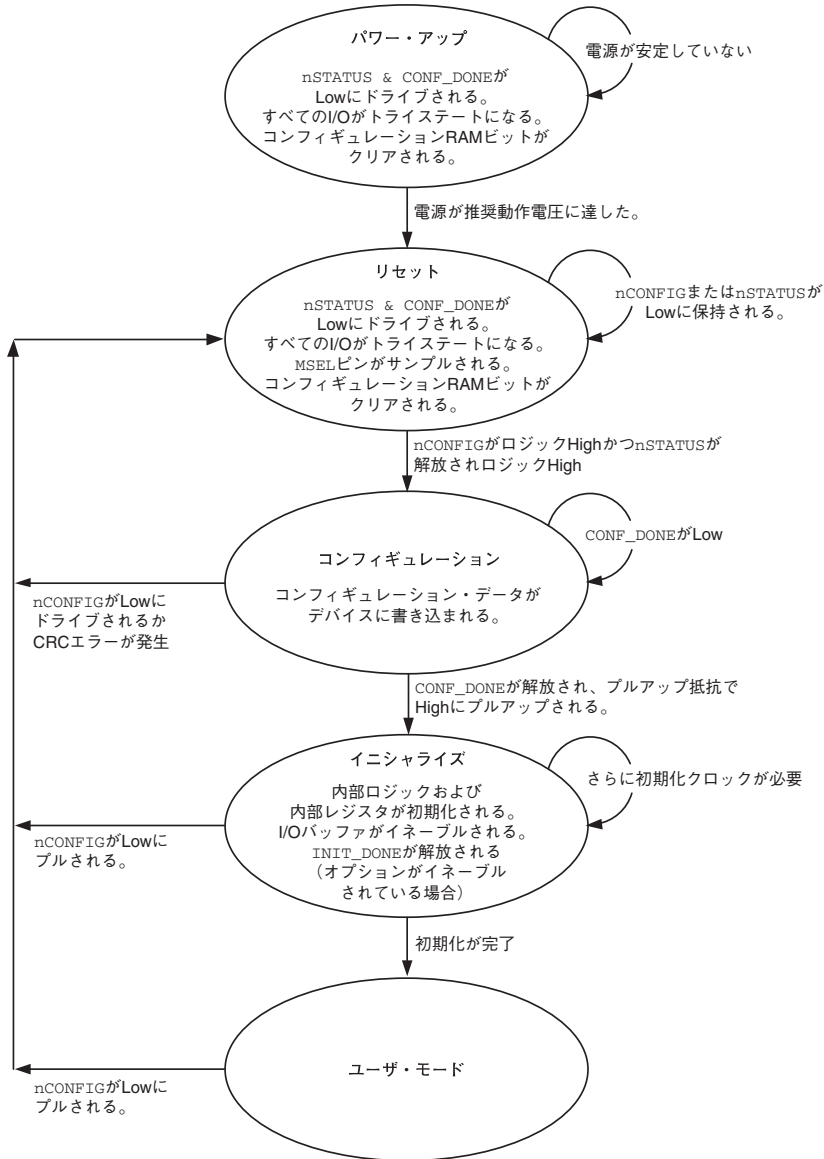
コンフィギュレーション・ステージを開始するには、nCONFIG および nSTATUS がロジック High レベルでなければなりません。デバイスは DATA ピンを通してコンフィギュレーション・データを、(同期コンフィギュレーション方式の場合) DCLK ピンを通してクロック・ソースを受信します。コンフィギュレーション・データは、DCLK の立ち上がりエッジで FPGA にラッチされます。FPGA はすべてのコンフィギュレーション・データを正常に受信すると、CONF_DONE ピンを解放し、このピンはプルアップ抵抗で High にプルアップされます。CONF_DONE の Low から High への遷移は、コンフィギュレーションが完了し、デバイスの初期化を開始できることを示します。

オプションの INIT_DONE ピンを使用すると、初期化の終了とユーザ・モードの開始が示されます。初期化中には、内部ロジック、内部レジスタ、および I/O レジスタが初期化され、I/O バッファがイネーブルされます。初期化が完了すると、INIT_DONE ピンが解放され、外部プルアップ抵抗で High にプルされます。ユーザ・モードになると、ユーザ I/O ピンのウィーク・プルアップ抵抗がなくなり、ユーザのデザインで割り当てられたとおり機能します。DCLK、DATA (FLEX 6000)、および DATA0 (Stratix シリーズ、Cyclone シリーズ、APEX II、APEX 20K、Mercury、ACEX 1K、および FLEX 10KE) ピンは、コンフィギュレーション後にフロート状態のままにしてはなりません。これらのピンは、High または Low のいずれかボード上で都合の良いレベルにドライブする必要があります。

nCONFIG ピンを High から Low に切り替えてから High に戻すと、リコンフィギュレーションが開始されます。nCONFIG を Low にプルすると、nSTATUS と CONF_DONE も Low にプルされ、すべての I/O ピンがトライステートになります。nCONFIG および nSTATUS がロジック High レベルに戻ると、コンフィギュレーションが開始されます。

図 1-2 に、コンフィギュレーション・プロセスのシンプルな状態図を示します。

図 1-2. コンフィギュレーション・サイクル・ステート・マシン



コンフィギュレーション手法の選択

アルテラ・デバイスのコンフィギュレーション・データは、アクティブ、パッシブ、または JTAG コンフィギュレーション手法を使用してロードできます。シリアル・コンフィギュレーション・デバイスでアクティブ・コンフィギュレーション手法を使用すると、ターゲット FPGA はコントロールおよび同期化信号を生成します。両方のデバイスがコンフィギュレーションを開始できる状態になると、シリアル・コンフィギュレーション・デバイスが FPGA にデータを送ります。

パッシブ・コンフィギュレーション手法を使用するとき、アルテラ・デバイスは、アルテラのコンフィギュレーション・デバイスまたはコンフィギュレーション・プロセスを制御するマイクロプロセッサなどのインテリジェント・ホストによってシステムに組み込まれます。コンフィギュレーション・デバイスまたはホストは、ストレージ・デバイス（コンフィギュレーション・デバイス、ハード・ディスク、RAM、またはシステム・メモリ）からコンフィギュレーション・データを供給します。パッシブ・コンフィギュレーションを使用すると、システムの動作中にターゲット・デバイスをリコンフィギュレーションすることによって、ターゲット・デバイスの機能を変更できます。

アルテラ・デバイスは多数のコンフィギュレーション手法をサポートしています。すべてのデバイスがすべてのコンフィギュレーション手法をサポートしているわけではありません。表 1-1 および個々のデバイス・ファミリの項を参照して、ターゲット・デバイス・ファミリが希望のコンフィギュレーション手法をサポートするかどうか確認してください。システムに対する適切なコンフィギュレーション手法が決まったら、FPGA の専用モード・セレクト・コントロール・ピン MSEL をドライブして、コンフィギュレーション・モードを設定する必要があります。



ターゲット・デバイスに対して MSEL ピンを設定する方法について詳しくは、該当するデバイス・ファミリの章を参照してください。

次は、各コンフィギュレーション手法の簡単な説明です。詳しくは、該当する項を参照してください。

パッシブ・シリアル・コンフィギュレーション

PS コンフィギュレーション手法は、Stratix シリーズ、Cyclone シリーズ、APEX II、APEX 20K、Mercury、ACEX 1K、FLEX 10K、および FLEX 6000 デバイス・ファミリでサポートされています。PS コンフィギュレーションは、アルテラのダウンロード・ケーブル、アルテラのエンハンスド・コンフィギュレーション・デバイスまたはコンフィギュレーション・デバイス、あるいはマイクロプロセッサなどのインテリジェント・ホストを使用して実行できます。PS コンフィギュレーション中に、コンフィギュレーション・データは、コンフィギュレーション・デバイスやフラッシュ・メモリから DATA (FLEX 6000) または DATA0 (Stratix シリーズ、Cyclone シリーズ、APEX II、APEX 20K、Mercury、ACEX 1K、および FLEX 10K) ピンを通して FPGA に転送されます。このコンフィギュレーション・データは、DCLK の立ち上がりエッジで FPGA にラッチされます。コンフィギュレーション・データは、1 クロック・サイクルごとに 1 ビットずつ転送されます。

アクティブ・シリアル・コンフィギュレーション

AS コンフィギュレーション手法は、Stratix II および Cyclone シリーズ・デバイス・ファミリでサポートされています。AS コンフィギュレーションは、アルテラのシリアル・コンフィギュレーション・デバイスを使用して行うことができます。AS コンフィギュレーションの実行中、Stratix II または Cyclone シリーズ・デバイスはマスタ、コンフィギュレーション・デバイスはスレーブとなります。コンフィギュレーション・データは、DATA0 ピンを通して FPGA に転送されます。このコンフィギュレーション・データは、DCLK 入力に同期しています。コンフィギュレーション・データは、1 クロック・サイクルごとに 1 ビットずつ転送されます。

パッシブ・パラレル同期コンフィギュレーション

PPS コンフィギュレーション手法は、APEX 20K、Mercury、ACEX 1K および FLEX 10K デバイス・ファミリでサポートされています。PPS コンフィギュレーションは、マイクロプロセッサなどのインテリジェント・ホストを使用して実行できます。PPS コンフィギュレーション中に、コンフィギュレーション・データは、フラッシュ・メモリなどのストレージ・デバイスから DATA[7..0] ピンを通して FPGA に転送されます。このコンフィギュレーション・データは、DCLK 入力に同期しています。DCLK の最初の立ち上がりエッジで、コンフィギュレーション・データの 1 バイトが FPGA にラッチされます。FPGA のデータを内部で直列化するために、DCLK の次の 8 つの立ち下がりエッジが必要です。

ファースト・パッシブ・パラレル・コンフィギュレーション

FPP コンフィギュレーション手法は、Stratix シリーズおよび APEX II デバイス・ファミリでサポートされています。FPP コンフィギュレーションは、アルテラのエンハンスド・コンフィギュレーション・デバイス、またはマイクロプロセッサなどのインテリジェント・ホストを使用して実行できます。FPP コンフィギュレーション中に、コンフィギュレーション・データは、エンハンスド・コンフィギュレーション・デバイスやフラッシュ・メモリなどのストレージ・デバイスから DATA[7..0] ピンを通して FPGA に転送されます。このコンフィギュレーション・データは、DCLK の立ち上がりエッジで FPGA にラッチされます。コンフィギュレーション・データは、1 クロック・サイクルごとに 1 バイトずつ転送されます。

パッシブ・パラレル非同期コンフィギュレーション

PPA コンフィギュレーション手法は、Stratix シリーズ、APEX II、APEX 20K、Mercury、ACEX 1K および FLEX 10K デバイス・ファミリでサポートされています。PPA コンフィギュレーションは、マイクロプロセッサなどのインテリジェント・ホストを使用して実行できます。PPA コンフィギュレーション中に、コンフィギュレーション・データは、コンフィギュレーション・デバイスやフラッシュ・メモリなどのストレージ・デバイスから DATA[7..0] ピンを通して FPGA に転送されます。このコンフィギュレーション手法は非同期なので、コントロール信号を使用してコンフィギュレーション・サイクルを調整します。

パッシブ・シリアル非同期コンフィギュレーション

PSA コンフィギュレーション手法は、FLEX 6000 デバイス・ファミリでサポートされています。PSA コンフィギュレーションは、マイクロプロセッサなどのインテリジェント・ホストを使用して実行できます。PSA コンフィギュレーション中に、コンフィギュレーション・データは、コンフィギュレーション・デバイスやフラッシュ・メモリなどのストレージ・デバイスから DATA ピンを通して FPGA に転送されます。このコンフィギュレーション手法は非同期なので、コントロール信号を使用してコンフィギュレーション・サイクルを調整します。

JTAG コンフィギュレーション

JTAG コンフィギュレーション手法は、Stratix シリーズ、Cyclone シリーズ、APEX II、APEX 20K、Mercury、ACEX 1K、および FLEX 10K デバイス・ファミリでサポートされています。JTAG コンフィギュレーションは、IEEE Std 1149.1 JTAG インタフェース・ピンを使用し、JAM STAPL 標準規格をサポートします。JTAG コンフィギュレーションは、アルテラのダウンロード・ケーブルまたはマイクロプロセッサなどのインテリジェント・ホストを使用して実行できます。