



Arria[®] 10 デバイスの概要

目次

1 Arria 10 デバイスの概要.....	3
1.1 Arria 10 デバイスの大きな強み.....	4
1.2 Arria 10 の機能についての概要.....	4
1.3 Arria 10 デバイスのバリエーションおよびパッケージ.....	7
1.3.1 Arria 10 GX	7
1.3.2 Arria 10 GT	11
1.3.3 Arria 10 SX	14
1.4 Arria 10 デバイスの I/O バリエーション.....	17
1.4.1 Arria 10 と Stratix 10 デバイスとの間の移行.....	17
1.5 アダプティブ・ロジック・モジュール.....	17
1.6 可変精度 DSP ブロック.....	18
1.7 エンベデッド・メモリー・ブロック.....	20
1.7.1 エンベデッド・メモリーのタイプ.....	21
1.7.2 Arria 10 デバイスのエンベデッド・メモリー容量.....	21
1.7.3 シングルポート・モード向けのエンベデッド・メモリー・コンフィグレーション.....	22
1.8 クロック・ネットワークと PLL クロックソース.....	22
1.8.1 フラクショナル合成 PLL と I/O PLL.....	22
1.9 FPGA 汎用 I/O.....	23
1.10 外部メモリー・インターフェイス.....	24
1.10.1 Arria 10 デバイスでサポートされるメモリー規格.....	24
1.11 PCIe Gen1、Gen2 と Gen3 ハード IP.....	26
1.12 Interlaken ならびに 10 Gbps イーサネット向けエンハンスド PCS ハード IP.....	26
1.12.1 Interlaken のサポート.....	26
1.12.2 1G/10 Gbps イーサネットのサポート.....	26
1.13 低消費電力シリアル・トランシーバー.....	27
1.13.1 トランシーバー・チャンネル.....	28
1.13.2 PMA の機能.....	29
1.13.3 PCS の機能.....	30
1.14 ハード・プロセッサ・システムを備える SoC.....	32
1.14.1 20nm HPS の大きな強み.....	33
1.14.2 HPS の機能.....	35
1.14.3 FPGA のコンフィグレーションとプロセッサのブート.....	37
1.14.4 ハードウェアおよびソフトウェア開発.....	37
1.15 ダイナミックおよびパーシャル・リコンフィグレーション.....	37
1.15.1 ダイナミック・リコンフィグレーション.....	37
1.15.2 パーシャル・リコンフィグレーション.....	38
1.16 エンハンスド・コンフィグレーションとプロトコル経由のコンフィグレーション.....	38
1.17 SEU エラーの検出と修正.....	39
1.18 消費電力マネジメント.....	39
1.19 インクリメンタル・コンパイル.....	40
1.20 改訂履歴.....	40



1 Arria 10 デバイスの概要

Arria 10 デバイスファミリーは、高性能で高電力効率の 20nm ミッドレンジ FPGA と SoC で構成されています。

Arria 10 デバイスファミリーのデバイスは、

- 前世代のミッドレンジおよびハイエンド FPGA を上回る性能
- 包括的な省電力テクノロジーにより優れた電力効率を達成

Arria 10 デバイスは高性能で消費電力にセンシティブなミッドレンジ・アプリケーションの幅広いマーケットに最適です。

表 1. Arria 10 デバイスのマーケットの一例と推奨アプリケーション

マーケット	アプリケーション
ワイヤレス	<ul style="list-style-type: none"> • リモート無線ヘッドのチャネルカードとスイッチカード • モバイル・バックホール
ワイヤライン	<ul style="list-style-type: none"> • 40G/100G のマックスポンダーとトランスポンダー • 100G ラインカード • ブリッジ • アグリゲーション
放送機器	<ul style="list-style-type: none"> • スタジオ・スイッチャー • サーバーとトランスポート • ビデオ会議 • 業務用の音響と画像
コンピューティングとストレージ	<ul style="list-style-type: none"> • フラッシュキャッシュ • クラウド・コンピューティング・サーバー • サーバーの高速化
医療機器	<ul style="list-style-type: none"> • 診断用スキャナー • 画像診断
防衛機器	<ul style="list-style-type: none"> • ミサイル誘導制御 • レーダー • 電子戦 • 通信保護

関連情報

Arria 10 デバイス・ハンドブック: 既知の問題

Arria 10 デバイス・ハンドブックの章で予定されている更新をリストしています。

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2008
登録済

1.1 Arria 10 デバイスの大きな強み

表 2. Arria 10 デバイスファミリーの大きな強み

強み	サポートしている機能
強化されたコア・アーキテクチャー	<ul style="list-style-type: none"> TSMC の 20nm プロセス・テクノロジーにより構築 前世代のミッドレンジ FPGA を 60% 上回る性能 前世代で最速の FPGA を 15% 上回る性能
高帯域幅の内臓トランシーバー	<ul style="list-style-type: none"> 最大 25.8 ギガビット毎秒 (Gbps) の短距離レート 最大 17.4 Gbps のバックプレーン容量 10GBASE-KR と 40GBASE-KR4 の順方向誤り訂正 (FEC) を内蔵
ロジック集積とハード IP ブロックの向上	<ul style="list-style-type: none"> 8 入力アダプティブ・ロジック・モジュール (ALM) 最大 65.6 メガビット (Mb) のエンベデッド・メモリー 可変精度デジタル信号処理 (DSP) ブロック フラクショナル合成フェーズロック・ループ (PLL) ハード PCI Express Gen3 IP ブロック 最高毎秒 2,666 メガビット (Mbps) のハードメモリー・コントローラーと PHY
ARM® Cortex™-A9 MPCore プロセッサを内蔵した次世代ハード・プロセッサ・システム (HPS)	<ul style="list-style-type: none"> 1 つの Arria 10 システム・オン・チップ (SoC) で密接に結合されたデュアルコア ARM Cortex-A9 MPCore プロセッサ、ハード IP と FPGA プロセッサと FPGA ファブリック間で、128 Gbps を超えるピーク帯域幅と統一されたデータ・コヒーレンシーをサポート
高度な省電力化	<ul style="list-style-type: none"> 高度な省電力機能の包括的なセット MultiTrack 配線とコア・アーキテクチャーの消費電力を最適化 前世代のミッドレンジ FPGA と比較して最大で 40% 低い消費電力 前世代のハイエンド FPGA と比較して最大で 60% 低い消費電力

1.2 Arria 10 の機能についての概要

表 3. Arria 10 デバイスの機能についての概要

機能	概要
テクノロジー	<ul style="list-style-type: none"> TSMC による 20 nm SoC プロセス・テクノロジー 0.9 V の標準 V_{CC} コア電圧ではなく 0.83 V の低 V_{CC} レベルでの動作を実現
パッケージ	<ul style="list-style-type: none"> ボール間隔 1.0 mm の Fineline BGA パッケージ ボール間隔 0.8 mm の Ultra Fineline BGA パッケージ 同一のパッケージ・フットプリントを有する多数のデバイスによる、さまざまな集積度の FPGA 間でのシームレスな移行 次世代のハイエンド Stratix® 10 デバイスへの移行を可能にする、デバイスのパッケージ・フットプリント互換性 RoHS 指令、有鉛⁽¹⁾および、鉛フリー (Pb-free) のオプション
高性能 FPGA ファブリック	<ul style="list-style-type: none"> 4 つのレジスターを備えたエンハンスト 8 入力 ALM 輻射を低減し、コンパイル時間を向上させるために改良された MultiTrack 配線アーキテクチャー 階層コア・クロック・アーキテクチャー きめ細かなパーシャル・リコンフィグレーション
内部メモリーブロック	<ul style="list-style-type: none"> M20K—ハード誤り訂正コード (ECC) を備える 20Kb メモリー・ブロック メモリー・ロジック・アレイ・ブロック (MLAB)—640 ビット・メモリー

continued...

(1) デバイスの在庫状況についてはアルテラまでお問い合わせください。



機能	概要	
エンベデッド・ハード IP ブロック	可変精度 DSP	<ul style="list-style-type: none"> 18 x 19 ~ 54 x 54 までの精度レベルの信号処理をネイティブ・サポート 27 x 27 乗算器モードをネイティブサポート シストリック有限インパルス応答 (FIR) 用の 64 ビット・アキュムレーターとカスケード接続 内部係数メモリーバンク 前置加算器と減算器による効率向上 パイプライン・レジスターの増設による性能向上と消費電力の低減 浮動小数点演算をサポート <ul style="list-style-type: none"> 乗算、加算、減算、乗加算、乗除算、および複素乗算 蓄積機能、カスケード加算、カスケード減算機能を備えた乗算をサポート ダイナミック・アキュムレーター・リセット・コントロール 直接ベクトルドットと複素乗算連鎖をサポートし、浮動小数点 DSP ブロックを乗算
	メモリー・コントローラー	DDR4、DDR3、および DDR3L
	PCI Express®	完全なプロトコルスタック、エンドポイント、およびルートを備えた PCI Express (PCIe®) Gen3 (x1、x2、x4 あるいは x8)、Gen2 (x1、x2、x4 あるいは x8) および Gen1 (x1、x2、x4、あるいは x8) ハード IP
	トランシーバー I/O	<ul style="list-style-type: none"> 10GBASE-KR と 40GBASE-KR4 の順方向誤り訂正 (FEC) 以下をサポートする PCS ハード IP <ul style="list-style-type: none"> 10 Gbps イーサネット (10GbE) PCIe PIPE インターフェイス Interlaken Gbps イーサネット (GbE) 確定的レイテンシーをサポートする CPRI (Common Public Radio Interface) 高速ロックタイムをサポートするギガビット対応受動光ネットワーク (GPON) 13.5G JESD204b 8B/10B、64B/66B、64B/67B のエンコーダーとデコーダー 独自規格のプロトコル向けカスタムモードをサポート
コア・クロック・ネットワーク	<ul style="list-style-type: none"> アプリケーションに応じた 800 MHz で駆動するファブリック・クロック <ul style="list-style-type: none"> 2,666 Mbps の DDR4 インターフェイスを 667 MHz で駆動する外部メモリー・インターフェイス 1,600 Mbps の LVDS インターフェイスを 800 MHz で駆動する LVDS インターフェイス グローバル、リージョナルおよびベリフェラル・クロック・ネットワーク 使用されていないクロック・ネットワークをゲートし、ダイナミック消費電力を削減 	
フェーズ・ロック・ループ (PLL)	<ul style="list-style-type: none"> 高分解能フラクショナル合成 PLL <ul style="list-style-type: none"> 高精度クロック合成、クロック遅延補償、ゼロ遅延バッファー (ZDB) インテジャー・モードとフラクショナル・モードをサポート 3 次デルタシグマ変調をサポートするフラクショナル・モード インテジャー PLL <ul style="list-style-type: none"> 汎用 I/O に隣接 外部メモリーと LVDS インターフェイスをサポート 	
FPGA 汎用 I/Os (GPIO)	<ul style="list-style-type: none"> 1.6 Gbps LVDS—すべてのペアをレシーバーもしくはトランスミッターとしてコンフィグレーション可能 OCT (On-Chip Termination) 1.2 V ~ 3.0 V のシングルエンド LVTTTL/LVCMOS とのインターフェイス 	
外部メモリー・インターフェイス	<ul style="list-style-type: none"> ハードメモリー・コントローラー—DDR4、DDR3、ならびに DDR3L をサポート <ul style="list-style-type: none"> DDR4—1,333 MHz で 2,666 Mbps の最高速度 DDR3—1,067 MHz で 2,133 Mbps の最高速度 ソフトメモリー・コントローラー—RLDRAM 3⁽²⁾、QDR IV⁽²⁾、および QDR II+ のサポートを提供 	

continued...



機能	概要	
低消費電力シリアル・トランシーバー	<ul style="list-style-type: none"> 連続動作範囲 <ul style="list-style-type: none"> Arria 10 GX—1 Gbps で 17.4 Gbps Arria 10 GT—1 Gbps で 25.8 Gbps バックプレーン・サポート <ul style="list-style-type: none"> Arria 10 GX—最高 16.0 Gbps Arria 10 GT—最高 17.4 Gbps オーバーサンプリングを用いて最小レンジを 125 Mbps まで拡張可能 ユーザーによるコンフィグレーション可能なフラクショナル合成機能を備えた ATX 送信 PLL XFP、SFP+、QSFP、および CFP 光モジュール向け電子分散補償 (EDC) のサポート アダプティブ・リニアとデジション・フィードバック・イコライゼーション 送信プリエンファシスとディエンファシス 個々のトランシーバー・チャンネルのダイナミック・パーシャル・リコンフィグレーション オンチップ計測 (EyeQ 非侵入型データ・アイ・モニタリング) 	
HPS (Arria 10 SX デバイスのみ)	プロセッサとシステム	<ul style="list-style-type: none"> デュアルコア ARM Cortex-A9 MPCore プロセッサ—1.5 GHz のオーバードライブ機能を備えた 1.2 GHz の CPU 256 KB のオンチップ RAM と 64 KB のオンチップ ROM システム・ペリフェラル・汎用タイマー、ウォッチドッグ・タイマー、ダイレクト・メモリー・アクセス (DMA) コントローラー、FPGA コンフィグレーション・マネージャー、およびクロック・マネージャーとリセット・マネージャー セキュリティー機能—改ざん防止、セキュアブート、高度暗号化規格 (AES) および認証 (SHA) ARM CoreSight™ JTAG デバッグ・アクセス・ポート、トレースポート、およびオンチップ・トレース・ストレージ
	外部インターフェイス	<ul style="list-style-type: none"> ハードメモリー・インターフェイス—ハードメモリー・コントローラー (2,666 Mbps の DDR4 と 2,166 Mbps の DDR3)、Quad シリアル・ペリフェラル・インターフェイス (QSPI) フラッシュ・コントローラー、NAND フラッシュ・コントローラー、ダイレクト・メモリー・アクセス (DMA) コントローラー、SD/MMC (Secure Digital/MultiMediaCard) コントローラー 通信インターフェイス—10/100/1000 イーサネット・メディア・アクセス・コントロール (MAC)、USB On-The-Go (OTG) コントローラー、I²C コントローラー、UART 16550、シリアル・ペリフェラル・インターフェイス (SPI)、および最大 62 個の HPS GPIO インターフェイス (48 個は直接共有 I/O)
	コアへのインタコネクト	<ul style="list-style-type: none"> 読み出しと書き込みを同時にサポートする高性能 ARM AMBA® AXI バスブリッジ HPS-FPGA ブリッジ—FPGA ファブリックが HPS のスレーブにトランザクションを発行、あるいはその逆を可能にする、FPGA-HPS ブリッジ、HPS-FPGA ブリッジ、および軽量 HPS-FPGA ブリッジ HPS コンフィグレーション・マネージャーが 32 ビットの専用コンフィグレーション・ポートを介してコアロジックをコンフィグレーションすることを可能にするコンフィグレーション・ブリッジ FPGA-HPS SDRAM コントローラー・ブリッジ—HPS SDRAM コントローラーのマルチポート・フロント・エンド (MPFE) にコンフィグレーション・インターフェイスを提供
<i>continued...</i>		

(2) Arria® 10 デバイスは、ハード PHY とソフトメモリー・コントローラーを使用する外部メモリーインターフェイスをサポートしています。



機能	概要
コンフィグレーション	<ul style="list-style-type: none"> 改ざん防止—貴重な IP 資産を保護する包括的なデザイン保護 エンハンスド 256 ビット高度暗号化規格 (AES) デザイン・セキュリティおよび認証 PCIe Gen1、Gen2、または Gen3 を使用する CvP (Configuration via protocol) トランシーバーと PLL のダイナミック・リコンフィグレーション コア・ファブリックのきめ細かなパーシャル・リコンフィグレーション アクティブ・シリアル x4 インターフェイス
消費電力マネジメント	<ul style="list-style-type: none"> SmartVID 低スタティック消費電力デバイスオプション プログラマブル・パワー・テクノロジー Quartus Prime の PowerPlay power analysis
ソフトウェアとツール	<ul style="list-style-type: none"> Quartus Prime デザイン・スイーツ トランシーバー・ツールキット Qsys システム統合ツール DSP Builder アドバンスド・ブロックセット OpenCL™ サポート SoC エンベデッド・デザイン・スイート (EDS)

関連情報

Arria 10 トランシーバー PHY の概要

Arria 10 トランシーバーの詳細を提供します。

1.3 Arria 10 デバイスのバリエーションおよびパッケージ

表 4. Arria 10 デバイスファミリーのデバイス・バリエーション

バリエーション	概要
Arria 10 GX	短距離アプリケーション向けに 17.4 Gbps、バックプレーンでは 16.0 Gbps で駆動する能力を持つトランシーバーを特長とした FPGA
Arria 10 GT	以下を特長とする FPGA <ul style="list-style-type: none"> 短距離アプリケーション向けに 17.4 Gbps、バックプレーンでも 17.4 Gbps で駆動する能力を持つトランシーバー CFP2 および CFP4 モジュールを用いた CAUI-4 および CEI-25G アプリケーションをサポートする 25.8 Gbps トランシーバー
Arria 10 SX	短距離アプリケーション向けに 17.4 Gbps、バックプレーン横断では 16.0 Gbps で駆動する能力を持つトランシーバーを特長とする ARM ベースの HPS と FPGA を統合した SoC

1.3.1 Arria 10 GX

この項では Arria 10 GX デバイスで使用可能なオプション、最大リソース数、およびパッケージプランについて説明します。

この項の情報は発行時のものです。製品の最新情報および詳細についてはアルテラ・プロダクト・セクターを参照してください。

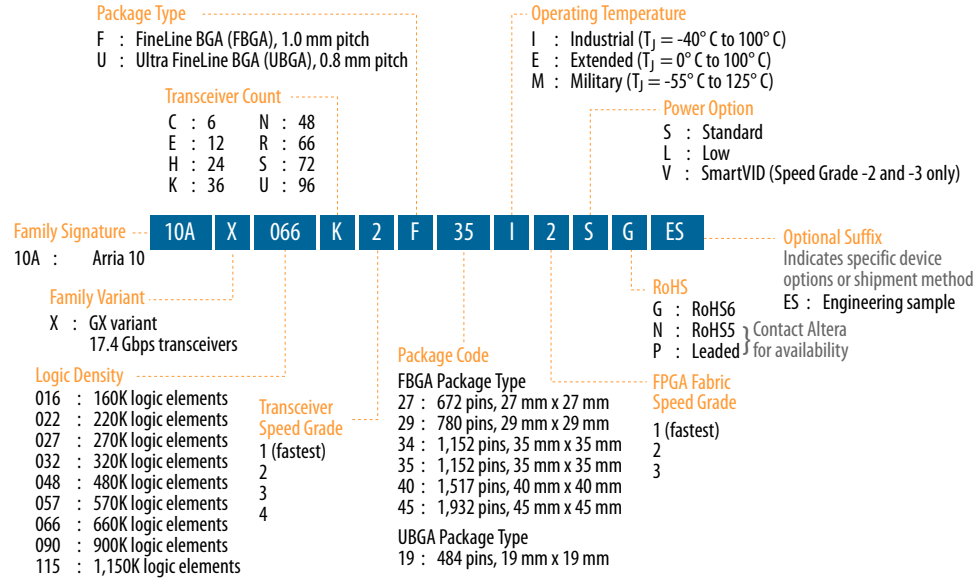
関連情報

アルテラ・プロダクト・セクター

アルテラ製品に関する最新情報を提供します。

1.3.1.1 使用可能なオプション

図 -1: Arria 10 GX デバイスの注文コードと使用可能なオプションの例 (暫定版)



関連情報

Transceiver Performance for Arria 10 GX/SX Devices

トランシーバーのスピードグレードについて詳しい情報を提供します。



1.3.1.2 最大リソース

表 5. Arria 10 GX デバイス(GX 160、GX 220、GX 270、GX 320、GX 480)の最大リソース数(暫定版)

リソース		製品ライン				
		GX 160	GX 220	GX 270	GX 320	GX 480
ロジックエレメント (LE) (K)		160	220	270	320	480
ALM		61,510	80,330	101,620	119,900	183,590
レジスター		246,040	321,320	406,480	479,600	734,360
メモリー (Kb)	M20K	8,800	11,740	15,000	17,820	28,620
	MLAB	1,050	1,690	2,452	2,727	4,164
可変精度 DSP ブロック		156	192	830	985	1,368
18×19 乗算器		312	384	1,660	1,970	2,736
PLL	フラクショナル合成	6	6	8	8	12
	I/O	6	6	8	8	12
17.4 Gbps トランシーバー		12	12	24	24	36
GPIO ⁽³⁾		288	288	384	384	492
LVDS ペア ⁽⁴⁾		120	120	168	168	222
PCIe ハード IP ブロック		1	1	2	2	2
ハードメモリー・コントローラー		6	6	8	8	12

(3) GPIO 数にはトランシーバ I/O が含まれません。Quartus Prime 開発ソフトウェアではユーザー I/O 数にトランシーバ I/O 数が含まれます。

(4) 各 LVDS I/O ペアをそれぞれ差動入力もしくは差動出力として使用できます。



表 6. Arria 10 GX デバイス(GX 570、GX 660、GX 900、GX 1150)の最大リソース数(暫定版)

リソース		製品ライン			
		GX 570	GX 660	GX 900	GX 1150
ロジックエレメント(LE) (K)		570	660	900	1,150
ALM		217,080	251,680	339,620	427,200
レジスター		868,320	1,006,720	1,358,480	1,708,800
メモリー(Kb)	M20K	36,000	42,620	48,460	54,260
	MLAB	5,096	5,788	9,386	12,984
可変精度 DSP ブロック		1,523	1,687	1,518	1,518
18×19 乗算器		3,046	3,374	3,036	3,036
PLL	フラクショナル合成	16	16	32	32
	I/O	16	16	16	16
17.4 Gbps トランシーバー		48	48	96	96
GPIO		696	696	768	768
LVDS ペア		324	324	384	384
PCIe ハード IP ブロック		2	2	4	4
ハードメモリー・コントローラー		16	16	16	16

1.3.1.3 パッケージプラン

表 7. Arria 10 GX デバイス(U19、F27、F29)のパッケージプラン(暫定版)

Arria 10 デバイスの I/O と高速 I/O については、各デバイス・パッケージの 3 V I/O、LVDS I/O と LVDS チャネルの数の章を参照してください。

製品ライン	U19 (19 mm × 19 mm 484 ピン UBGA)			F27 (27 mm × 27 mm 672 ピン FBGA)			F29 (29 mm × 29 mm 780 ピン FBGA)		
	3 V I/O	LVDS I/O	XCVR	3 V I/O	LVDS I/O	XCVR	3 V I/O	LVDS I/O	XCVR
GX 160	48	192	6	48	192	12	48	240	12
GX 220	48	192	6	48	192	12	48	240	12
GX 270	—	—	—	48	192	12	48	312	12
GX 320	—	—	—	48	192	12	48	312	12
GX 480	—	—	—	—	—	—	48	312	12

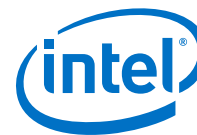


表 8. Arria 10 GX デバイス(F34, F35, NF40, KF40)のパッケージプラン(暫定版)

Arria 10 デバイスの I/O と高速 I/O については、各デバイス・パッケージの 3 V I/O、LVDS I/O と LVDS チャンネルの数の章を参照してください。

製品ライン	F34 (35 mm × 35 mm 1152 ピン FBGA)			F35 (35 mm × 35 mm 1152 ピン FBGA)			KF40 (40 mm × 40 mm 1517 ピン FBGA)			NF40 (40 mm × 40 mm 1517 ピン FBGA)		
	3 V I/O	LVDS I/O	XCVR	3 V I/O	LVDS I/O	XCVR	3 V I/O	LVDS I/O	XCVR	3 V I/O	LVDS I/O	XCVR
GX 270	48	336	24	48	336	24	—	—	—	—	—	—
GX 320	48	336	24	48	336	24	—	—	—	—	—	—
GX 480	48	444	24	48	348	36	—	—	—	—	—	—
GX 570	48	444	24	48	348	36	96	600	36	48	540	48
GX 660	48	444	24	48	348	36	96	600	36	48	540	48
GX 900	—	504	24	—	—	—	—	—	—	—	600	48
GX 1150	—	504	24	—	—	—	—	—	—	—	600	48

表 9. Arria 10 GX デバイス(RF40, NF45, SF45, UF45)のパッケージプラン(暫定版)

Arria 10 デバイスの I/O と高速 I/O については、各デバイス・パッケージの 3 V I/O、LVDS I/O と LVDS チャンネルの数の章を参照してください。

製品ライン	RF40 (40 mm × 40 mm 1517 ピン FBGA)			NF45 (45 mm × 45 mm 1932 ピン FBGA)			SF45 (45 mm × 45 mm 1932 ピン FBGA)			UF45 (45 mm × 45 mm 1932 ピン FBGA)		
	3 V I/O	LVDS I/O	XCVR	3 V I/O	LVDS I/O	XCVR	3 V I/O	LVDS I/O	XCVR	3 V I/O	LVDS I/O	XCVR
GX 900	—	342	66	—	768	48	—	624	72	—	480	96
GX 1150	—	342	66	—	768	48	—	624	72	—	480	96

関連情報

[I/O and High-Speed Differential I/O Interfaces in Arria 10 Devices chapter, Arria 10 Device Handbook](#)

各 Arria 10 デバイス・パッケージの 3 V I/O、LVDS I/O と LVDS チャンネルの数を提供します。

1.3.2 Arria 10 GT

この項では、Arria 10 GT デバイスで使用可能なオプション、最大リソース数、およびパッケージプランを説明します。

この項の情報は発行時のものです。製品の最新情報および詳細についてはアルテラ・プロダクト・セクターを参照してください。

関連情報

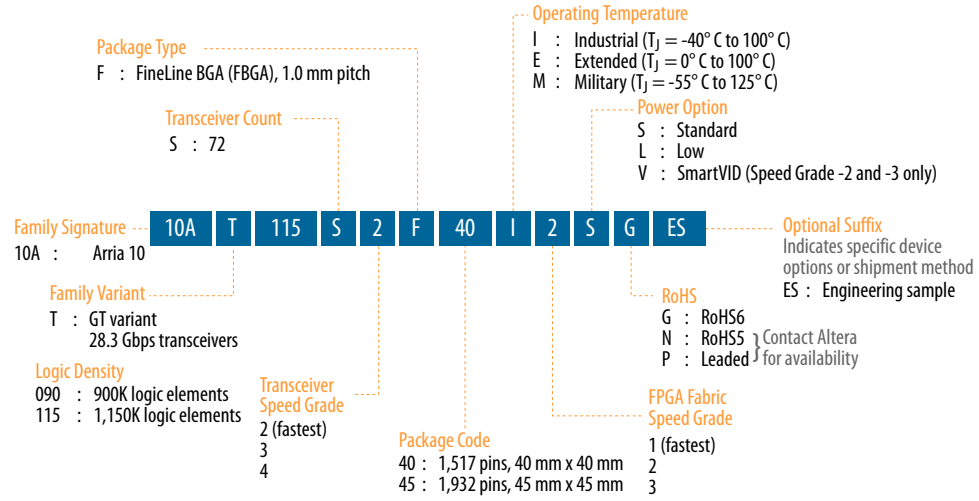
[アルテラ・プロダクト・セクター](#)

アルテラ製品に関する最新情報を提供します。



1.3.2.1 使用可能なオプション

図 -2: Arria 10 GT デバイスの注文コードと使用可能なオプションの例 (暫定版)





1.3.2.2 最大リソース

表 10. Arria 10 GT デバイスの最大リソース数(暫定版)

リソース		製品ライン	
		GT 900	GT 1150
ロジックエレメント (LE) (K)		900	1,150
ALM		339,620	427,200
レジスター		1,358,480	1,708,800
メモリー (Kb)	M20K	48,460	54,260
	MLAB	9,386	12,984
可変精度 DSP ブロック		1,518	1,518
18×19 乗算器		3,036	3,036
PLL	フラクショナル合成	32	32
	I/O	16	16
トランシーバ	17.4 Gbps	72 ⁽⁵⁾	72 ⁽⁵⁾
	25.8 Gbps	6	6
GPIO ⁽⁶⁾		624	624
LVDS ペア ⁽⁷⁾		312	312
PCIe ハード IP ブロック		4	4
ハードメモリー・コントローラー		16	16

関連情報

Arria 10 GT チャンネルの使用

Arria 10 GT デバイスにおける GT/GX チャンネル・コンフィグレーション

1.3.2.3 パッケージプラン

表 11. Arria 10 GT デバイスのパッケージプラン(暫定版)

Arria 10 デバイスの I/O と高速 I/O については、各デバイス・パッケージの 3 V I/O、LVDS I/O と LVDS チャンネルの数の章を参照してください。

製品ライン	SF45 (45 mm × 45 mm 1932 ピン FBGA)		
	3 V I/O	LVDS I/O	XCVR
GT 900	—	624	72
GT 1150	—	624	72

(5) 6 つの GT チャンネルがすべて使用中の場合、GX チャンネルのうち 12 チャンネルが使用できません。

(6) GPIO 数にはトランシーバ I/O が含まれません。Quartus Prime 開発ソフトウェアではユーザー I/O 数にトランシーバ I/O 数が含まれます。

(7) 各 LVDS I/O ペアをそれぞれ差動入力もしくは差動出力として使用できます。

関連情報

I/O and High-Speed Differential I/O Interfaces in Arria 10 Devices chapter, Arria 10 Device Handbook

各 Arria 10 デバイス・パッケージの 3 V I/O、LVDS I/O と LVDS チャネルの数を提供します。

1.3.3 Arria 10 SX

この項では、Arria 10 SX デバイスに使用可能なオプション、最大リソース数、およびパッケージ・プランを説明します。

この項の情報は発行時のものです。製品の最新情報および詳細についてはアルテラ・プロダクト・セクターを参照してください。

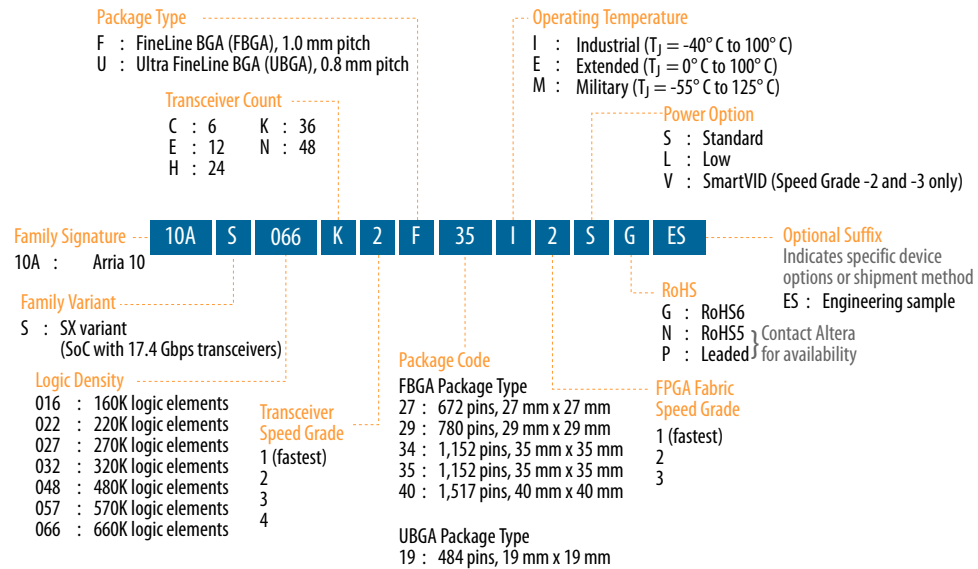
関連情報

アルテラ・プロダクト・セクター

アルテラ製品に関する最新情報を提供します。

1.3.3.1 使用可能なオプション

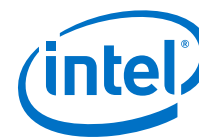
図 -3: Arria 10 SX デバイスの注文コードと使用可能なオプションの例 (暫定版)



関連情報

Transceiver Performance for Arria 10 GX/SX Devices

トランシーバーのスピードグレードについて詳しい情報を提供します。



1.3.3.2 最大リソース

表 12. Arria 10 SX デバイスの最大リソース数(暫定版)

リソース		製品ライン						
		SX 160	SX 220	SX 270	SX 320	SX 480	SX 570	SX 660
ロジックエレメント (LE) (K)		160	220	270	320	480	570	660
ALM		61,510	80,330	101,620	119,900	183,590	217,080	251,680
レジスター		246,040	321,320	406,480	479,600	734,360	868,320	1,006,720
メモリー (Kb)	M20K	8,800	11,740	15,000	17,820	28,620	36,000	42,620
	MLAB	1,050	1,690	2,452	2,727	4,164	5,096	5,788
可変精度 DSP ブロック		156	192	830	985	1,368	1,523	1,687
18×19 乗算器		312	384	1,660	1,970	2,736	3,046	3,374
PLL	フラクショナル合成	6	6	8	8	12	16	16
	I/O	6	6	8	8	12	16	16
17.4 Gbps トランシーバー		12	12	24	24	36	48	48
GPIO ⁽⁸⁾		288	288	384	384	492	696	696
LVDS ペア ⁽⁹⁾		120	120	168	168	174	324	324
PCIe ハード IP ブロック		1	1	2	2	2	2	2
ハードメモリー・コントローラー		6	6	8	8	12	16	16
ARM Cortex-A9 MPCore プロセッサ		あり	あり	あり	あり	あり	あり	あり

1.3.3.3 パッケージプラン

表 13. Arria 10 SX デバイス(U19、F27、F29、F34)のパッケージプラン(暫定版)

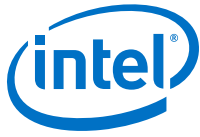
Arria 10 デバイスの I/O と高速 I/O については、各デバイス・パッケージの 3 V I/O、LVDS I/O と LVDS チャンネルの数の章を参照してください。

製品ライン	U19 (19 mm × 19 mm 484 ピン UBGA)			F27 (27 mm × 27 mm 672 ピン FBGA)			F29 (29 mm × 29 mm 780 ピン FBGA)			F34 (35 mm × 35 mm 1152 ピン FBGA)		
	3 V I/O	LVDS I/O	XCVR	3 V I/O	LVDS I/O	XCVR	3 V I/O	LVDS I/O	XCVR	3 V I/O	LVDS I/O	XCVR
SX 160	48	144	6	48	192	12	48	240	12	—	—	—
SX 220	48	144	6	48	192	12	48	240	12	—	—	—
SX 270	—	—	—	48	192	12	48	312	12	48	336	24
SX 320	—	—	—	48	192	12	48	312	12	48	336	24

continued...

(8) GPIO 数にはトランシーバ I/O が含まれません。Quartus Prime 開発ソフトウェアではユーザー I/O 数にトランシーバ I/O 数が含まれます。

(9) 各 LVDS I/O ペアをそれぞれ差動入力もしくは差動出力として使用できます。



製品ライン	U19 (19 mm × 19 mm 484 ピン UBGA)			F27 (27 mm × 27 mm 672 ピン FBGA)			F29 (29 mm × 29 mm 780 ピン FBGA)			F34 (35 mm × 35 mm 1152 ピン FBGA)		
	3 V I/O	LVDS I/O	XCVR	3 V I/O	LVDS I/O	XCVR	3 V I/O	LVDS I/O	XCVR	3 V I/O	LVDS I/O	XCVR
SX 480	—	—	—	—	—	—	48	312	12	48	444	24
SX 570	—	—	—	—	—	—	—	—	—	48	444	24
SX 660	—	—	—	—	—	—	—	—	—	48	444	24

表 14. Arria 10 SX デバイス(F35、KF40、NF40)のパッケージプラン(暫定版)

Arria 10 デバイスの I/O と高速 I/O については、各デバイス・パッケージの 3 V I/O、LVDS I/O と LVDS チャンネルの数の章を参照してください。

製品ライン	F35 (35 mm × 35 mm 1152 ピン FBGA)			KF40 (40 mm × 40 mm 1517 ピン FBGA)			NF40 (40 mm × 40 mm 1517 ピン FBGA)		
	3 V I/O	LVDS I/O	XCVR	3 V I/O	LVDS I/O	XCVR	3 V I/O	LVDS I/O	XCVR
SX 270	48	336	24	—	—	—	—	—	—
SX 320	48	336	24	—	—	—	—	—	—
SX 480	48	348	36	—	—	—	—	—	—
SX 570	48	348	36	96	600	36	48	540	48
SX 660	48	348	36	96	600	36	48	540	48

関連情報

[I/O and High-Speed Differential I/O Interfaces in Arria 10 Devices chapter, Arria 10 Device Handbook](#)

各 Arria 10 デバイス・パッケージの 3 V I/O、LVDS I/O と LVDS チャンネルの数を提供します。



1.4 Arria 10 デバイスの I/O パーティカル・マイグレーション

図 -4: Arria 10 製品ライン間で移行できる範囲 (暫定版)

- 矢印はマイグレーション・パスを示しています。各パーティカル・マイグレーション・パスに含まれるデバイスを色付きで示しています。同じバス内でより少ないリソースを持つデバイスは薄い色で示しています。
- 同じマイグレーション・バス内の製品ライン間で完全に I/O を移行するには、I/O およびトランシーバー数が最も少ない製品ラインに合わせて I/O とトランシーバーの使用を制限します。
- ソースデバイスでの LVDS I/O バンクは、ターゲットデバイスでは 3 V I/O バンクにマッピングされる可能性があります。メモリー・インターフェイスの 533 MHz 以上のクロック周波数を使用するには、両方のデバイスで LVDS I/O バンクにのみ外部メモリー・インターフェイス・ピンを割り当てます。
- 同じパッケージタイプの一部の製品ライン間に公称で 0.15mm のパッケージ高さの差がある場合があります。
- 一部の移行パスは Quartus Prime ソフトウェアの Pin Migration View に表示されません。

バリエーション	製品ライン	パッケージ										
		U19	F27	F29	F34	F35	KF40	NF40	RF40	NF45	SF45	UF45
Arria 10 GX	GX 160	↑	↑	↑								
	GX 220	↑	↑	↑								
	GX 270		↑	↑	↑	↑						
	GX 320		↑	↑	↑	↑						
	GX 480		↑	↑	↑	↑						
	GX 570		↑	↑	↑	↑	↑	↑				
	GX 660		↑	↑	↑	↑	↑	↑	↑	↑		
	GX 900		↑	↑	↑	↑	↑	↑	↑	↑	↑	↑
	GX 1150		↑	↑	↑	↑	↑	↑	↑	↑	↑	↑
Arria 10 GT	GT 900										↑	
	GT 1150										↑	
Arria 10 SX	SX 160	↓	↓	↓								
	SX 220	↓	↓	↓								
	SX 270		↓	↓	↓	↓						
	SX 320		↓	↓	↓	↓						
	SX 480		↓	↓	↓	↓	↓					
	SX 570		↓	↓	↓	↓	↓	↓				
	SX 660		↓	↓	↓	↓	↓	↓	↓			

注意: ピン・マイグレーションの互換性を確認するには、Quartus Prime ソフトウェアの Pin Planner で Pin Migration View ウィンドウを使用します。

1.4.1 Arria 10 と Stratix 10 デバイスとの間の移行

Arria 10 と Stratix 10 のパッケージ間にはフットプリントの互換性があります。デザインの開発を任意の Arria 10 デバイスで開始し、その後で Stratix 10 デバイスへデザインを移行することができます。

2 つのデバイスファミリー間で可能な移行について、詳しくはアルテラにお問い合わせください。

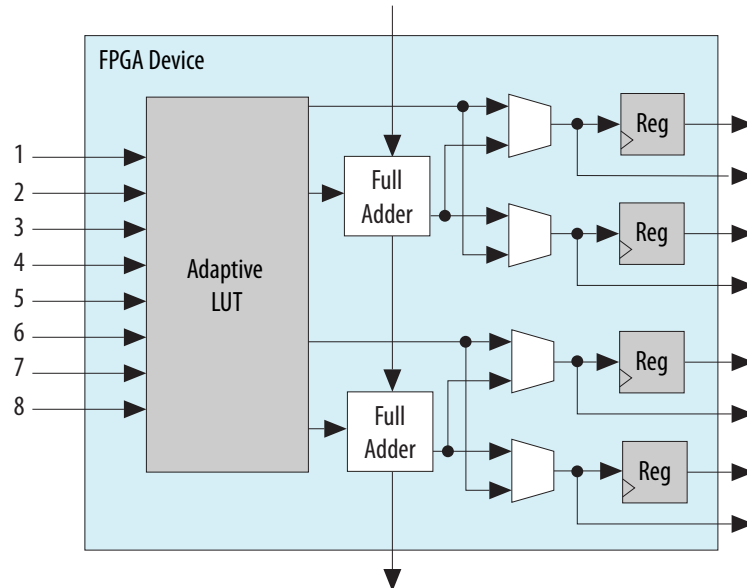
1.5 アダプティブ・ロジック・モジュール

Arria 10 デバイスは、20 nm ALM をロジック・ファブリックの基本的なビルディング・ブロックとして使用しています。

ALM のアーキテクチャーには、前世代 FPGA のものと同じアーキテクチャーが使用されており、効率的なロジック・ファンクションの実装、およびデバイス世代間における IP の変更が容易に実行可能です。

下の図に示すように、ALM は 4 つの専用レジスターを持つ分割可能な 8 入力ルックアップ・テーブル (LUT) を使用して、レジスターを多く含むデザインにてタイミング収束を改善します。また、LUT アーキテクチャーごとに 2 つのレジスターが使用される従来のものと比較して、より多くのデザインを搭載することが可能です。

図 -5: Arria 10 デバイスの ALM



Quartus Prime は ALM ロジック構造に従ってデザインを最適化し、Arria 10ALM アーキテクチャーにレガシーデザインを自動的にマッピングします。

1.6 可変精度 DSP ブロック

Arria 10 の可変精度 DSP ブロックは、固定小数点演算と浮動小数点演算をサポートしています。

固定小数点演算の機能

- 高性能、最適化された消費電力と、完全にレジスター化された乗算演算
- 18 ビットと 27 ビットのワード長
- DSP ブロックごとに 2 つの 18 x 19 乗算器または 1 つの 27 x 27 乗算器
- 内蔵の加算、減算、および 64 ビットのダブル累算レジスターで乗算結果を組み合わせ
- プリアダーが無効にされている際の 19 ビットまたは 27 ビットのカスケード接続、プリアダーをアプリケーションのフィルタリング用タップ・ディレイ・ラインを形成するために使用する際の 18 ビットのカスケード接続
- 外部ロジックのサポートなしでブロックからブロックへ出力結果を伝播する 64 ビット出力バスのカスケード
- 対称フィルター向け 19 ビット・モードおよび 27 ビット・モードでサポートされるハードプリアダー



- フィルター実装向け 18 ビットおよび 27 ビット両方のモードの内部係数レジスターバンク
- 分割された出力加算器を使用する 18 ビットおよび 27 ビットのシストリック有限インパルス応答 (FIR) フィルター
- バイアス丸めサポート

浮動小数点演算の機能

- 乗算、加算、減算、乗算、積和、および積差をサポートする完全にハード化されたアーキテクチャー
- 累積機能とダイナミック・アキュムレーター・リセット・コントロールを伴う乗算
- カスケード加算機能を伴う乗算
- カスケード減算機能を伴う乗算
- 複素乗算
- ダイレクト・ベクトル・ドット積
- シストリック FIR フィルター

表 15. Arria 10 デバイスの可変精度 DSP ブロック・コンフィグレーション

使用例	乗数器のサイズ(ビット)	DSP ブロックリソース
中精度の固定小数点	2 つの 18 × 19	1
高精度の固定小数点または単精度の浮動小数点	1 つの 27 × 27	1
固定小数点の FFT	1 つの 19 × 36 と外部加算器	1
非常に高精度の固定小数点	1 つの 36 × 36 と外部加算器	2
倍精度の浮動小数点	1 つの 54 × 54 と外部加算器	4

表 16. Arria 10 デバイスにおける固定小数点演算に向けたリソース

次の表は、各 Arria 10 デバイスの可変精度 DSP リソースをビット単位でリストしています。

バリエーション	製品ライン	可変精度 DSP ブロック	独立した入力および出力乗算演算子		18 × 19 Multiplier Adder Sum モード	18 × 18 36 ビット入力での加算される乗算加算器
			18 × 19 乗算	27 × 27 乗算		
Arria 10 GX	GX 160	156	312	156	156	156
	GX 220	192	384	192	192	192
	GX 270	830	1,660	830	830	830
	GX 320	984	1,968	984	984	984
	GX 480	1,368	2,736	1,368	1,368	1,368
	GX 570	1,523	3,046	1,523	1,523	1,523
	GX 660	1,687	3,374	1,687	1,687	1,687
	GX 900	1,518	3,036	1,518	1,518	1,518
	GX 1150	1,518	3,036	1,518	1,518	1,518
Arria 10 GT	GT 900	1,518	3,036	1,518	1,518	1,518
	GT 1150	1,518	3,036	1,518	1,518	1,518

continued...



バリエーション	製品ライン	可変精度 DSP ブロック	独立した入力および出力 乗算演算子		18 × 19 Multiplier Adder Sum モー ド	18 × 18 36 ビット入力 で加算される乗算加 算器
			18 × 19 乗算	27 × 27 乗算		
Arria 10 SX	SX 160	156	312	156	156	156
	SX 220	192	384	192	192	192
	SX 270	830	1,660	830	830	830
	SX 320	984	1,968	984	984	984
	SX 480	1,368	2,736	1,368	1,368	1,368
	SX 570	1,523	3,046	1,523	1,523	1,523
	SX 660	1,687	3,374	1,687	1,687	1,687

表 17. Arria 10 デバイスにおける浮動小数点演算に向けたリソース

次の表は、各 Arria 10 デバイスの可変精度 DSP リソースをビット単位でリストしています。

バリエーション	製品ライン	可変精度 DSP ブロック	単精度浮動小数点 加算器	単精度浮動小数点加 算器	単精度浮動小数点 乗算モード	ピーク 秒あたりのギガ浮 動小数点演算 (GFLOPs)
Arria 10 GX	GX 160	156	156	156	156	140
	GX 220	192	192	192	192	173
	GX 270	830	830	830	830	747
	GX 320	984	984	984	984	886
	GX 480	1,369	1,368	1,368	1,368	1,231
	GX 570	1,523	1,523	1,523	1,523	1,371
	GX 660	1,687	1,687	1,687	1,687	1,518
	GX 900	1,518	1,518	1,518	1,518	1,366
	GX 1150	1,518	1,518	1,518	1,518	1,366
Arria 10 GT	GT 900	1,518	1,518	1,518	1,518	1,366
	GT 1150	1,518	1,518	1,518	1,518	1,366
Arria 10 SX	SX 160	156	156	156	156	140
	SX 220	192	192	192	192	173
	SX 270	830	830	830	830	747
	SX 320	984	984	984	984	886
	SX 480	1,369	1,368	1,368	1,368	1,231
	SX 570	1,523	1,523	1,523	1,523	1,371
	SX 660	1,687	1,687	1,687	1,687	1,518

1.7 エンベデッド・メモリー・ブロック

デバイス内のエンベデッド・メモリー・ブロックには柔軟性があり、デザイン要件に合った最適な小規模メモリー・レイおよび大規模メモリー・レイを提供できるようデザインされています。



1.7.1 エンベデッド・メモリーのタイプ

Arria 10 デバイスには、2 タイプのメモリーブロックが含まれています。

- 20 Kb M20K ブロッカー専用メモリーリソースのブロック。M20K ブロックはより大きなメモリーアレイに最適であると同時に、独立した多数のポートを提供。
- 640 ビット・メモリー・ロジック・アレイ・ブロック (MLAB) – 兼用ロジック・アレイ・ブロック (LAB) からコンフィグレーションされるエンハンスド・メモリー・ブロック。MLAB は幅広く深さが浅いメモリーアレイのために最適。デジタル信号処理 (DSP) アプリケーション、幅が広く深度の浅い FIFO バッファー、およびフィルターのディレイラインに使用するシフトレジスターの実装に最適化されている。各 MLAB は 10 個のアダプティブ・ロジック・モジュール (ALM) から構成される。Arria 10 デバイスではこれらの ALM を、各 MLAB につき 1 つの 32×20 シンプル・デュアル・ポート SRAM ブロックを提供する 10 個の 32×2 ブロックとしてコンフィグレーションすることが可能。

1.7.2 Arria 10 デバイスのエンベデッド・メモリー容量

表 18. Arria 10 デバイスのエンベデッド・メモリー容量と分配

タイプ	製品ライン	M20K		MLAB		トータル RAM ビット数 (Kb)
		ブロック	RAM ビット数 (Kb)	ブロック	RAM ビット数 (Kb)	
Arria 10 GX	GX 160	440	8,800	1,680	1,050	9,850
	GX 220	587	11,740	2,703	1,690	13,430
	GX 270	750	15,000	3,922	2,452	17,452
	GX 320	891	17,820	4,363	2,727	20,547
	GX 480	1,431	28,620	6,662	4,164	32,784
	GX 570	1,800	36,000	8,153	5,096	41,096
	GX 660	2,131	42,620	9,260	5,788	48,408
	GX 900	2,423	48,460	15,017	9,386	57,846
	GX 1150	2,713	54,260	20,774	12,984	67,244
Arria 10 GT	GT 900	2,423	48,460	15,017	9,386	57,846
	GT 1150	2,713	54,260	20,774	12,984	67,244
Arria 10 SX	SX 160	440	8,800	1,680	1,050	9,850
	SX 220	587	11,740	2,703	1,690	13,430
	SX 270	750	15,000	3,922	2,452	17,452
	SX 320	891	17,820	4,363	2,727	20,547
	SX 480	1,431	28,620	6,662	4,164	32,784
	SX 570	1,800	36,000	8,153	5,096	41,096
	SX 660	2,131	42,620	9,260	5,788	48,408

1.7.3 シングルポート・モード向けのエンベデッド・メモリー・コンフィグレーション

表 19. Arria 10 デバイス向けシングルポート・モードのエンベデッド・メモリーのコンフィグレーション

次の表は、シングルポート RAM モードおよび ROM モードでサポートされる最大のコンフィグレーションを示しています。

メモリーブロック	深度(ビット)	プログラム可能な幅
MLAB	32	x16, x18, または x20
	64 ⁽¹⁰⁾	x8, x9, x10
M20K	512	x40, x32
	1K	x20, x16
	2K	x10, x8
	4K	x5, x4
	8K	x2
	16K	x1

1.8 クロック・ネットワークと PLL クロックソース

クロック・ネットワークのアーキテクチャーは、アルテラのグローバル、リージョナル、あるいはペリフェラル・クロック構造をベースにしています。このクロック構造は、専用クロック入力ピン、フラクショナル・クロック合成 PLL、およびインテジャー I/O PLL でサポートされています。

クロック・ネットワーク

Arria 10 デバイスのコア・クロック・ネットワークは、インダストリアル温度範囲の全体にわたって最高で 800 MHz のファブリックで動作可能です。外部メモリー・インターフェイスでは、クロック・ネットワークはクォーターレート転送で最大速度 2,666 Mbps のハードメモリー・コントローラーをサポートしています。

消費電力を削減するために、Quartus Prime ソフトウェアはクロック・ネットワークの使用していないセクションを全て特定し、パワーダウンします。

1.8.1 フラクショナル合成 PLL と I/O PLL

Arria 10 デバイスは、以下のコアで用いる特定用途あるいは汎用目的で使用可能な最大 32 のフラクショナル合成 PLL と最大 16 の I/O PLL を含みます。

- フラクショナル合成 PLL—トランシーバー・ブロックに隣接するカラムに配置
- I/O PLL—48 個の I/O バンクそれぞれに配置

フラクショナル合成 PLL

以下の目的にフラクショナル合成 PLL を使用できます。

- ボード上で必要なオシレーター数の削減
- 1 つのリファレンス・クロック・ソースから複数のクロック周波数を合成することにより、デバイスで使用するクロックピン数を削減

(10) ソフトウェア・エミュレーションによって使用可能になり、追加の MLAB ブロックを消費します。



フラクショナル合成 PLL は以下の機能をサポートしています。

- トランシーバーの CMU ならびに ATX(Advanced Transmit)PLL の基準クロック周波数合成
- クロック・ネットワーク遅延補償
- ゼロ遅延バッファ
- トランシーバー送信クロックの直接的な駆動
- 2つのモードへ個別にコンフィグレーション可能
 - 汎用 PLL と同等の従来の整数モード
 - 三次デルタシグマ変調によるエンハンスド・フラクショナル・モード
- PLL カスケード接続

I/O PLL

インテジャー・モード I/O PLL は 48 個の I/O の各バンクに配置されています。I/O PLL を使用して、外部メモリと高速 LVDS インターフェイスのデザインを簡素化できます。

各 I/O バンクで I/O PLL は、ハードメモリー・コントローラーならびに LVDS SERDES と隣接しています。PLL はこれを使用する I/O と密接に結びついているので、容易にタイミングを収束することができます。

I/O PLL はクロック・ネットワーク遅延補償やゼロ遅延バッファといったコアの汎用アプリケーションに使用できます。

Arria II デバイスは、PLL から PLL へのカスケードをサポートします。

1.9 FPGA 汎用 I/O

Arria 10 デバイスは、高度にコンフィグレーション可能な GPIO を提供します。各 I/O バンクは 48 の汎用 I/O と高効率ハードメモリー・コントローラーを含みます。

以下に GPIO の機能を示します。

- 高電圧アプリケーション向け 3 V I/O と差動信号用の LVDS I/O から構成
- 広範囲のシングルエンドと差動の I/O インターフェイスをサポート
- 最高速度 1.6 Gbps の LVDS
- 各 LVDS ペアのピンに差動入力と出力バッファを備え、各ペアごとに LVDS 方向にコンフィグレーション可能
- プログラマブル・バス・ホールドとウィーク・プルアップ
- プログラマブル差動出力電圧(V_{OD})とプログラマブル・プリエンファシス
- OCT キャリブレーションを備えるすべての I/O バンクで終端インピーダンス変動を制限するための直列(R_S)と並列(R_T)オンチップ終端(OCT)
- 共通バスにあるのが読み出しか書き込みかに応じてシグナル・インテグリティのために直列終端と並列終端を交換可能なオンチップ・ダイナミック終端
- 入力レジスターパスでハード読み出し FIFO を使用するタイミング収束の容易なサポート、および微調と粗調のアーキテクチャーを持つ DLL(delay-locked loop)遅延チェーン

1.10 外部メモリー・インターフェイス

Arria 10 デバイスは、最高 2,666 Mbps で動作する最大 7 つの 32 ビット DDR4 メモリー・インターフェイスを備える大規模な外部メモリー帯域幅を提供します。この帯域幅はデザインの容易さ、低い消費電力、ハード化された高性能メモリー・コントローラーのリソース効率を提供します。

Arria 10 FPGA ならびに SoC のメモリー・インターフェイスは最高の性能と使いやすさを提供します。ハードまたはソフトメモリー・コントローラーを使用すると 144 ビットの最大幅までをコンフィギュレーションできます。必要に応じてハードメモリー・コントローラーをバイパスし、ユーザーロジックに実装されたソフト・コントローラーを使用することができます。

各 I/O は、読み出しレベリングと書き込みレベリング、レイテンシーを下げたマーキングを向上する FIFO バッファリング、タイミング・キャリブレーション、およびオンチップ終端といった主要なメモリー・インターフェイスの機能を処理する能力を持つ、ハード化された DDR 読み出しパスと書き込みパス (PHY) を含んでいます。

タイミング・キャリブレーションは、アルテラの Nios® II テクノロジーに基づくハード・マイクロコントローラーが補助しており、これは特に複数のメモリー・インターフェイスのキャリブレーションをコントロールすることに適しています。キャリブレーションにより、Arria 10 デバイスが Arria 10 デバイス自身の、もしくは外部メモリーでの、プロセス、電圧、または温度のあらゆる変化を補償することができます。アドバンスト・キャリブレーション・アルゴリズムは、すべての動作条件にわたって最大の帯域幅と堅牢なタイミングマーキングを確実にします。

パラレル・メモリー・インターフェイスに加えて、Arria 10 デバイスは、ハイブリッド・メモリー・キューブ (HMC) のようなシリアル・メモリー・テクノロジーをサポートしています。HMC は Arria 10 の高速シリアル・トランシーバーでサポートされており、トランシーバーは最大 4 つの HMC リンクと接続し、各リンクは最大 15 Gbps のデータレートで動作します。

関連情報

外部メモリー・インターフェイス・スペック・エスティメーター

アルテラのデバイスでサポートされている外部メモリー・インターフェイスの性能を検索し、比較するためのパラメトリック・ツールを提供します。

1.10.1 Arria 10 デバイスでサポートされるメモリー規格

I/Os は、既存および新しい外部メモリー規格に高いパフォーマンスで対応できるようにデザインされています。

表 20. ハードメモリー・コントローラーでサポートされるメモリー規格

この表は、ハードメモリー・コントローラーの総合的な性能を示しています。具体的な詳細については、外部メモリー・インターフェイス・スペック・エスティメーターおよび Arria 10 デバイス・データシートを参照してください。

メモリー規格	レートサポート	ピンボン PHY サポート	最大周波数 (MHz)
DDR4 SDRAM	クォーターレート	あり	1,067
		—	1,200
DDR3 SDRAM	ハーフレート	あり	533
		—	667
	クォーターレート	あり	1,067
		—	1,067

continued...



メモリー規格	レートサポート	ピンボン PHY サポート	最大周波数 (MHz)
DDR3L SDRAM	ハーフレート	あり	533
		—	667
	クォーターレート	あり	933
		—	933
LPDDR3 SDRAM	ハーフレート	—	533
	クォーターレート	—	800

表 21. ソフトメモリー・コントローラーでサポートされるメモリー規格

メモリー規格	レートサポート	最大周波数 (MHz)
RLDRAM 3 ⁽¹¹⁾	クォーターレート	1,200
QDR IV SRAM	クォーターレート	1,067
QDR II SRAM	フルレート	333
	ハーフレート	333
QDR II+ SRAM	フルレート	333
	ハーフレート	550
QDR II+ Xtreme SRAM	フルレート	333
	ハーフレート	633

表 22. HPS ハードメモリー・コントローラーでサポートされるメモリー規格

ハード・プロセッサ・システム(HPS)は Arria 10 SoC デバイスでのみ使用可能です。

メモリー規格	レートサポート	最大周波数 (MHz)
DDR4 SDRAM	ハーフレート	1,200
DDR3 SDRAM	ハーフレート	1,067
DDR3L SDRAM	ハーフレート	933

関連情報

Arria 10 デバイス・データシート

メモリー・インターフェイス規格、ランクまたはチップ・セレクト・コンフィグレーション、および Arria 10 デバイスのスピードグレードに応じてメモリー・インターフェイス性能をリストします。

(11) Arria 10 デバイスは、ハード PHY とソフトメモリー・コントローラーを使用する外部メモリー・インターフェイスをサポートしています。

1.11 PCIe Gen1、Gen2 と Gen3 ハード IP

Arria 10 デバイスは、高性能かつ使いやすくデザインされた PCIe ハード IP を含みます。

- PCIe スタックのすべての層を含むトランザクション層、データリンク層、物理層
- PCIe Gen3、Gen2、Gen1 のエンドポイントとルートポートを、x1、x2、x4、x8 レーンの設定でサポート
- コアロジックから独立した動作オプションの CvP(Configuration via Protocol)により、Arria 10 デバイスが FPGA の残りの部分のためにプログラミング・ファイルのロードを完了させる間に、PCIe リンクが 100ms 以内にリンク・トレーニングを起動し完了させることが可能
- シングルルート I/O 仮想化(SR-IOV)のような新しい機能やオプションのプロトコル拡張のサポートを容易にする機能性を追加
- ECC を用いた改良版エンド・ツー・エンド・データパス保護の提供
- Gen1、Gen2、または Gen3 の速度で PCIe を用いる FPGA (Configuration via Protocol)のサポート

関連情報

30 ページの [PCS の機能](#)

1.12 Interlaken ならびに 10 Gbps イーサネット向けエンハンスト PCS ハード IP

1.12.1 Interlaken のサポート

Arria 10 のエンハンスト PCS ハード IP は、レーンあたり最高 17.4 Gbps の速度をサポートする Interlaken PCS を内蔵しています。

Interlaken PCS は、アルテラの前世代 FPGA 向けに開発された、実績のある PCS の機能性に基づいており、Interlaken ASSP ベンダーとサードパーティー IP サプライヤーとの相互運用性が実証されています。Interlaken PCS は Arria 10 デバイスのすべてのトランシーバー・チャンネルに含まれていません。

関連情報

30 ページの [PCS の機能](#)

1.12.2 1G/10 Gbps イーサネットのサポート

Arria 10 のエンハンスト PCS ハード IP は、IEEE 802.3 10 Gbps Ethernet(10GbE)に準拠した 10GBASE-R PCS をサポートしています。10GbE と 10 Gbps トランシーバーをサポートする内蔵のハード IP により、外部 PHY コスト、ボード面積とシステムの消費電力を抑えられます。



拡張可能な 10GbE ハード IP は、複数の独立した 10GbE ポートをサポートしながら、すべての 10GBASE-R PCS のインスタンス化に単独の PLL を使用し、コア・ロジック・リソースとクロック・ネットワークを節減します。

- XAUI から 10G への外付け PHY を必要とする XAUI インターフェイスより簡単なマルチポート 10GbE システム
- 標準的な 10 Gbps XFP 光モジュールと SFP+ 光モジュールへの直接接続を可能にする電子分散補償(EDC)を導入
- バックプレーン・イーサネット・アプリケーションをサポートし、10 Gbps と 40 Gbps のアプリケーションに使用可能なハード 10GBASE-KR 順方誤り訂正(FEC)回路を内蔵

10 Gbps イーサネット PCS ハード IP と 10GBASE-KR FEC は、すべてのトランシーバー・チャンネルに含まれています。

関連情報

30 ページの [PCS の機能](#)

1.13 低消費電力シリアル・トランシーバー

Arria 10 FPGA と SoC は、広い帯域幅、スループットと低レイテンシーを提供し、消費電力が最も低いトランシーバーを内蔵しています。

Arria 10 デバイスは、各トランシーバー・チャンネルで業界で最も低い消費電力を実現します。

- 12.5 Gbps トランシーバーで 242 mW 未満
- 10 Gbps トランシーバーで 168 mW 未満
- 6 Gbps トランシーバーで 117 mW 未満

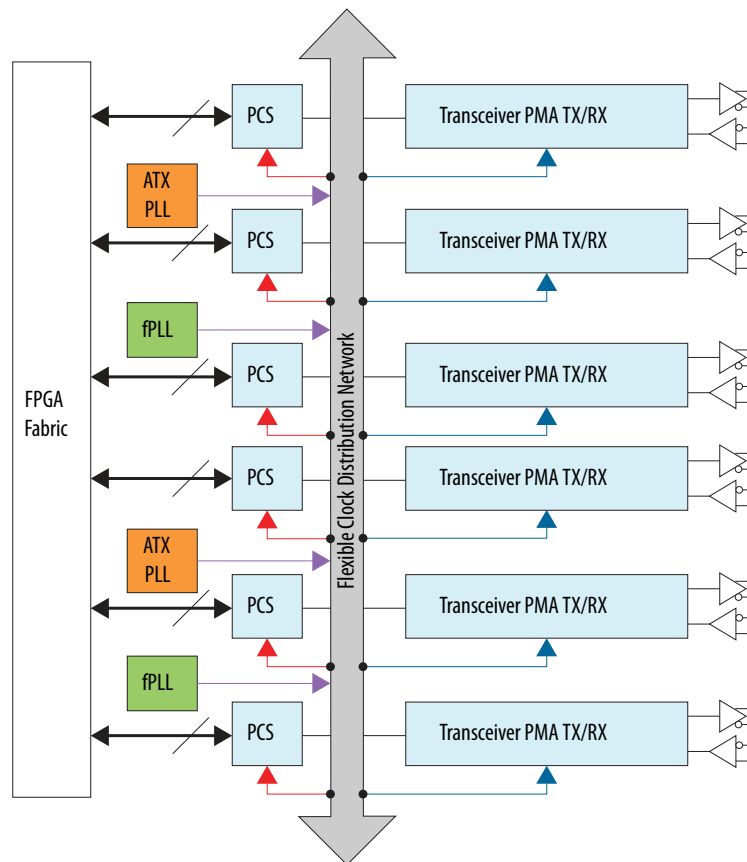
Arria 10 トランシーバーは、アプリケーションに応じて様々なデータレートをサポートしています。

- チップからチップへ、あるいはチップからモジュールへのアプリケーション—125 Mbps ~ 25.8 Gbps まで
- 長距離向け、およびバックプレーン対応アプリケーション—アドバンスト・アダプティブ・イコライゼーションを伴う 125 Mbps ~ 17.4 Gbps まで
- 消費電力に非常に敏感なアプリケーション—低消費電力モードを用いる 125 Mbps ~ 11.3 Gbps まで

20 nm プロセス・テクノロジーとアーキテクチャーの進歩の組み合わせが以下のような利点を提供します。

- ダイ面積と消費電力の大幅な削減
- 最高のシグナル・インテグリティを維持しながら、前世代のデバイスと比較して、最大 2 倍のトランシーバー I/O 集積度
- 最大 6 チャンネルを 25.8 Gbps の速さでコンフィグレーション可能な、最大 72 の総トランシーバー・チャンネル数
- すべてのチャンネルが最大定格速度までの連続データレートをサポート

図 -6: Arria 10 トランシーバー・ブロックのアーキテクチャー



1.13.1 トランシーバー・チャンネル

すべてのトランシーバー・チャンネルは、専用のフィジカル・メディア・アタッチメント(PMA)とハード化されたフィジカル・コーディング・サブレイヤー(PCS)を備えています。

- PMA は物理チャンネルとの最初のインターフェイス機能を提供
- PCS は通常、データを FPGA コア・ファブリックに転送する前の、エンコードとデコード、ワード・アライメント、その他の前処理機能を扱う

トランシーバー・チャンネルは、PMA ブロックと PCS ブロックから構成されています。大部分のトランシーバー・バンクは 6 チャンネルを有します。3 チャンネルしか含まないトランシーバー・バンクもあります。

高度にコンフィギュレーション可能なクロック分配ネットワークを使用して、多種多様なボンディングあるいはノン・ボンディング・データ・レートをコンフィギュレーションすることができます。最大 80 の独立したトランシーバー・データ・レートをコンフィギュレーション可能です。

以下の図はシリコンダイの概念図であり、トランシーバーのフリップチップ・パッケージのリバース図に対応しています。異なる Arria 10 デバイスは図に示したものと異なるフロアプランを有します。



図 -7: Arria 10 GX および GT デバイスのデバイスチップの概要

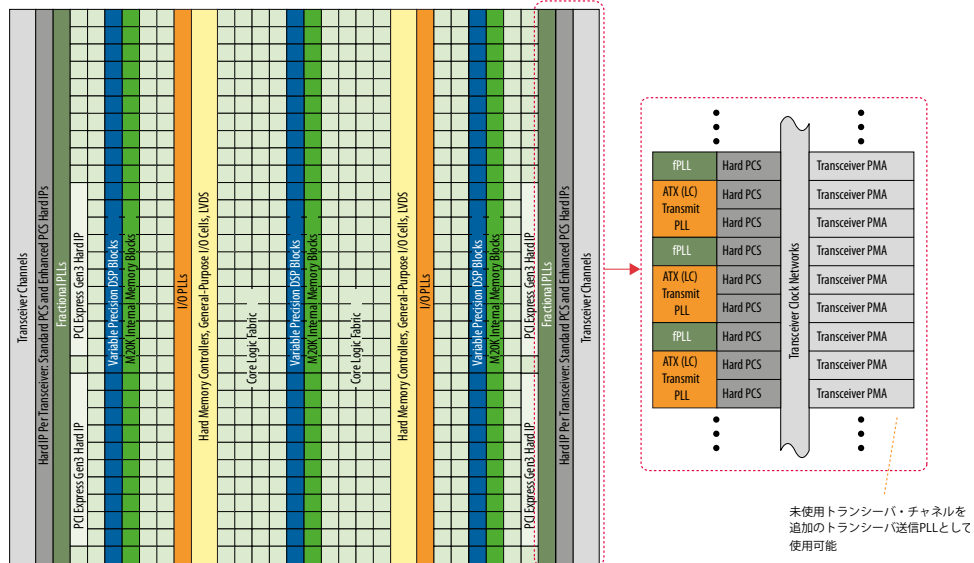
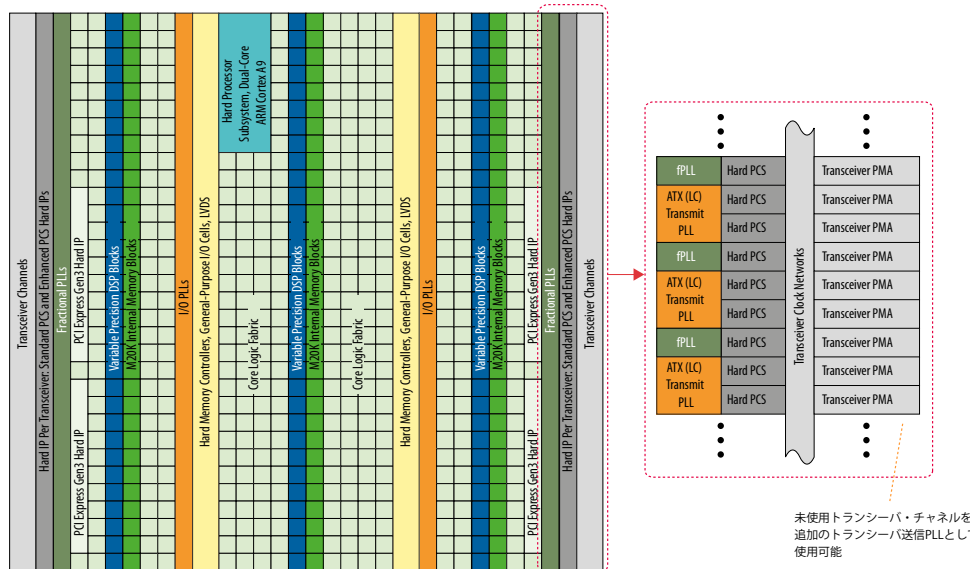


図 -8: Arria 10 SX デバイスのデバイスチップの概要



1.13.2 PMA の機能

Arria 10 トランシーバは、最高 25.8 Gbps のデータレートで非常に優れたシグナル・インテグリティを提供します。クロックのオプションには、超低ジッター ATX PLL (LC タンク・ベース)、クロック乗算ユニット (CMU) PLL ならびにフラクショナル PLL が含まれます。

各トランシーバー・チャンネルは、CMU PLL またはクロック・データ・リカバリー (CDR) PLL として使用可能なチャンネル PLL を含みます。CDR モードでは、チャンネル PLL はトランシーバー・チャンネルでレシーバークロックとデータを復元します。1 つの Arria 10 デバイスに最大 80 のデータレートを個別にコンフィグレーション可能です。

表 23. Arria 10 デバイスのトランシーバー PMA の機能

機能	性能
チップ間のデータレート	125 Mbps~17.4 Gbps(Arria 10GX デバイス) 125 Mbps~25.8 Gbps(Arria 10GT デバイス)
バックプレーン・サポート	10GBASE-KR 準拠を含め、最大 17.4 Gbps のデータレートでバックプレーンを駆動
光モジュールサポート	SFP+/SFP、XFP、CXP、QSFP/QSFP28、CFP/CFP2/CFP4
ケーブル駆動サポート	SFP+ Direct Attach、PCI Express over cable、eSATA
送信プリエンファシス	システムチャンネルの損失を補償する 4 タップ送信プリエンファシスおよびディエンファシス
連続時間リニア・イコライザー (CTLE)	デュアルモード、高いゲインと高いデータレート、システムチャンネルの損失を補償するリニア受信イコライゼーション
デジション・フィードバック・イコライザー (DFE)	クロストークのある、またノイズの多い環境下でのバックプレーン・チャンネル損失をイコライズするための 7 つの固定と 4 つの浮動のタップ DFE
可変ゲインアンプ	CDR サンプリング前に信号振幅を最適化し、固定モードとアダプティブ・モードで動作
アルテラ・デジタル・アダプティブ・パラメトリック・チューニング (ADAPT)	CTLE、DFE、可変ゲイン・アンプ・ブロックを含む、ユーザーロジックからの介入なしで最適なリンクマージンを提供する全てのリンク・イコライゼーション・パラメーターを自動的に調整する、フルデジタルのアダプティブ・エンジン
高精度シグナル・インテグリティ・キャリブレーション・エンジン (PreSICE)	電源投入時にすべてのトランシーバーのキャリブレーション・パラメーターを迅速に補正し最適なシグナル・インテグリティとジッター・パフォーマンスを提供する、ハード化されたキャリブレーション・コントローラー
ATX (Advanced Transmit) PLL	連続したチューニング範囲で広範囲の標準プロトコルと独自開発プロトコルをカバーする低ジッター ATX (LC タンク・ベース) PLL
フラクショナル PLL	オンボード水晶発振器に替わって使用できシステムコストを削減するオンチップのフラクショナル周波数シンセサイザー
デジタル・アシスト・アナログ CDR	優れたジッター耐性と高速ロック時間
オンダイ計測用 EyeQ およびジッター・マージン・ツール	非侵入型高解像度アイ・モニタリング (EyeQ) を用いた、ボード立ち上げ、デバッグと診断の簡素化。また、トランスミッターからジッターを注入し、システムのリンクマージンのテスト
ダイナミック・パーシャル・リコンフィグレーション	トランシーバー・チャンネルの Avalon Memory-Mapped インターフェイスを個別にコントロール可能にし、トランシーバーの柔軟性を最高に
PCS-PMA と PCS-PLD の多様なインターフェイス幅	デシリアライゼーション幅、エンコーディング、およびレイテンシー削減を柔軟にする、8 ビット、10 ビット、16 ビット、20 ビット、32 ビット、40 ビット、または 64 ビットのインターフェイス幅

1.13.3 PCS の機能

以下の表に Arria 10 のトランシーバーの PCS 機能をまとめます。トランシーバー PCS を使用して、125 Mbps から 25.8 Gbps までの広範囲のプロトコルをサポートすることができます。



PCS	概要
標準 PCS	<ul style="list-style-type: none"> 最大 12 Gbps のデータレートで動作 PCI-Express, CPRI 4.2 +, GigE, IEEE 1588 といったハード PCS のプロトコルをサポート ベーシックまたはカスタム (標準 PCS) のトランシーバー・コンフィギュレーション・ルールを使用する、さまざまなプロトコルを実装
エンハンスド PCS	<ul style="list-style-type: none"> PMA を介してオフチップにデータが送信される、または受信する前に、大部分のシリアルデータの業界規格に共通する、ワード・アライメント、エンコードとデコード、フレーミングといった機能処理 FPGA ファブリックにおけるデータ転送を処理します。 PMA との内部的なデータ転送を処理 周波数補償を提供します。 複数チャンネルで低スキューのアプリケーションのチャンネル・ボンディングを処理
PCIe Gen3 PCS	<ul style="list-style-type: none"> Gen1、Gen2、および Gen3 のデータレート間でのデータおよびクロックのシームレスな切り替えをサポート PIPE 3.0 機能のサポートを提供 ハード IP バイパスと同様にハード IP 有効も備える PIPE インターフェイスをサポート

関連情報

- 26 ページの [PCIe Gen1, Gen2 と Gen3 ハード IP](#)
- 26 ページの [Interlaken のサポート](#)
- 26 ページの [1G/10 Gbps イーサネットのサポート](#)

1.13.3.1 PCS プロトコルのサポート

以下の表に、Arria 10 トランシーバー PCS がサポートするプロトコルの一部を示します。トランスミッターとレシーバーのデータパスのブロックについて、詳しくは関連情報を参照してください。

プロトコル	データレート (Gbps)	トランシーバー IP	PCS のサポート
PCIe Gen3 x1, x2, x4, x8	8.0	Native PHY(PIPE)	標準 PCS と PCIe Gen3 PCS
PCIe Gen2 x1, x2, x4, x8	5.0	Native PHY(PIPE)	標準 PCS
PCIe Gen1 x1, x2, x4, x8	2.5	Native PHY(PIPE)	標準 PCS
1000BASE-X ギガビット・イーサネット	1.25	Native PHY	標準 PCS
1000BASE-X ギガビット・イーサネットと 1588	1.25	Native PHY	標準 PCS
10GBASE-R	10.3125	Native PHY	エンハンスド PCS
10GBASE-R 1588	10.3125	Native PHY	エンハンスド PCS
10GBASE-R と KR FEC	10.3125	Native PHY	エンハンスド PCS
10GBASE-KR と 1000BASE-X	10.3125	1G/10GbE と 10GBASE-KR PHY	標準 PCS とエンハンスド PCS
Interlaken(CEI-6G/11G)	3.125 ~ 17.4	Native PHY	エンハンスド PCS
SFI-S または SFI-5.2	11.2	Native PHY	エンハンスド PCS
10G SDI	10.692	Native PHY	エンハンスド PCS
CPRI 6.0(64B/66B)	0.6144 ~ 10.1376	Native PHY	エンハンスド PCS
<i>continued...</i>			

プロトコル	データレート (Gbps)	トランシーバー IP	PCS のサポート
CPRI 4.2(8B/10B)	0.6144~9.8304	Native PHY	標準 PCS
OBSAI RP3 v4.2	0.6144~6.144	Native PHY	標準 PCS
SD-SDI/HD-SDI/3G-SDI	0.143 ⁽¹²⁾ ~2.97	Native PHY	標準 PCS

関連情報

Arria 10 トランシーバー PHY のユーザーガイド

サポートされるトランシーバー・プロトコルと PHY IP、PMA アーキテクチャー、および標準、エンハンスドと PCIe Gen 3 の PCS アーキテクチャーについての詳しい情報を提供します。

1.14 ハード・プロセッサ・システムを備える SoC

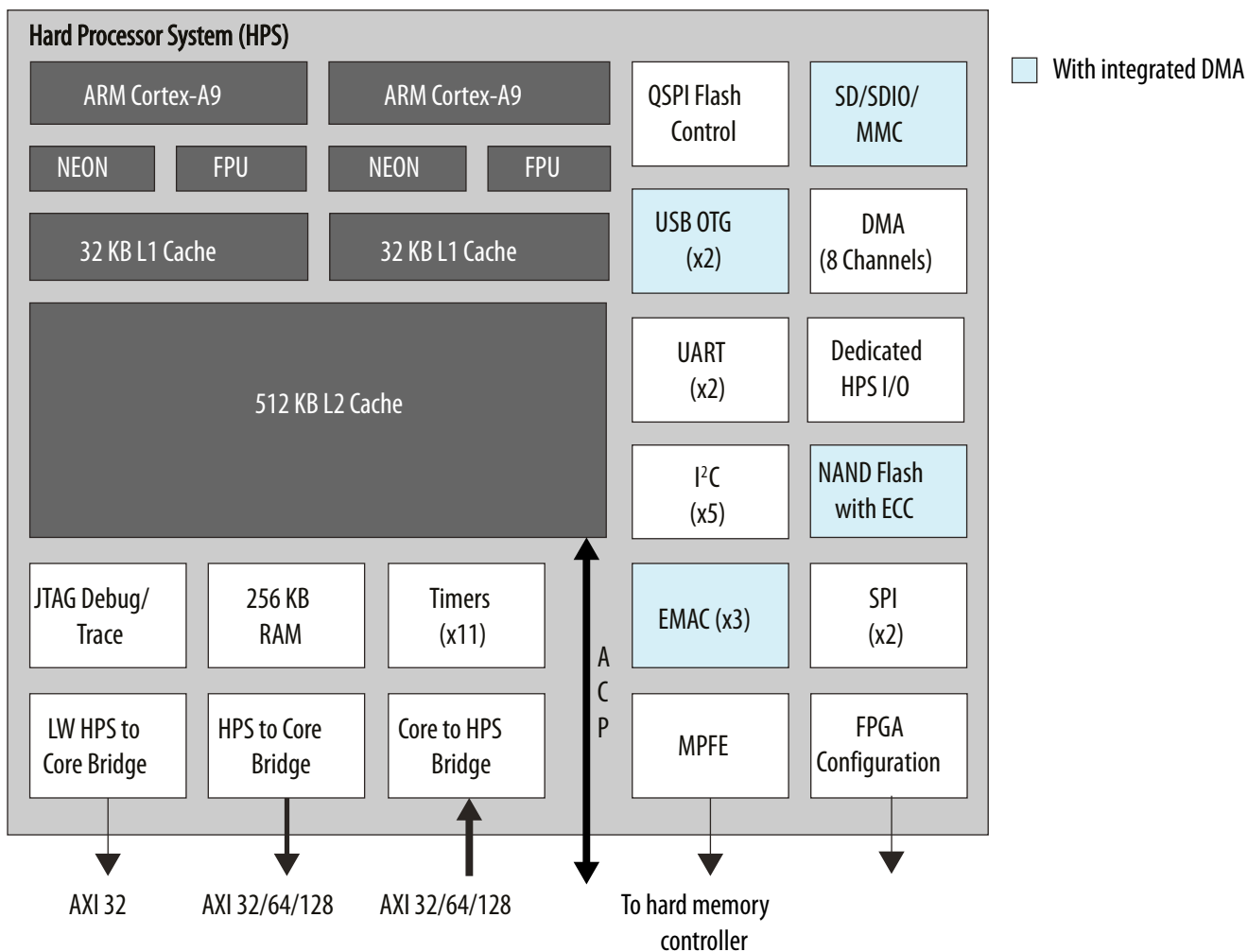
各 SoC デバイスは、FPGA ファブリックとハード・プロセッサ・システム(HPS)を 1 つのデバイスに統合しています。このコンビネーションが、以下に示すようにプログラマブル・ロジックに柔軟性をもたらす、ハード IP の消費電力とコストを低減します。

- エンベデッド・プロセッサの不連続を解消することにより、ボード面積、システムの消費電力、および BOM コストを削減
- ハードウェアおよびソフトウェア両方で最終製品の差別化を可能にし、実質的にあらゆるインターフェイス規格をサポート
- インフィールドでのハードウェアとソフトウェアのアップデートによって、製品寿命を延ばし、収益を拡大

(12) FPGA ファブリックに実装する必要があるユーザーロジックのオーバサンプリングに使用する、0.143 Gbps のデータレートをサポートしています。

図 -9: HPS のブロック図

以下にデュアル ARM Cortex-A9 MPCore プロセッサを備える HPS のブロック図を示します。



1.14.1 20nm HPS の大きな強み

20nm HPS は、28nm SoC とのソフトウェア互換性を最大にすると同時に、28nm HPS アーキテクチャーの持続的な改善とも両立させます。これらの改良により、無線通信と有線通信、コンピューティング機器やストレージ機器、性能面で放送および防衛、メモリー帯域幅、バックプレーン経由の接続性、あるいはセキュリティといった次世代のターゲット・マーケットの要求に対応します。

表 24. 20 nm HPS で向上した部分

以下の表に、28 nm HPS との対比で 20 nm HPS が大きく向上している部分を示します。

強み、向上した点	概要
パフォーマンスの向上とオーバードライブ能力	プロセッサの公称周波数が 1.2 GHz である一方、20 nm HPS はプロセッサのより高い動作周波数を可能にする「オーバードライブ」機能を提供。これには、HPS だけに独自の高い供給電圧値を必要とし、独立したレギュレーターが必要
プロセッサのメモリー帯域幅の増加と DDR4 のサポート	プロセッサは最高 64 ビットの DDR4 メモリーを 2,666 Mbps でサポート可能。HPS のハードメモリー・コントローラーは、個々のポート・メモリー・コントローラーへの接続を管理するマルチポート・フロント・エンドを含む。マルチポート・フロント・エンドによりロジックコアと HPS がポート、ならびに使用可能な帯域幅でのメモリー・コントローラーを共有可能
柔軟な I/O の共有	<p>進化した I/O ピンのマルチプレクサー化手法により、HPS とコアロジックとの間の I/O の共有が改善。SoC では以下の I/O が使用可能</p> <ul style="list-style-type: none"> 17 の専用 I/O—HPS ブロック内に物理的に配置されており、コアのロジックにはアクセスできない。17 の専用 I/O は HPS クロック、リセット、およびブート・デバイスである QSPI あるいは SD/MMC とのインターフェイスに使用する 直接共有される 48 の I/O—HPS ブロックの最も近くに配置されており、EMAC、USB、その他の高速 HPS ペリフェラルに最適。直接共有できる I/O が 1 つのバンクに 48 あり、48 の I/O から一度に 12 の I/O を共有できる 標準(共有)I/O—全ての標準 I/O は、HPS ペリフェラルおよびコア内のあらゆるロジックによる共有が可能。HPS のすべてのペリフェラルを十分活用するために 48 を超える I/O が必要なデザインに対して、コアロジックを介してこれらの標準 I/O を接続できる
EMAC コア	3 つ目の EMAC コアが HPS で利用可能に。3 つの EMAC コアにより、たとえばバックプレーン、または IEEE 1588 のタイムスタンプ情報を取り扱うための 2 つの EMAC コアといった、2 つの冗長イーサネット接続をアプリケーションがサポートすることができ、同時に 3 番目の EMAC コアでデバックやコンフィギュレーションをすることが可能。3 つの EMAC はすべて同じタイムスタンプを共有することができ、1588 タイムスタンプの実装がシンプルに。新しいシリアル・タイムスタンプ・インターフェイスにより、コアロジックはタイムスタンプ値へのアクセスと読み出しが可能。内蔵の EMAC コントローラーは、提供される MDIO または I ² C インターフェイスを介して外部イーサネット PHY に接続可能
オンチップ・メモリー	オンチップ・メモリーが 256KB サポートにアップデートされ、より大きなデータセットとリアル・タイム・アルゴリズムをサポート可能に
ECC の強化	L2 のキャッシュ ECC 管理の改善により、アドレスレベルまでのエラーの識別が可能に。また ECC の強化で、症状とデータ信号への新しいメモリーマップド・アクセスの導入により、エラー注入ならびにステータスのレポートが改善
HPS から FPGA へのインタコネクト・バックボーン	高性能 ARM AMBA AXI バス・ブリッジから構築される高帯域幅システム・インタコネクトを介して密接に結びつけられ、かつ独立して動作が可能な HPS とロジックコア。FPGA ファブリックの IP バス・マスターは、HPS-FPGA インタコネクトを介して HPS バス・スレーブにアクセス可能。同様に、HPS バス・マスターは、HPS-FPGA ブリッジを介してコア・ファブリックのバススレーブにアクセス可能。両方のブリッジは AMBA AXI-3 に準拠しており、読み出しと書き込みの同時トランザクションをサポート。コア・ファブリックの最大で 3 つまでのマスターが HPS SDRAM コントローラーをプロセッサと共有可能。加えて、プロセッサは、専用 32 ビットのコンフィギュレーション・ポートを介したプログラム制御下でのコア・ファブリックのコンフィギュレーションに使用可能
FPGA のコンフィギュレーションとプロセッサのブート	SoC の FPGA ファブリックと HPS へとそれぞれ個別に電源供給。クロック周波数の削減またはクロックのゲートにより、ダイナミック電力の削減が、また FPGA ファブリック全体のシャットダウンによりトータルシステム消費電力の削減が可能 FPGA ファブリックのコンフィギュレーションと HPS のブートを個別に行うことができ、どのような構成でも、デザインのさらなる柔軟性を提供
セキュリティ	新しいセキュリティ機能の、改ざん防止の管理、セキュアブート、暗号化(AES)、および認証(SHA)の導入



1.14.2 HPS の機能

HPS は以下の機能を備えています。

- 1.2 GHz、オーバードライブによって最高 1.5 GHz のデュアルコア ARM Cortex-A9 MPCore プロセッサ
 - 32 ビットの ARM 命令、16 ビットと 32 ビットの Thumb 命令、および Jazelle スタイルでの 8 ビットの Java バイト・コードを処理する ARMv7-A アーキテクチャー
 - ダイナミック分岐予測に対応したスーパースカラ、可変長、アウト・オブ・オーダー・パイプライン
 - 2.5 MIPS/MHz の命令効率により 1.5 GHz で 7500 MIPS のトータル性能を提供
- 以下を含む各プロセッサ・コア
 - 32KB の L1 命令キャッシュ、32KB の L1 データキャッシュ
 - 単精度と倍精度の浮動小数点ユニット、ならびに NEON メディアエンジン
 - CoreSight デバッグとトレース・テクノロジー
 - スヌープ制御ユニット(SCU)とアクセラレーター・コヒーレンシー・ポート(ACP)
- 512KB の共有 L2 キャッシュ
- 256 KB のスクラッチ RAM
- DDR3、DDR4 のサポートに加えて、オプションで誤り訂正コード(ECC)をサポートするハードメモリー・コントローラー
- ハードメモリー・コントローラーへのマルチポート・フロントエンド(MPFE)スケジューラ・インターフェイス
- 8 チャンネルのダイレクト・メモリー・アクセス(DMA)コントローラー
- SIO、DIO、QIO SPI フラッシュをサポートする QSPI フラッシュ・コントローラー
- DMA と ECC をサポートし、8 ビットと 16 ビットのフラッシュデバイスをサポートするためにアップデートされ、新しいコマンド DMA により CPU をオフロードし迅速なパワーダウン・リカバリーを実現する、NAND フラッシュ・コントローラー (ONFI 1.0 以降)
- eMMC 4.5、DMA と、CE-ATA のデジタルコマンドをサポートするためにアップデートされた SD/SDIO/MMC コントローラー
- 3 つの DMA 内蔵 10/100/1000 イーサネット MAC(media access control)
- 2 つの DMA 対応 USB On-the-Go(OTG)コントローラー
- 5 つの I²C コントローラー (3 つは EMAC により外部 PHY への MIO に使用可能)
- 2 つの 16550 互換 UART コントローラー
- 4 つのシリアル・ペリフェラル・インターフェイス(SPI) (マスタ 2 つ、スレーブ 2 つ)
- HPS ペリフェラルを I/O に直接接続可能にする 62 の I/O 直接共有 I/O
- 7 つの汎用タイマー
- 4 つのウォッチドッグ・タイマー
- 改ざん防止、セキュアブート、暗号化(AES)および認証(SHA)

1.14.2.1 システム・ペリフェラルとデバッグ・アクセス・ポート

イーサネット MAC、USB OTG、NAND フラッシュ・コントローラーと SD/MMC コントローラー・モジュールは、それぞれ内蔵の DMA コントローラーを有します。内蔵の DMA コントローラーを持たないモジュールには、追加的な DMA コントローラー・モジュールが最大 8 チャンネルの高帯域幅データ転送を提供します。オフチップで通信するペリフェラルは、HPS ピンレベルで他のペリフェラルとマルチプレクサー化されます。これにより、PCB 上の他のデバイスとインターフェイスするペリフェラルの選択が可能になります。

デバッグ・アクセス・ポートは業界標準の JTAG デバッグ・プローブへのインターフェイスを提供し、ARM CoreSight デバッグとコアトレースをサポートすることで、ソフトウェア開発を容易にします。

1.14.2.2 HPS-FPGA AXI ブリッジ

AMBA(Advanced Microcontroller Bus Architecture) AXI™(Advanced eXtensible Interface)仕様をサポートする HPS-FPGA ブリッジは、以下のブリッジから構成されています。

- FPGA-HPSAXI ブリッジ—FPGA ファブリックによる HPS のスレーブへのトランザクション発行を可能にする、32 ビット、64 ビットと 128 ビットのデータ幅をサポートする高性能バス
- HPS-FPGA Avalon/AMBA AXI ブリッジ—HPS による FPGA ファブリックのスレーブへのトランザクション発行を可能にする、32 ビット、64 ビットと 128 ビットのデータ幅をサポートする高性能バス
- 軽量 HPS-FPGA AXI ブリッジ—HPS による FPGA ファブリックのスレーブへのトランザクション発行を可能にする、低レイテンシ 32 ビット幅バス。主に FPGA ファブリックのペリフェラルへアクセスする CSR(control and status register)用に使用されるブリッジ

HPS-FPGA AXI ブリッジにより、FPGA ファブリックのマスターが HPS ロジックのスレーブと通信すること、あるいはその逆が可能です。例えば HPS-FPGA AXI ブリッジにより、FPGA ファブリックでインスタンス化されたメモリーを HPS の一方または両方のマイクロプロセッサと共有することが可能になり、FPGA-HPS AXI ブリッジにより、FPGA ファブリックのロジックが HPS のメモリーおよびペリフェラルにアクセスすることが可能になります。

また、各 HPS-FPGA ブリッジは、FPGA ファブリックと HPS の間で転送されるデータの非同期クロック・クロッシングも提供します。

1.14.2.3 HPS SDRAM コントローラー・サブシステム

HPS SDRAM コントローラー・サブシステムには、FPGA ファブリック(FPGA-HPS SDRAM インターフェイスを経由)、レベル 2(L2)キャッシュ、およびレベル 3(L3)システム・インタコネクト間で共有されるマルチポート SDRAM コントローラーと DDR PHY が含まれています。FPGA-HPS SDRAM インターフェイスは、AMBA AXI および Avalon® Memory-Mapped(Avalon-MM)インターフェイス規格をサポートし、FPGA ファブリックに実装されたマスタによるアクセスのために最大 6 つの独立したポートを提供します。

HPS SDRAM コントローラーは、最大 3 つのマスター(コマンドポート)、3 つの 64 ビットの読み出しデータポートと、3 つの 64 ビットの書き込みデータポートをサポートします。

メモリーのパフォーマンスを最大にするために、SDRAM コントローラー・サブシステムは、コマンドとデータのリオードリング、エージングを伴う不足ラウンド・ロビン・アービトレーション、および高優先度のバイパス機能をサポートしています。



1.14.3 FPGA のコンフィグレーションとプロセッサのブート

SoC FPGA の FPGA ファブリックと HPS は同時に電源を入れる必要があります。クロック周波数の削減、またはクロックのゲートによってダイナミック消費電力を削減することができます。

電源を入れると、FPGA ファブリックと HPS を個別にコンフィグレーションすることができ、より柔軟なデザインが可能です。

- HPS は単独でブート可能。HPS の動作後、ソフトウェアのコントロール下でいつでも HPS が FPGA ファブリックを完全に、あるいは部分的にリコンフィグレーション可能。また HPS は、FPGA コンフィグレーション・コントローラーを介してボード上の他の FPGA をコンフィグレーションすることも可能
- FPGA ファブリックをコンフィグレーションした後に、FPGA ファブリックにアクセス可能なメモリーから HPS をブートすることが可能

1.14.4 ハードウェアおよびソフトウェア開発

ハードウェア開発では、Quartus Prime ソフトウェアの Qsys システム統合ツールを使用して HPS をコンフィグレーションし、FPGA ファブリックのソフトロジックを HPS インターフェイスに接続することができます。

ソフトウェア開発では、ARM ベースの SoC FPGA デバイスは ARM Cortex-A9 MPCore プロセッサで使用可能な豊富なソフトウェア開発エコシステムを継承しています。アルテラ SoC FPGA のソフトウェア開発プロセスは、他のメーカーの SoC デバイスのステップと同一のものをフォローしています。SoC FPGA で Linux、VxWorks[®]、および他のオペレーティング・システムのサポートが可能になります。利用可能なオペレーティング・システム・サポートについて、詳しくはアルテラの販売代理店にお問い合わせください。

アルテラ SoC FPGA Virtual Target で、目的のデバイス向けにファームウェア開発とソフトウェア開発を始めることができます。Virtual Target は PC で動作する完全な開発ボードのモデルであり、ターゲット開発システムの PC ベースでの高速な機能シミュレーションです。Virtual Target により、そのまま実際のハードウェア上で動作させることができる、目的のデバイス向けの製品ソフトウェアを開発できます。

1.15 ダイナミックおよびパーシャル・リコンフィグレーション

Arria 10 デバイスは、ダイナミック・リコンフィグレーションとパーシャル・リコンフィグレーションをサポートしています。ダイナミックおよびパーシャル・リコンフィグレーションを同時に使用することにより、デバイスコアとトランシーバーの両方がシームレスにリコンフィグレーション可能になります。

1.15.1 ダイナミック・リコンフィグレーション

デバイスが動作を継続している間に、PMA および PCS ブロックをリコンフィグレーションできます。この機能により、他のトランシーバー・バンクで進行中のデータ転送に影響を与えることなく、データレート、プロトコル、およびトランシーバー・バンク内のチャンネルのアナログ設定を変更することができます。この機能はダイナミック・マルチプロトコルまたはマルチレートのサポートを必要とするアプリケーションに最適です。

1.15.2 パーシャル・リコンフィグレーション

パーシャル・リコンフィグレーションを使用して、デバイスの動作を維持しながら、デバイスの一部をリコンフィグレーションすることができます。

すべてのデバイス機能を FPGA ファブリック内に配置する代わりに、同時には動作しない機能は外部メモリーに格納して必要なときだけロードします。この機能はデバイスの有効なロジック密度を増加させ、コストおよび消費電力を減少させます。

アルテラ® のソリューションを使用すれば、パーシャル・リコンフィグレーションを行うために複雑なデバイス・アーキテクチャーに悩まされる必要はありません。パーシャル・リコンフィグレーション機能は Quartus Prime 開発ソフトウェアに組み込まれているため、時間を要するタスクは軽減されます。

Arria 10 デバイスは、以下のコンフィグレーション・オプションでパーシャル・リコンフィグレーションをサポートしています。

- 内部ホストを使用
 - FPGA がシリアルまたはパラレル・フラッシュ・メモリーなどの外部メモリーデバイスにアクセスしているのであれば、すべてのコンフィグレーション・モードをサポートします。
 - CvP(Configuration via Protocol) (PCIe)
- 外部ホストを使用—パッシブ・シリアル(PS)、ファスト・パッシブ・パラレル(FPP) x8、FPP x16、および FPP x32 I/O インターフェイス

1.16 エンハンスト・コンフィグレーションとプロトコル経由のコンフィグレーション

表 25. Arria 10 デバイスのコンフィグレーション・モードと機能

Arria 10 デバイスは 1.8 V のプログラミング電圧といくつかのコンフィグレーション・モードをサポートしています。

モード	データ幅	最大クロックレート(MHz)	最大データレート (Mbps) ⁽¹³⁾	圧縮復元	デザイン・セキュリティ ⁽¹⁴⁾	パーシャル・リコンフィグレーション ⁽¹⁵⁾	リモート・システム・アップデート
JTAG	1 ビット	33	33	—	—	あり ⁽¹⁶⁾	—
EPCQ-L コンフィグレーション・デバイスを介したアクティブシリアル (AS)	1 ビット、4 ビット	100	400	あり	あり	あり ⁽¹⁶⁾	あり
CPLD または外部マイクロコントローラーを介したパッシブシリアル (PS)	1 ビット	100	100	あり	あり	あり ⁽¹⁶⁾	パラレル・フラッシュ・ローダー (PFL) IP コア

continued...

(13) 圧縮やデザイン・セキュリティ機能のいずれかを有効にすると、最大データレートに影響を与えます。詳細については、Arria 10 デバイスのデータシートを参照してください。

(14) 暗号化と圧縮を同時に使用することはできません。

(15) パーシャル・リコンフィグレーションは、デバイスファミリーにおける最先端の機能です。パーシャル・リコンフィグレーションの詳細な情報については、アルテラまでお問い合わせください。

(16) パーシャル・リコンフィグレーションは、内部ホストとしてコンフィグレーションされている場合のみ



モード	データ幅	最大クロック レート(MHz)	最大データレ ート (Mbps) (13)	圧縮復元	デザイン・セ キュリティー (14)	パーシャル・ リコンフィグレーション (15)	リモート・ システム・ アップデート
CPLD または外部マイ クロコントローラーを 介したファスト・パッシ ブ・パラレル(FPP)	8 ビット	100	3200	あり	あり	あり (17)	PFL IP コア
	16 ビット			あり	あり		
	32 ビット			あり	あり		
HPS を介したコンフィ グレーション	16 ビット	100	3200	あり	あり	あり(17)	—
	32 ビット			あり	あり		
CvP(Configuration via Protocol) (PCIe)	x1,x2, x4, x8 レーン	—	8000	あり	あり	あり(16)	—

CvP(Configuration via Protocol)を使用する PCIe を介して、Arria 10 デバイスをコンフィグレーションできます。Arria 10 への CVP の実装は、PCIe が電源投入からアクティブになるまでの 100 ms の時間要件に適合します。

1.17 SEU エラーの検出と修正

Arria 10 デバイスは、堅牢で使いやすい SEU(Single Event Upset)エラー検出ならびに訂正回路を提供します。

検出と訂正の回路には、コンフィグレーション RAM (CRAM) プログラミング・ビットとユーザーメモリの保護が含まれます。CRAM は、連続的に動作する CRC エラー検出回路で保護されています。この回路には統合された ECC が装備されており、ECC は 1 ビットまたは 2 ビットのエラーを自動的に訂正し、それを超える複数ビットのエラーも検出します。エラーが 2 つ以上発生した場合、コア・プログラミング・ファイルのリロードにより訂正が実行され、FPGA が動作を継続する間、デザインが完全にリフレッシュされます。

Arria 10 CRAM アレイの物理的なレイアウトは、大部分の MBU(multi-bit upset)が内蔵の CRAM ECC 回路によって自動的に訂正される個別の 1 ビットまたは 2 ビット・エラーとして発生するように最適化されています。CRAM 保護に加えて、M20K メモリー・ブロックもエラー検出と訂正のために内蔵の ECC 回路を含み、レイアウトが最適化されています。MLAB は ECC を備えていません。

1.18 消費電力マネジメント

Arria 10 デバイスは最先端の 20nm プロセス・テクノロジー、0.9V の低電圧コア電源、エンハンスド・コア・アーキテクチャーと、複数のオプションの低消費電力化手法を活用し、Arria V デバイスと比較して 40%、Stratix V デバイスと比較して 60% のトータル消費電力を削減しています。

(17) 100 MHz の最大クロックレートでサポートします。

(13) 圧縮やデザイン・セキュリティー機能のいずれかを有効にすると、最大データレートに影響を与えます。詳細については、Arria 10 デバイスのデータシートを参照してください。

(14) 暗号化と圧縮を同時に使用することはできません。

(15) パーシャル・リコンフィグレーションは、デバイスファミリーにおける最先端の機能です。パーシャル・リコンフィグレーションの詳細な情報については、アルテラまでお問い合わせください。

Arria 10 デバイスのオプションの低消費電力化手法は以下を含みます。

- **SmartVID**—製造時に各デバイスにプログラミングされるコードにより、パフォーマンスを維持しながら、スマート・レギュレーターが低いコア V_{CC} でデバイスを動作させることを可能に
- **プログラマブル・パワー・テクノロジー**— Quartus Prime ソフトウェアによってクリティカルではないタイミングパスを識別し、これらのパスのロジックを高性能から低消費電力へとバイアス
- **低スタティック消費電力オプション**—パフォーマンスを維持しながら、標準的なスタティック消費電力または低スタティック消費電力のいずれかでデバイスを使用可能

さらに、Arria 10 デバイスは、業界をリードするアルテラの低消費電力トランシーバーを特色とし、かつ、ソフト実装と比較してロジックリソースを削減するだけでなく大幅な省電力を実現する多数のハード IP ブロックを組み込んでいます。ハード IP ブロックは基本的に同等のソフトロジック実装よりも最大で 90% 少ない電力しか消費しません。

1.19 インクリメンタル・コンパイル

Quartus Prime 開発ソフトウェアのインクリメンタル・コンパイル機能は、コンパイル時間を短縮しつつ、タイミング収束が容易になるようパフォーマンスを維持します。インクリメンタル・コンパイル機能により、Arria 10 デバイスのパーシャル・リコンフィグレーション・フローが使用可能になります。

インクリメンタル・コンパイルは、トップダウン、ボトムアップ、ならびにチームベースのデザインフローに対応しています。この機能は、異なる設計者が並行してそれぞれのデザインのセクションをコンパイルするモジュール化、階層型や、チームベースのデザインフローを容易にします。さらに、別々の設計者もしくは IP プロバイダーがデザインの別々のブロックを個別に開発あるいは最適化できます。それから、これらのブロックをトップレベル・プロジェクトにインポートできます。

1.20 改訂履歴

日付	バージョン	変更内容
2016 年 10 月	2016.10.31	<ul style="list-style-type: none"> • Arria 10GX デバイスのパッケージから F36 を削除 • Arria 10GT デバイスの発注コードと最大 GX トランシーバー数を更新。Arria 10GT デバイスは、最大 72 のトランシーバーを備えた SF45 のパッケージオプションでのみ使用可能。
2016 年 5 月	2016.05.02	<ul style="list-style-type: none"> • FPGA のコンフィグレーションとプロセッサのブートの項を更新。 • Arria 10 デバイスでのサポート外となったため、Arria 10 の機能についての概要、Arria 10 デバイスタイプとパッケージの項から、V_{CC} PowerManager を削除。 • Arria 10 デバイスでサポートされる規格の HPS でサポートされるメモリー規格の表から、この規格は FPGA でのみサポートされるため、LPDDR3 を削除。 • Arria 10 GX と SX デバイスにおいて、デバイスタイプとパッケージ からトランシーバー・スピード・グレード 5 を削除。

continued...

- (13) 圧縮やデザイン・セキュリティー機能のいずれかを有効にすると、最大データレートに影響を与えます。詳細については、Arria 10 デバイスのデータシートを参照してください。
- (14) 暗号化と圧縮を同時に使用することはできません。
- (15) パーシャル・リコンフィグレーションは、デバイスファミリーにおける最先端の機能です。パーシャル・リコンフィグレーションの詳細な情報については、アルテラまでお問い合わせください。



日付	バージョン	変更内容
2016年2月	2016.02.11	<ul style="list-style-type: none"> 最大 Arria 10 GT データレートを 25.8 Gbps に、最小データレートを 1 Gbps にグローバルに変更 Arria 10 の機能についての概要のコア・クロック・ネットワークの内容を改訂。 Arria 10 の機能についての概要において、トランシーバー・パラメーターを変更。 Arria 10 GT デバイスの最大リソース数において、トランシーバー・パラメーターの変更。 Arria 10 GT デバイスのパッケージプランの表において、GT デバイスの使用可能なパッケージを変更。 Arria 10 製品ライン間で移行できる範囲の図において、GT デバイスのパッケージコンフィギュレーションを変更。 低消費電力シリアル・トランシーバーの項においてトランシーバー・パラメーターを変更。 Arria 10 デバイスファミリのデバイスタイプにおいて、トランシーバーの詳細を変更。 Arria 10 GT デバイスの注文コードと使用可能なオプションの例(暫定版)を変更。 PMA の機能の項において、GT デバイスのデータレートを変更。 PCS の機能の項において、GT デバイスのデータレートを変更。
2015年12月	2015.12.14	<ul style="list-style-type: none"> Arria 10 GX 660 における M20K メモリー・ブロック数を 2133 から 2131 へ、トータル RAM ビット数を 48,448 から 48,408 へ修正し、更新。 浮動小数点演算リソースのリスト表において、Arria 10 GX 660 の DSP の数を 1,688 から 1,688 へ訂正。
2015年11月	2015.11.02	<ul style="list-style-type: none"> Arria 10 GX 220、GX 320、GX 480、GX 660、SX 220、SX 320、SX 480、および SX 660 において最大リソース数を更新。 Arria 10 デバイスの表のマルチプライヤーの数において、Arria 10 GX 320、GX 480、GX 660、SX 320、SX 480、および SX 660 においてリソース数を更新。 Arria 10 GX、GT、および SX における可能なオプションを更新。 表記を <i>Quartus II</i> から <i>Quartus Prime</i> へ変更。
2015年6月	2015.06.15	パーティカル・マイグレーションの Arria 10 GT の製品ラインを訂正。
2015年5月	2015.05.15	Arria 10 ハードメモリー・コントローラーでサポートされるメモリー規格において、表の DDR3 のハーフレートとクォーターレートを修正。
2015年5月	2015.05.04	<ul style="list-style-type: none"> Arria 10 の機能についての概要に 13.5G JESD204b を追加。 Arria 10 GT パッケージ・プランの項において、Arria 10 GT Channel Usage のリンクを追加。 Arria 10 GT デバイスのデバイスの最大リソース数の表に注釈を追加。 低消費電力シリアル・トランシーバーの項において、トランシーバーの必要電力を更新。
2015年1月	2015.01.23	<ul style="list-style-type: none"> Arria 10 の機能についての概要に浮動小数点演算機能を追加。 トータル・エンベデッド・メモリーを 38.38 メガビット (Mb) から 65.6Mb に更新。 Arria 10 デバイスでサポートされるメモリー規格の表を更新。 DDR3U、LPDDR3 SDRAM、RLDRAM 2、および DDR2 のサポートを削除。 RLDRAM 3 のサポートをハードメモリー・コントローラーからソフトメモリー・コントローラーに移動。RLDRAM 3 は、ソフトメモリー・コントローラーのハード PHY でサポート可能。 ソフトメモリー・コントローラーのサポートに QDR IV を追加。 最大リソース数の表の各製品ラインに、使用可能なハードメモリー・コントローラーの数を追記し、更新。 トランシーバー PCS のデータレートを 12.5 Gbps から 12 Gbps に更新。 最大クロックレートの PS、FPP x8 と FPP x16、および HPS を介したコンフィギュレーションを、125 MHz から 100 MHz に更新。 フラクショナル合成 PLL に PLL カスケード接続の機能を追加。 HPS プログラマブル汎用 I/O を 54 から 62 に更新。

continued...



日付	バージョン	変更内容
2014 年 9 月	2014.09.30	<ul style="list-style-type: none">Arria 10 GX の F35 および F36 パッケージの 3 V I/O および LVDS I/O 数を修正。Arria GX 570 と 660 の NF40 パッケージの 3 V I/O、LVDS I/O、およびトランシーバー数を修正。Arria GX 900 と 1150 では NF40 パッケージが使用不可であるため、3 V I/O、LVDS I/O、およびトランシーバー数を削除。
2014 年 8 月	2014.08.18	<ul style="list-style-type: none">Arria 10 GX 660 デバイスの M20K メモリー(Kb)の最大リソース数を 42,660 から 42,620 に更新。パッケージプランの表に LVDS I/O バンクと 3V I/O バンクからなる GPIO のコラムを追加。I/O パーティカル・マイグレーションの項にクロック周波数 533 MHz 以上のメモリー・インターフェイスの使用方法を追加。RLDRAM3 サポートでハード PHY とソフトメモリー・コントローラーを使用することを明確にするための情報を追加。可変精度 DSP ブロックのサポートに浮動小数点演算を追加。
2014 年 6 月	2014.06.19	HPS ブロックの専用 I/O 数を 17 に更新。
2014 年 2 月	2014.02.21	図 2 の GT デバイスのトランシーバー・スピード・グレード・オプションを更新。
2014 年 2 月	2014.02.06	Arria 10 GT デバイスのデータレートを 28.1 Gbps から 28.3 Gbps に更新。
2013 年 12 月	2013.12.10	<ul style="list-style-type: none">HPS メモリー規格のサポートを LPDDR2 から LPDDR3 に更新。HPS のブロック図に専用 HPS I/O と FPGA コンフィグレーション・ブロックの追加、ならびに、SD/SDIO/MMC、DMA、SPI と、ECC 対応 NAND フラッシュのブロックを再配置。
2013 年 12 月	2013.12.02	初版