



この翻訳版ドキュメントのメンテナンスは終了しております。

この文書には、古いコンテンツや商標が含まれている場合があります。

最新情報につきましては、次のリンクから英語版の最新資料をご確認ください。

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

Please take note that this document is no longer being maintained. It may contain legacy content and trademarks which may be outdated.

Please refer to English version for latest update at

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

1999年12月 ver. 9.02

Data Sheet

はじめに

アルテラのデバイスは、優れた性能と高い信頼性を提供する最先端のCMOS プロセス技術を使用して、独自のプログラマブル・ロジック・アーキテクチャを実現しています。アルテラのデバイスが持つ性能と信頼性を最高のレベルに維持するには、以下の動作上の項目について十分な配慮が必要です。

- 動作条件
- ピン印加電圧
- 出力負荷
- 電源への配慮
- デバイスのプログラミングおよび消去

動作条件

アルテラのデバイスをシステムに実装するときには、定義された一連のパラメータを守る必要があります。これらのパラメータとは、各デバイス・ファミリのデータシートで規定されている絶対最大定格、推奨動作条件、DC および AC 特性です。

絶対最大定格

絶対最大定格は、アルテラのデバイスが破壊に耐えうる限界を規定したものです。これらの値は、デバイスが破壊に至るまでの理論的なモデル、破壊のメカニズム、アルテラのデバイス試験結果に基づいています。これらはデバイスに与えられるストレス量に関する規格であり、規定された条件下やデータシートで規定されている「推奨動作条件」を超える範囲でデバイスの正常な動作を保証するものではありません。例えば、 I_{OUT} は出力ピンに許容される最大電流を表しており、出力ピンの駆動能力を表すものではありません。出力ドライブ特性は、各データシートの「DC 特性」表に、 I_{OH} 、 I_{OL} として記載されています。

アルテラのデバイスをデータシートの「絶対最大定格」表に記載されている条件の下で一定の時間連続動作させた場合、デバイスの信頼性が低下することがあります。これらの値を超える条件下での動作は、デバイスの破壊の原因となります。

推奨動作条件

アルテラのデバイスの動作「推奨動作条件」は、DC および AC パラメータの限界値が規定されています。これらのパラメータは、適用される規格によって異なります。例えば、「推奨動作条件」で規定されている V_{CC} の範囲は、安全なデバイス動作のための電圧範囲を示していますが、「絶対最大定格」で規定されている V_{CC} の範囲は、これを超えるとデバイスが破壊されることを意味します。

DC 特性

アルテラのデバイスから出力される定常状態の電流と電圧の値は、各デバイス・ファミリのデータシートの「DC 特性」表で規定されています。この規格は、入力電圧感度 (V_{IH} 、 V_{IL})、出力電圧 (V_{OH} 、 V_{OL})、電流ドライブ特性 (I_{OH} 、 I_{OL})、入力および出力リーク電流 (I_I 、 I_{OZ}) を含みます。

AC 特性

アルテラ・デバイスの外部および内部タイミング・パラメータは、各デバイス・ファミリのデータシートの「AC 特性」表で規定されています。これらのパラメータは、「推奨動作条件」表で示された範囲で規定されています。内部タイミング・パラメータは、特定のアーキテクチャ機能に付随する遅延です。デバイスの性能は、ソースからディステイネーションまでの信号パスをトレースし、対応する内部タイミング・パラメータを加算して推定することができます。外部タイミング・パラメータは、デバイスがこれらの条件で動作しているときのピン間遅延です。

タイミング・パラメータは、最大値 (Max)、最小値 (Min)、または標準値 (Typ) で規定されています。最大値は、デバイスの遅延が規定された時間を超えないことを示します。セットアップ・タイム、ホールド・タイム、メモリのサイクル・タイム、およびパルス幅は、デバイスの安定動作のためにシステム側が守らなければならない最小値として規定されています。標準値は、デバイス特性から期待される標準的な値として示されており、実際の値とは異なります。

ピン印加電圧

デバイス・ピンは、取り扱い中または動作中に危険な電圧が印加される可能性があります。まず、デバイスの取り扱い中には、静電気破壊の原因となる高電圧の静電気放電（ESD）がピンに与えられる可能性があります。また、動作中には、VCC および GND ピンに電源のスパイクが与えられたり、システム内の異常なロジック・レベルによって VCC（0 V ～ 15 V）と同等のロジック・レベルの電圧ストレスが発生することがあります。これらの障害の発生を最小にするためには、以下の条件について注意する必要があります。

- ピン接続
- ラッチ・アップ
- ホット・ソケット（活線挿抜）
- ESD

ピン間の接続

MAX+PLUS® II もしくは Quartus® II でプロジェクトのコンパイルを行うと、デバイスのリソース使用状況を示すレポート・ファイル（.rpt）が生成されます。レポート・ファイルには、プロジェクトに使用されるデバイスのピン配置およびデバイスの接続に関する情報が含まれています。レポート・ファイルは、VCCINT、VCCIO、VCC、GNDIO、GNDINT、専用ピン、および未使用のピンが表示されているピン配置図も含みます。

VCCINT、VCCIO、VCC、GNDIO、GNDINT、および GND ピンは、プリント基板（PCB）上の VCC またはグランド・プレーンにそれぞれ接続する必要があります。デザイン内で使用される専用入力ピンおよび入力として設定された I/O ピンは、アクティブな信号源から常時ドライブされる状態であればなりません。双方向の入出力ピンに設定された I/O ピンが入力として使用されるときは、このピンはドライブ可能になっている必要があります。未使用の専用入力および I/O ピンは、レポート・ファイルの中でそれぞれ GND および RESERVED として表示されます。未使用の専用入力ピンは、グランド・プレーンと接続しておく必要があります。そうしないと、これらのピンは不確定な「フローティング」状態となり、デバイス内の DC 電流を増加させたり、システムにノイズを誘導する可能性があります。未使用の I/O ピンがフローティング状態になるのを防ぐには、このピンが内部信号によってドライブされるようにし、RESERVED としてレポートされるようにします。RESERVED に指定されたすべての I/O ピンは、未使用の状態にしておく必要があります。RESERVED I/O ピンが VCC、グランド、またはその他の信号ソースと接続されるとコンテンションが起これ、デバイスの出力ドライバが損傷されることがあります。

アルテラの製品群には、電源電圧の異なるシステムとインタフェース可能な MultiVolt™ 機能をサポートしているデバイスが数多く含まれています。これらのデバイスは、電源ピンが VCCIO (I/O 電源) と VCCINT (内部電源) のピンに分かれています。VCCIO および VCCINT の電圧範囲は、各デバイスのデータシートを参照してください。

デバイスが適切な動作を行うために、入力ピンと出力ピンの信号レベルは以下の範囲内でなければなりません。

$$\text{Ground} \leq (V_{\text{IN}} \text{ または } V_{\text{OUT}}) \leq V_{\text{CCINT}}$$

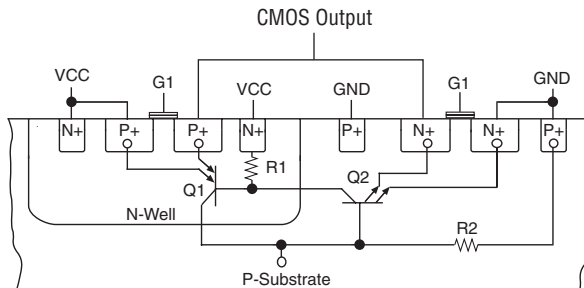
一部のデバイスは、VCCINT よりも高い V_{IN} を許容します。各デバイスの電圧範囲については、個別のデータシートを参照してください。

GNDINTとGNDIOが異なるグラウンド・プレーンに接続される場合は、GNDINTとGNDIO間の電位差が常に1.0V以下になるようにしてください。この条件が守られていない場合は、不正なデバイス動作が発生する可能性があります。

ラッチ・アップ

CMOS デバイスの基本構造に存在する寄生バイポーラ・トランジスタが、デバイスの損傷につながる過電流パスを生成することがあります。通常、これらのトランジスタのベース-エミッタ間、ベース-コレクタ間の接合面が順方向にバイアスされることはないため、導通状態になることはありません。図1に、CMOS ウェハの断面図と生成される寄生トランジスタの構造 (Q1 および Q2) を示します。すべての接合面が確実に逆バイアス状態になるようにするには、P タイプのサブストレートがデバイスの最も低い電位 (グラウンド) に接続され、N タイプのウェル構造がデバイスの最も高い電位 (V_{CC}) に接続されている必要があります。図1は、CMOS 構造に生成される寄生抵抗 (R1 および R2) も示しています。


図1. CMOS デバイスの寄生バイポーラ・トランジスタ



寄生構造が導通状態になると、その効果はデバイスを破壊するような過電流が流れるまでさらに増幅され、最終的にはデバイスの致命的な故障につながるようになります。2 つの寄生トランジスタは、1 つの SCR (Silicon-Controlled Rectifier) を形成します。SCR が導通するとラッチ・アップ効果が発生し、この CMOS デバイ스에 過電流が流れます。

SCR は、CMOS デバイスのゲートや出力に発生するトランジェントによっても導通状態になります。I/O ピンは入力および出力バッファと接続されているため、ラッチ・アップはいずれのバッファでも発生します。

I/O パッドが V_{CCINT} よりも高い電圧またはグランドよりも低い電圧でドライブされている場合も、ラッチ・アップが発生する可能性があります。

 APEX™ 20 K、FLEX 10 KE、FLEX® 10 KA、MAX® 7000 A、および MAX 3000 A などの 3.3 V、2.5 V、および 1.8 V デバイスは、 V_{CCINT} を超える入力電圧に耐えるように設計されていますが、あるレベルを超えた入力を与えることでデバイスが損傷されてしまう可能性があります。仕様については各データシートを参照してください。

出力パッドがグランドよりも低い電圧でドライブされると、Q2 のエミッタの電位がベースの電位よりも低くなり、Q2 がオンになります。これにより、Q1 のエミッタの電位がコレクタの電位よりも低くなるため Q1 もオンになります。そして、Q1 を流れる電流が寄生抵抗 R2 の両端に電圧降下を生成するため、Q2 のベースの電位をさらに高くします。そして、Q2 を流れる電流が寄生抵抗 R1 の両端に電圧降下を生成するため、Q1 のベースの電位はさらに低下します。Q1 および Q2 の双方に流れる電流は、これをさらに増幅するようになり、寄生抵抗によって発生する電圧降下はさらに増大します。このような状態が一旦発生すると、このサイクルは過電流によってデバイスが損傷されるか、デバイスの電源がダウンするまで継続されます。

入力バッファのパッドがグランドよりも低い電位でドライブされると、ESD 対策用の拡散抵抗を通じてサブストレートの電流が注入されます(7 ページの「静電気放電」を参照)。この電流は Q2 の電圧レベルを上昇させ、ラッチ・アップ・サイクルを開始させる可能性があります。この場合も同様に、このような状態が一旦発生すると、このサイクルは過電流によってデバイスが損傷されるか、デバイスの電源がダウンするまで継続されます。

逆に I/O パッドが V_{CC} よりも高い電圧でドライブされると、Q1 のエミッタの電位がベースよりも高くなるため、Q1 がオンになります。この場合にもアンダシュートと同じような現象が発生します。

信号リングング、アンダシュート、またはオーバシュートによって、I/O パッドが V_{CC} やグラウンドの範囲外でドライブされることがあります。このため、このようなオーバシュートやアンダシュートが最小になり、ラッチ・アップの発生を防ぐようなボードの設計が必要です。

アルテラのデバイスは、電源や I/O ピンのトランジエントによって生じるラッチ・アップの発生が最小になるように設計されています。推奨動作条件下で、すべてのデバイスは、デバイスのデータシートに記載されている最大および最小入力電圧値、およびピンを通して流れる 100 mA 未満の入力電流に耐えることができます。さらに、低電圧デバイスは、 V_{CCINT} 以上の入力電圧に耐えられるように設計されています。



電源の投入時にラッチ・アップが発生する可能性を最小に抑えるには、デバイスにまずグラウンド・レベルを与え、次に V_{CCINT} および V_{CCIO} 、そして最後に入力信号を与えます。電源は逆の順序でデバイスから取り除く必要があります。つまり、最初に入力信号を取り除き、次に V_{CCINT} および V_{CCIO} 、最後にグラウンド・レベルを取り除きます。デバイスによっては、 V_{CCINT} と V_{CCIO} を供給する前に入力をドライブすることが可能です。詳しくは各デバイス・ファミリのデータシートを参照してください。

電源の投入時にデバイスに対して V_{CCINT} と V_{CCIO} が入力信号と同時に与えられる可能性があるアプリケーションでは、 V_{CCINT} と V_{CCIO} の立ち上がり時間が最大立ち上がり時間以内であれば問題は発生しません。ただし、常に入力信号の立ち上がり時間が V_{CCINT} と V_{CCIO} ピンの立ち上がり時間より早くならないように注意してください。

ホット・ソケット

電気的なサブシステムがアクティブ・ハードウェアに「ホット・ソケット」または接続されると、コンテンションが発生する可能性があります。サブシステムがホット・ソケットされるときに、電源からサブシステム・ボードの V_{CC} とグラウンド・グリッドに給電される前に、サブシステムのロジック・デバイスにロジック・レベルが現れることがよくあります。この状況でデバイスとバックプレーン間にコンテンションが発生します。

V_{CC} とグラウンド接続を長くすれば、ホット・ソケット時のコンテンションの可能性を減らすことができます。ボード接続にメタル・「フィンガ」を使用する場合は、カード・エッジの V_{CC} およびグラウンド・フィンガをロジック接続よりも長くする必要があります。長さの違いによって、ロジック・レベルより前に電源がデバイスに現れ、それによって通常はコンテンションが防止されます。 V_{CC} とグラウンド接続が長い標準コネクタでも同様の結果が得られます。

特定のアルテラ・デバイスは、特別なデザイン要件なしでホット・ソケットに対応するように設計されています。ホット・ソケットについて詳しくは、各デバイスのデータシートを参照してください。

静電気放電

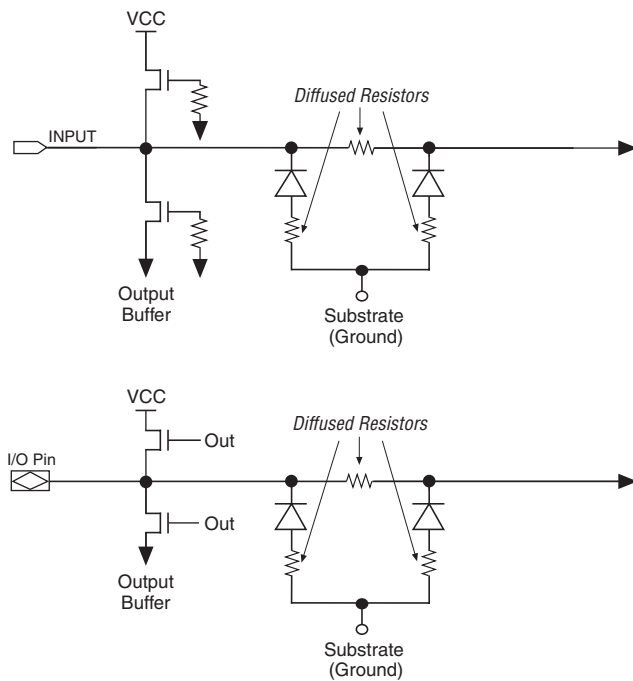
デバイスの不適切な取り扱いによって発生する静電気放電 (ESD) は、以下のようなデバイス不良の原因となる場合があります。

- ファンクション不良
- I/O 性能の劣化
- 信頼性の低下

デバイスのプログラミングを行う工程では、静電気による故障を発生させる危険性が特に高くなります。化学合成繊維の衣服は、大量の静電気を蓄積する危険性が高く、ESD を発生させる原因になります。通常、人体が発生する静電気電圧は最大 10 kV に達します。このため、静電気によるダメージを受ける危険性を最小限にするために、デバイスの取り扱い時には接地されたリスト・ストラップを着用し、またデバイスを取り扱う作業台の表面全体を接地する必要があります。

アルテラのデバイスには、各ピンにおける ESD の影響が低減される特別な構造が採用されています。図 2 は、代表的なアルテラのデバイスの入力構造を示したものです。ダイオードと出力バッファは、過電流が流れる前に有害な電圧をグランド側にバイパスします。ESD 性能データは、アルテラの信頼性レポートに記載されています。

図 2. アルテラ・デバイスの入力保護回路



出力負荷

通常、出力の負荷は抵抗性が容量性、または双方の性質を含みます。設計者は、開発段階からターゲット・デバイスがこれらの負荷をドライブするのに必要な電流とスピードの双方を供給できることを確認しておく必要があります。

抵抗性負荷

デバイスの出力が安定した状態で電流をシンクまたはソースしている時、負荷は常に抵抗性となります（TTL 入力を持つデバイス、終端されているバス、ディスクリット・バイポーラ・トランジスタなど）。

出力ドライブ特性 (I_{OH} 、 I_{OL}) は、出力電圧 (V_{OH} 、 V_{OL}) の関数として、各デバイス・ファミリのデータシートに示されています。DC 特性で示されている出力電流の値は、規定の出力電圧を維持できる最小抵抗負荷の値を決定します。LED やリレーをドライブするときのように、高い駆動電流が要求されるシステムでは、高電流バッファまたはディスクリット電流スイッチを使用しなくてはなりません。

I_{OH} および I_{OL} が絶対最大定格 (I_{OUT}) を超える短絡状態は、デバイスに恒久的な損傷を与えるおそれがあります。

容量性負荷

データシートの「AC 特性」表では、外部性能に関連したパラメータに対して出力の負荷容量の条件 (C1) が規定されています。ほとんどのアルテラ・デバイスの C1 の値は、通常のアクティブ信号で 35 pF、ディセーブル出力バッファで 5 pF です。

負荷容量の主要な部分を占めるのは、デバイスのパッケージとボードの配線パターンが持つキャパシタンスです。35 pF の負荷条件は、ほとんどの CMOS 回路に対する標準的な値です。大きな容量を持つデバイスをドライブするアプリケーションでは、容量性負荷の増大と共にその性能が低下します。

デバイス・ソケットは、容量性および誘導性負荷となります。量産用の設計が確定している場合には、可能な限りソケットを取り除き、デバイスをプリント基板に直接実装してください。ボードに直接実装することで、容量性負荷と誘導性負荷の双方の値とソケット・コンタクトからのノイズを低減することができます。

最高の回路性能を実現するには、デバイス出力の容量を最小限に抑える必要があります。プリント基板の配線パターン、デバイスの入力ピン、およびデバイス・パッケージはすべて負荷容量となるため、次のような注意が必要です。

- 各信号が互いに直角に走るようなボード・レイアウトにし、容量結合の影響が最小になるようにする。また、信号ラインの配線パターンをできるだけ短くする。
- 1つの信号ソースで多くの負荷をドライブする回路には高電流の駆動が可能なバッファを使用し、大きな負荷をドライブする信号のスピードを上げる。

V_{CC} とグラウンドの専用プレーンがないプリント基板や極端に長い配線パターンが、ロジック信号に対するノイズの誘導結合や信号の品質に影響を及ぼす伝送ライン効果などの原因になることがあります。ロジック・レベルに影響するリングングやノイズは、回路の信頼性を低下させます。伝送ライン効果を低減させるための推奨パターン・レイアウトが実現できない場合は、信号ラインに $10\ \Omega \sim 30\ \Omega$ 直列抵抗を挿入することで、オーバシュート、アンダシュートの振幅を抑えることができます。この抵抗は、ボード上の長い配線パターンによって発生するリングングを抑え、トリガ・エラーの発生を防止します。



詳しくは、「[アプリケーション・ノート 75: High-Speed Board Designs](#)」を参照してください。

電源への配慮

アルテラのデバイスは、ノイズの発生と影響が最小になるように設計されていますが、他の CMOS デバイスと同じように電源と入力ラインの変動による影響を受けます。

これらの変動による影響を最小に抑えるには、以下の点に特別に注意してください。

- V_{CC} およびグラウンド・プレーン
- デカップリング・キャパシタ
- V_{CC} の立ち上がり時間
- 消費電流

V_{CC} およびグラウンド・プレーン

各プリント基板の V_{CC} とグラウンド・プレーンとを完全に分離することによって、電源ノイズと「グラウンド・バウンス」の最小化、高い電流の引き込み能力、ノイズに対する保護、ボード上の信号に対するシールド効果などが得られます。基板全体の各 1 層を V_{CC} とグラウンドの専用プレーンに割り当てられない場合には、これらの配線パターンが基板全体にわたって可能な限り広い面積を占めるようにする必要があります。信号ラインに使用するような狭い幅の配線パターンを電源のラインに使用してはいけません。V_{CC} とグラウンドのプレーンを広く取ることによって、容量性負荷が増加する傾向がありますが、システムのノイズが大幅に低減され、システムの信頼性が飛躍的に向上します。

デカップリング・キャパシタ

V_{CC} ピンと GND ピンは、それぞれプリント基板の V_{CC} とグラウンド・プレーンに直接接続される必要があります。デカップリング・コンデンサの要求値は、デバイスで使用されるロジック量および出力スイッチングの要件に基づきます。I/O ピン数およびピンの容量性負荷が増加すると、デカップリング・キャパシタの追加が必要になります。できるだけ多くの 0.2 μF の電源デカップリング・コンデンサを V_{CC} ピンと GND ピン、または V_{CC} プレーンと GND プレーンに接続する必要があります。これらのコンデンサはできる限りアルテラ・デバイスの近くに配置する必要があります。独立した VCCINT ピンと VCCIO ピンを持つデバイスを使用するときは、VCCIO/GNDIO と VCCINT/GNDINT のペアごとに、0.2 μF のコンデンサでデカップリングしなければなりません。ボール・グリッド・アレイ (BGA) など、高集積パッケージを使用する場合は、V_{CC}/GND ペアごとに 1 個のデカップリング・コンデンサを使用できないことがあります。この場合、可能な限り多数のデカップリング・コンデンサを使用する必要があります。VCCINT ピンと VCCIO ピンは独立しているが、GNDIO ピンと GNDINT ピンは独立していないデバイスを使用するときは、V_{CCIO} および V_{CCINT} からグラウンドにコンデンサを接続してデカップリングする必要があります。実装密度の低いデザインでは、コンデンサの数を減らすことができる場合があります。デカップリング・コンデンサは、モノリシック・セラミック・コンデンサなど、良好な周波数応答特性を備えたものでなければなりません。

各 PCB では、電源を安定させるために、大容量、汎用の電解コンデンサ・ネットワークも必要です。電源供給ラインが PCB に入る箇所に隣接して、100 μ F のコンデンサを配置します。トランスまたはレギュレータを使用して電圧レベルを変更する場合は、デバイスの電源を供給する最終段の直後にコンデンサを配置してください。このコンデンサは、回路で多数のノードが同時に切り換わるときに追加電流を供給する有益なレベリング効果を提供します。ただし、電源用コンデンサが大容量になると、最大 V_{CC} が動作レベルになるまでに要する時間が長くなります。コンデンサのサイズは、 V_{CC} 立ち上がり時間が最大立ち上がり時間に違反するものであってはなりません。

V_{CC} の立ち上がり時間

アルテラのデバイスに電源が供給されると、通常 V_{CC} が 1.0 V から 2.0 V に達した時点で、デバイスがパワー・オン・リセット (POR) の動作を開始します。POR の動作は、100 ms を超えることはなく、 V_{CC} が一定の時間内に (規定の V_{CC} 最大立ち上がり時間の範囲) に推奨動作条件に達した時のみ行います。この立ち上がり時間が遅くなると、不正確なイニシャライズ動作やファンクション不良の原因となります。電源電圧は、推奨 V_{CC} レベルまで一定に上昇しなくてはなりません。アルテラ・デバイスの V_{CC} 最大立ち上がり時間は、各デバイス・ファミリのデータシートの「推奨動作条件」の項に記載されています。

MAX デバイスでは、POR 時間は V_{CC} が推奨動作条件に達してからデバイス・レジスタのクリア、I/O ピンのコンフィギュレーション、およびトライ・ステートのリリース動作を行うのに必要な時間です。この初期化動作が完了すると、デバイスは通常のロジック動作を開始できる状態となります。MAX デバイスでは、POR 時間は 50 ms 以下です。

FLEX および APEX デバイスでは、POR 時間は V_{CC} が推奨動作条件に達してからデバイスのクリア、コンフィギュレーションの準備、および $nSTATUS$ ピンのリリース動作を行うのに必要な時間です。 $nSTATUS$ ピンがリリースされると、デバイスはコンフィギュレーション可能な状態となります。FLEX 8000 デバイスでは、POR 時間は 100 ms 以下です。他の FLEX および APEX デバイスでは、POR 時間は 5 μ s 以下です。

EPC1441、EPC1、および EPC2 コンフィギュレーション・デバイスでは、POR 時間は V_{CC} が推奨動作条件に達してから OE ピンをリリースし、コンフィギュレーションを開始するまでに必要な時間です。これらのデバイスでは、POR 時間は 200 ms 以下です。

消費電流

アルテラのデバイスは高い性能を提供しながら、その消費電流が最小となるように設計されています。これら 2 つのデザイン目標は互いに背反する性格を持っていますが、アルテラのデバイスとソフトウェア・ツールにより、設計者はデバイスに組み込まれた機能を使って電流を監視および制御することができます。

MAX 9000、MAX 7000、および MAX 3000A デバイスの各マクロセルは、デザインの入力時に高性能モードあるいはロー・パワー・モードのいずれかに個別に設定することができます。マクロセル内の Turbo Bit™ オプションをオンに設定すると、そのマクロセルは規定された動作条件での高性能モードとなります。Turbo Bit オプションをオフにすると、マクロセルの内蔵省電力モードによって、性能よりも消費電流の低減が優先されます。

ロー・パワー・モードで動作する MAX 9000、MAX 7000、および MAX 3000A デバイスの消費電流は最小となります。このときの電源電流 (I_{CC}) は、設計および動作周波数によって異なりますが、最高 50 % まで低減できます。「MAX 9000 プログラマブル・ロジック・デバイス・ファミリ・データシート」、「MAX 7000A プログラマブル・ロジック・デバイス・ファミリ・データシート」、「MAX 7000 プログラマブル・ロジック・デバイス・ファミリ・データシート」、および「MAX 3000A プログラマブル・ロジック・デバイス・ファミリ・データシート」には、 I_{CC} と動作周波数との関係を示すグラフが記載されています。Turbo Bit オプションを備えているデバイスでは、グラフに 2 つのカーブが示されています。一方はすべての Turbo Bit がオンにセットされた条件で、もう一方はオフにセットされた条件で I_{CC} と動作周波数の関係を示しています。通常のアプリケーションでは、Turbo Bit がオンとオフのマクロセルが混在するため、各データシートには、この比率を設定動作ごとのマクロセル数と動作周波数から計算するための公式とグラフが示されています。このグラフと公式で示される値は、出力に負荷が接続されていない状態のときのもので、デバイス動作で消費される電流のみを表しています。

また、Classic™ ファミリの多くのデバイスにも Turbo Bit のオプションが提供されています。ロー・パワー・モードで動作する Classic デバイスは、入力や出力が変化しないイン・アクティブの状態になると、100 ns 後にスタンバイ・モードに入ります。入力信号が遷移するとデバイスは「ウェイクアップ」し、次のスタンバイ・モード期間まで正常に実行します。ただし、入力信号はデバイスをウェイクアップして伝播するときに、デバイス・ファミリのデータシートでターボなし遅延として規定されている追加遅延を生じます。

デバイスのプログラミングおよび消去

MAX 9000、MAX 7000、MAX 3000A、Classic、およびコンフィギュレーション・デバイスは、コンフィギュレーション・データを保持するための不揮発性で再プログラム可能な EPROM、EEPROM、または FLASH メモリ・エレメントを使用しています。このため、電源投入時にコンフィギュレーション・データを外部から再ロードする必要はありません。EPROM および EEPROM のメモリ・エレメントは、類似したプログラミング特性を備えています。消去のメカニズムは異なります。

EEPROM および FLASH ベースのアルテラのすべてのデバイスは、再プログラム可能です。EEPROM および FLASH エレメントは電気的な消去が可能のため、パッケージに消去用のウィンドウがありません。EEPROM および FLASH ベースのデバイスは、プログラミング前に短時間で自動的に消去することができ、少なくとも 100 回の再プログラムが可能です。ほとんどのデバイスでは、この回数を超えるプログラミングを問題なく行うことができます。EEPROM または FLASH セルは、プログラミング時に外部からプログラミング用の高電圧を供給するための特別な VPP ピンが必要としません。唯一の例外は EPC2 コンフィギュレーション・デバイスで、このデバイスは 3.3 V で動作しているときに VPP ピンを 5.0 V でドライブすることができます。これはプログラミング時間を短縮するために行うことができます。これらのデバイスは、プログラミングに必要な電圧を内部で生成します。

EPROM をベースにしたアルテラのデバイスは、プラスチック・パッケージおよびセラミック・パッケージで供給されています。プラスチック・パッケージを使用した EPROM デバイスは、OTP (one-time-programmable) のデバイスです。ウィンドウ付きのセラミック・パッケージを使用したデバイスは、紫外線の照射によってデータの消去が可能です。アルテラの EPROM ベースのデバイスは、4,000 Å より短い波長の光が照射されたときに消去を開始します。蛍光灯の光や太陽光線の波長はこの範囲に入るため、デバイス・ウィンドウの上に遮光ラベルを貼り付けて長期にわたるデバイスの信頼性の確保をすることが必要です。データの消去を確実に行うには、波長が 2,540 Å の紫外線を使用してください。12,000 $\mu\text{W}/\text{cm}^2$ のパワーを持つ消去システムを使用した場合には、約 1 時間でデータの消去が可能です。紫外線を 1 時間以上アルテラのデバイスに照射した場合には、デバイスが破壊される可能性があります。

アルテラの EPROM ベースのデバイスは、推奨する条件下で 25 回までのプログラムと消去が保証されています。ただし、ほとんどのデバイスはこの回数を超えても再プログラムと消去を行うことができます。

改訂履歴

「アルテラ・デバイスの使用上の注意データシート」バージョン 9.02 に記載された情報は、以前のバージョンの内容に優先します。

バージョン 9.02 の変更点

バージョン 9.02 には、以下の変更内容が含まれています。

- 7 ページ の静電気放電を更新
- 12 ページ の V_{CC} の立ち上がり時間情報を更新
- ドキュメント全体を通してテキストを多少変更
- 1.8 V APEX 20K のデバイス情報を反映して 5 ページ の注を更新

バージョン 9.01 の変更点

バージョン 9.01 では、12 ページ の「 V_{CC} 立ち上がり時間」に、更新された POR タイミング情報が含まれていました。



101 Innovation Drive
San Jose, CA 95134
(408) 544-7000
<http://www.altera.com>
Applications Hotline:
(800) 800-EPLD
Customer Marketing:
(408) 544-7104
Literature Services:
lit_req@altera.com

Copyright © 2006 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services



I.S. EN ISO 9001