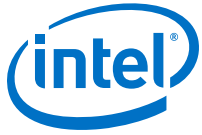


# インテル® Stratix® 10 デバイスファミリー・ピン接続ガイドライ ン

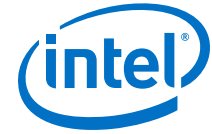


## 目次

インテル® Stratix® 10 デバイスファミリー・ピン接続ガイドライン.....	4
インテル® Stratix® 10 GX ピン接続ガイドライン.....	5
クロックおよび PLL ピン.....	5
専用コンフィグレーション/JTAG ピン.....	6
オプション/兼用コンフィグレーション・ピン.....	8
3V 互換 I/O.....	9
差動 I/O ピン.....	10
外部メモリー・インターフェイス・ピン.....	10
電圧センサーピン.....	11
温度センサーピン.....	12
リファレンス・ピン.....	13
未接続および DNU ピン.....	14
電源供給ピン.....	14
トランシーバー・ピン.....	19
セキュア・デバイス・マネージャー (SDM) ピン.....	22
インテル Stratix 10 GX ピン接続ガイドラインの注記.....	36
インテル Stratix 10 MX ピン接続ガイドライン.....	37
UIB および eSRAM ピン.....	38
インテル Stratix 10 MX 電源供給ピン.....	39
インテル Stratix 10 MX ピン接続ガイドラインの注記.....	40
インテル Stratix 10 TX ピン接続ガイドライン.....	41
インテル Stratix 10 TX トランシーバー・ピン.....	41
インテル Stratix 10 TX ピン接続ガイドラインの注記.....	43
インテル Stratix 10 SX ピン接続ガイドライン.....	44
ハード・プロセッサ・システム (HPS) 供給ピン.....	44
HPS Oscillator Clock 入力ピン.....	46
HPS JTAG ピン.....	46
HPS GPIO ピン.....	47
HPS SDMMC ピン.....	48
HPS NAND ピン.....	49



HPS USB ピン.....	51
HPS EMAC ピン.....	52
HPS I2C_EMAC および MDIO ピン.....	54
HPS I2C ピン.....	55
HPS SPI ピン.....	56
HPS UART ピン.....	58
HPS Trace ピン.....	59
インテル Stratix 10 SX ピン接続ガイドラインの注記.....	61
インテル Stratix 10 デバイスの電源共有ガイドライン.....	62
例 1 - インテル Stratix 10 GX.....	62
例 2 - インテル Stratix 10 GX.....	66
例 3 - インテル Stratix 10 SX(-1V、-2V、および-3V 部品).....	69
例 4 - インテル Stratix 10 SX(-1V、-2V、および-3V 部品).....	73
例 5 - インテル Stratix 10 SX(-1V、-2V、および-3V 部品).....	76
例 6 - インテル Stratix 10 SX(-2L および-3X 部品).....	80
例 7 - インテル Stratix 10 MX(-1V、-2V、および-3V 部品).....	84
例 8 - インテル Stratix 10 MX(-1V、-2V、および-3V 部品).....	88
例 9 - インテル Stratix 10 TX(-1V、-2V、および-3V 部品).....	92
例 10 - インテル Stratix 10 TX(-2L および-3X 部品).....	96
インテル Stratix 10 デバイスファミリー・ピン接続ガイドラインの改訂履歴.....	100



## インテル® Stratix® 10 デバイスファミリー・ピン接続ガイドライン

---

### Disclaimer

© 2019 Intel Corporation. All rights reserved. Intel, the Intel logo, Altera, Arria, Cyclone, Enpirion, MAX, Megacore, NIOS, Quartus Prime and Stratix words and logos are trademarks of Intel Corporation in the US and/or other countries. Other marks and brands may be claimed as the property of others. Intel warrants performance of its FPGA and semiconductor products to current specifications in accordance with Intel's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Intel assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Intel. Intel customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

These pin connection guidelines, and your use thereof, are subject to and governed by Intel's terms and conditions below. By using these pin connection guidelines, you indicate your acceptance of all such terms and conditions. If you do not agree with such terms and conditions, you may not use the pin connection guidelines, and you are required to promptly and irrevocably destroy the pin connection guidelines and any copies or portions thereof in your possession or under your control.

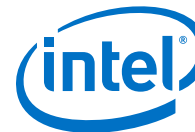
### Terms and Conditions:

1. These pin connection guidelines are provided as examples only, and should not be deemed to be technical specifications or recommendations. The use of the pin connection guidelines for any particular design should be verified for device operation with the applicable datasheet and Intel.
2. Subject to these terms and conditions, Intel grants to you the use of these pin connection guidelines as examples of possible pin connections of an Intel programmable logic device-based design. You may not use these pin connection guidelines for any other purpose except as expressly permitted in these terms and conditions. Intel does not recommend, suggest, or require that these pin connection guidelines be used in conjunction or combination with any other software or product, and makes no representations, warranties or guaranties, implied or express as well as any warranties arising from course of performance, course of dealing, or usage in trade including but not limited to the accuracy, completeness or genuineness thereof.
3. Intel will not be liable for any lost revenue, lost profits, or other consequential, indirect, or special damages caused by your use of these pin connection guidelines even if advised of the possibility of such damages occurring.
4. This agreement shall be governed in all respects by the laws of the State of Delaware, without regard to conflict of law or choice of law principles. You agree to submit to the exclusive jurisdiction of the federal and state courts in the State of Delaware for the resolution of any dispute or claim arising out of or relating to these terms of use.

---

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

\*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。



## インテル® Stratix® 10 GX ピン接続ガイドライン

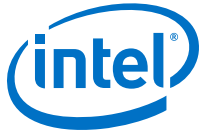
### クロックおよび PLL ピン

**注意:** インテルでは、インテル® Quartus® Prime デザインを作成し、デバイスの I/O アサインメントを入力し、デザインをコンパイルすることをお勧めしています。インテル Quartus Prime 開発ソフトウェアでは、I/O アサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの集積度、パッケージ、I/O アサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。

表 1. クロックおよび PLL ピン(暫定)

ピン名	ピンの機能	ピンの説明	接続ガイドライン
CLK_[2] [A,B,C,F,G,H,I,J,K,L,M,N]_[0,1]p CLK_[3] [A,B,C,D,E,F,G,H,I,J,K,L]_[0,1]p	I/O、クロック入力	データ入力または出力に使用可能な専用の高速クロック入力ピンです。差動入力 OCT Rd、シングルエンド入力 OCT Rt、およびシングルエンド出力 OCT R がこれらのピンでサポートされています。これらのピンを専用のクロックピンとして使用しない場合は、通常の I/O ピンとして使用できます。	未使用のピンは、GND に接続するか未接続のままにします。ピンが接続されていない場合は、インテル Quartus Prime 開発ソフトウェアでプログラマブル・オプションを使用して、これらのピンを内部でバイアスします。これらのピンは、内部ウィークプルアップ抵抗を有効にしたトライステートとして、または GND を駆動する出力として予約することができます。
CLK_[2] [A,B,C,F,G,H,I,J,K,L,M,N]_[0,1]n CLK_[3] [A,B,C,D,E,F,G,H,I,J,K,L]_[0,1]n	I/O、クロック入力		
PLL_[2] [A,B,C,F,G,H,I,J,K,L,M,N]_FB[0] PLL_[3] [A,B,C,F,G,H,I,J,K,L]_FB[0]	I/O、クロック	シングルエンド入力、シングルエンド出力、または外部フィードバック入力ピンとして使用可能な兼用 I/O ピンです。サポートされているピンの詳細については、デバイスのピンアウト・ファイルを参照してください。	未使用のピンは、GND に接続するか未接続のままにします。ピンが接続されていない場合は、インテル Quartus Prime 開発ソフトウェアでプログラマブル・オプションを使用して、これらのピンを内部でバイアスします。これらのピンは、内部ウィークプルアップ抵抗を有効にしたトライステートとして、または GND を駆動する出力として予約することができます。
PLL_[2] [A,B,C,F,G,H,I,J,K,L,M,N]_FBp	I/O、クロック	差動 I/O、または外部フィードバック入力ピンとして使用可能な兼用 I/O ピンです。サポートされているピンの詳細については、デバイスのピンアウト・ファイルを参照してください。	未使用のピンは、GND に接続するか未接続のままにします。ピンが接続されていない場合は、インテル Quartus Prime 開発ソフトウェアでプログラマブル・オプションを使用して、これらのピンを内部でバイアスします。

continued...



ピン名	ピンの機能	ピンの説明	接続ガイドライン
PLL_[3] [A,B,C,F,G,H,I,J,K,L]_FBp			
PLL_[2] [A,B,C,F,G,H,I,J,K,L,M,N]_FBn PLL_[3] [A,B,C,F,G,H,I,J,K,L]_FBn	I/O、クロック		
PLL_[2] [A,B,C,F,G,H,I,J,K,L,M,N]_CLKOUT[0:1] PLL_[3] [A,B,C,F,G,H,I,J,K,L]_CLKOUT[0:1] PLL_[2] [A,B,C,F,G,H,I,J,K,L,M,N]_CLKOUT[0:1]p PLL_[3] [A,B,C,F,G,H,I,J,K,L]_CLKOUT[0:1]p	I/O、クロック	2つのシングルエンド・クロック出力ピンまたは1つの差動クロック出力ペアとして使用可能なI/Oピンです。 サポートされているピンの詳細については、デバイスのピンアウト・ファイルを参照してください。	未使用のピンは、GNDに接続するか未接続のままにします。ピンが接続されていない場合は、インテル Quartus Prime 開発ソフトウェアでプログラマブル・オプションを使用して、これらのピンを内部でバイアスします。これらのピンは、内部ウィーク・プルアップ抵抗を有効にしたトライステートとして、またはGNDを駆動する出力として予約することができます。
PLL_[2] [A,B,C,F,G,H,I,J,K,L,M,N]_CLKOUT[0:1]n PLL_[3] [A,B,C,F,G,H,I,J,K,L]_CLKOUT[0:1]n	I/O、クロック		

## 専用コンフィグレーション/JTAGピン

**注意:** インテルでは、インテル Quartus Prime デザインを作成し、デバイスのI/Oアサインメントを入力し、デザインをコンパイルすることをお勧めしています。インテル Quartus Prime 開発ソフトウェアでは、I/Oアサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの集積度、パッケージ、I/Oアサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。

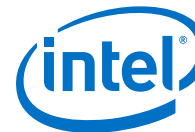


表 2. 専用コンフィグレーション/JTAG ピン(暫定)

ピン名	ピンの機能	ピンの説明	接続ガイドライン
TCK	入力	専用の JTAG テストクロック入力ピンです。このピンは SDM および HPS JTAG チェーンへのアクセスにも使用できます。詳細については、 <a href="#">HPS JTAG ピン</a> (46 ページ) を参照してください。	JTAG インターフェイスを使用しない場合は、このピンを 1 kΩ のプルアップ抵抗を介して GND に接続します。 このピンでは 25 kΩ の内部プルダウンを備えています。 TCK ピンの VCCIO_SDM 電源より高い電圧を駆動しないでください。 TCK 入力ピンの電力供給元は VCCIO_SDM 電源です。
TMS	入力	専用の JTAG テストモード選択入力ピンです。このピンは SDM および HPS JTAG チェーンへのアクセスにも使用できます。詳細については、 <a href="#">HPS JTAG ピン</a> (46 ページ) を参照してください。	このピンを VCCIO_SDM 電源への 1 kΩ - 10 kΩ のプルアップ抵抗に接続してください。JTAG インターフェイスを使用しない場合には、TMS ピンを 1 kΩ の抵抗を使用して VCCIO_SDM 電源に接続してください。 このピンでは 25 kΩ の内部プルアップを備えています。 TMS ピンの VCCIO_SDM 電源より高い電圧を駆動しないでください。 TMS 入力ピンの電力供給元は VCCIO_SDM 電源です。
TDO	出力	専用の JTAG テストデータ出力ピンです。このピンは SDM および HPS JTAG チェーンへのアクセスにも使用できます。詳細については、 <a href="#">HPS JTAG ピン</a> (46 ページ) を参照してください。	JTAG インターフェイスを使用しない場合には、TDO ピンを未接続のままにします。
TDI	入力	専用の JTAG テストデータ入力ピンです。このピンは SDM および HPS JTAG チェーンへのアクセスにも使用できます。詳細については、 <a href="#">HPS JTAG ピン</a> (46 ページ) を参照してください。	このピンを VCCIO_SDM 電源への 1 kΩ - 10 kΩ のプルアップ抵抗に接続してください。JTAG インターフェイスを使用しない場合は、TDI ピンを 1 kΩ の抵抗を使用して VCCIO_SDM 電源に接続してください。 このピンでは 25 kΩ の内部プルアップを備えています。 TDI ピンの VCCIO_SDM 電源より高い電圧を駆動しないでください。 TDI 入力ピンの電力供給元は VCCIO_SDM 電源です。
nSTATUS	出力	このピンは、nCONFIG を駆動するデバイスとの同期およびエラーレポートに使用されます。	Avalon-ST コンフィグレーション手法を使用している場合は、このピンをコンフィグレーション・ホストに接続します。 他のコンフィグレーション手法では、このピンを使用してコンフィグレーション・ステータスを監視できます。 このピンは、すべてのコンフィグレーション手法で、10 kΩ の抵抗を介して VCCIO_SDM にプルアップする必要があります。このピンでは 25 kΩ の内部プルアップを備えています。
nCONFIG	入力	nCONFIG ピンは、デバイスをクリアしてリコンフィグレーションの準備をするために使用されます。	Avalon-ST コンフィグレーション手法を使用している場合は、このピンをコンフィグレーション・ホストに直接接続します。 他のコンフィグレーション手法を使用する場合は、このピンを 10 kΩ の外部プルアップ抵抗を介して VCCIO_SDM にプルしてください。他のコンフィグレーション手法を使用する場合、コンフィグレーションの再開に使用するには、このピンを Low にしてから再び High にします。
OSC_CLK_1	入力	このピンは、デバイス・コンフィグレーションおよびトランシーバーのキャリブレーション用のクロックとして使用されます。	トランシーバーを使用している場合は、このピンに外部クロックソースを供給してください。

continued...



ピン名	ピンの機能	ピンの説明	接続ガイドライン
			外部クロックソースを使用してコンフィグレーションを行ったり、デザイン内のトランシーバーをインスタンス化したりする場合は、25 MHz、100 MHz、または 125 MHz のフリーラン・クロックソースをこのピンに供給し、デザインのコンパイル時に インテル Quartus Prime 開発ソフトウェアでそのピンを有効にしてください。内部発振器をコンフィグレーションに使用して、デザイン内のトランシーバーをインスタンス化しない場合は、このピンを未接続のままにしてください。

### オプション/兼用コンフィグレーション・ピン

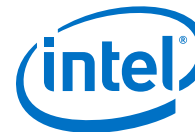
**注意:** インテルでは、インテル Quartus Prime デザインを作成し、デバイスの I/O アサインメントを入力し、デザインをコンパイルすることをお勧めしています。インテル Quartus Prime 開発ソフトウェアでは、I/O アサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの集積度、パッケージ、I/O アサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。

**表 3. オプション/兼用コンフィグレーション・ピン(暫定)**

ピン名	ピンの機能	ピンの説明	接続ガイドライン
AVST_DATA[31:0]	I/O、入力	兼用コンフィグレーション・データ入力ピンです。 DATA [15:0] ピンを Avalon Streaming Interface (Avalon-ST) x16 モードに、DATA [31:0] ピンを Avalon-ST x32 モードに、あるいは通常の I/O ピンとして使用します。 Avalon-ST x8 モードでは SDM_IO ピンを使用します。 これらのピンは、コンフィグレーション後にユーザー I/O ピンとしても使用できます。	これらのピンが兼用ピンまたは I/O ピンとして使用されていない場合は、これらのピンを未接続のままにしておきます。
AVST_CLK	I/O、入力	兼用 Avalon-ST インターフェイス・クロック入力ピンです。 このピンは、Avalon-ST x16 および x32 コンフィグレーション手法に使用されます。 このピンは、コンフィグレーション後にユーザー I/O ピンとしても使用できます。	Avalon-ST x16 または x32 インターフェイスを使用したコンフィグレーションには、このピンを外部コンフィグレーション・コントローラーのクロック信号に接続してください。
AVST_VALID	I/O、入力	兼用 Avalon-ST インターフェイス・データ有効入力ピンです。 このピンは、Avalon-ST x16 および x32 コンフィグレーション手法に使用されます。	Avalon-ST x16 または x32 インターフェイスを使用したコンフィグレーションには、このピンを外部コンフィグレーション・コントローラーのデータ有効信号に接続してください。

*continued...*





ピン名	ピンの機能	ピンの説明	接続ガイドライン
nPERST[L,R][0:2]	I/O、入力	<p>このピンは、コンフィグレーション後にユーザー I/O ピンとしても使用できます。</p> <p>PCI Express® (PCIe®) ハード IP (HIP) と併用する場合にのみ使用可能な兼用基本リセットピンです。</p> <p>片側(左または右)の PCIe HIP が有効になっていると、その側の nPERST ピンを汎用 I/O (GPIO) として使用することはできません。この場合、nPERST ピンをシステムの PCIe nPERST 信号に接続して、リンクの両端でリンク・トレーニングが同時に開始されるようにします。一方の側の nPERST ピンが GPIO として使用できるのは、その側の PCIe HIP が有効になっていない場合のみです。</p> <p>ピンが Low のとき、トランシーバーはリセット状態です。このピンが High のとき、トランシーバーはリセット状態にありません。このピンを基本リセットとして使用しない場合は、このピンをユーザー I/O ピンとして使用できます。</p>	<p>このピンを インテル Quartus Prime 開発ソフトウェアで規定されている通りに接続してください。このピンの電源供給元は VCCIO3V 電源です。</p> <p>VCCIO3V が 3.0 V 電源に接続されている場合は、ダイオードを使用して 3.3 V LVTTTL PCIe 入力信号をデバイスの VCCIO3V 電源にクランプしてください。</p> <p>VCCIO3V が 3.0 V 以外の電圧に接続されている場合は、レベル・トランスレーターを使用して、3.3 V LVTTTL から電圧をシフトダウンして VCCIO3V ピンへの給電に対応する電圧レベルにしてください。</p> <p>1 つの PCIe HIP には nPERST ピンが 1 つだけ使用されます。特定のコンポーネントに 1 つか 2 つの PCIe HIP しかない場合でも、インテル Stratix® 10 コンポーネントに 6 つのピンすべてが表示されることがあります。</p> <ul style="list-style-type: none"> <li>• nPERSTL0 = 左下の PCIe HIP および CvP</li> <li>• nPERSTL1 = 真ん中左の PCIe HIP (使用可能な場合)</li> <li>• nPERSTL2 = 左上の PCIe HIP (使用可能な場合)</li> <li>• nPERSTR0 = 右下の PCIe HIP (使用可能な場合)</li> <li>• nPERSTR1 = 真ん中右の PCIe HIP (使用可能な場合)</li> <li>• nPERSTR2 = 右上の PCIe HIP (使用可能な場合)</li> </ul> <p>最大限の互換性のために、常に左下の PCIe HIP から使用してください。これが PCIe リンクを使用したプロトコル経由コンフィグレーション (CvP) をサポートする唯一の場所です。</p> <p>インテル Stratix 10 GX ピン接続ガイドラインの注記の注記 13 を参照してください。</p>

### 3V 互換 I/O

**注意:** インテルでは、インテル Quartus Prime デザインを作成し、デバイスの I/O アサインメントを入力し、デザインをコンパイルすることをお勧めしています。インテル Quartus Prime 開発ソフトウェアでは、I/O アサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの集積度、パッケージ、I/O アサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。

表 4. 3V 互換 I/O (暫定)

ピン名	ピンの機能	ピンの説明	接続ガイドライン
IO3V[0,1,2,3,4,5,6,7]_[10,12,20,22]	I/O	これらは 3.0 V I/O ピンです。各トランシーバー・タイルでは 8 つの 3.0 V I/O ピンをサポートしています。これらのピンでは、1.2 V、1.25 V、1.35 V、1.5 V、1.8 V、2.5 V、および 3.0 V I/O 規格をサポートしています。 サポートされている I/O 規格の詳細については インテル Stratix 10 デバイス・データシートを参照してください。	これらのピンは、使用している I/O インターフェイス規格に従って接続してください。トランシーバー・タイルの VCCR_GXB ピンおよび VCCT_GXB ピンに電力を供給して、そのタイル内の 3.0 V I/O ピンを有効にしてください。トランシーバー・タイルの VCCR_GXB または VCCT_GXB (あるいはその両方) に電力が供給されていない場合は、そのタイル内の対応する 3.0 V I/O ピンは無効になります。 未使用ピンを インテル Quartus Prime で定義されているとおりに接続します。

## 差動 I/O ピン

**注意:** インテルでは、インテル Quartus Prime デザインを作成し、デバイスの I/O アサインメントを入力し、デザインをコンパイルすることをお勧めしています。インテル Quartus Prime 開発ソフトウェアでは、I/O アサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの集積度、パッケージ、I/O アサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。

表 5. 差動 I/O ピン (暫定)

ピン名	ピンの機能	ピンの説明	接続ガイドライン
LVDS[2][A,B,C,D,E,F,G,H,I,J,K,L,M,N]_[1:24][p,n] LVDS[3][A,B,C,D,E,F,G,H,I,J,K,L,M,N]_[1:24][p,n]	I/O, RX / TX チャンネル	これらは、カラム I/O バンク上の真の LVDS レシーバーおよびトランスミッター・チャンネルです。各 I/O ペアは、LVDS レシーバーまたは LVDS トランスミッターとしてコンフィグレーションできます。末尾が「p」のピンでは、差動チャンネルの正の信号を伝えます。末尾が「n」のピンでは、差動チャンネルの負の信号を伝えます。これらのピンは、差動信号に使用されていない場合はユーザー I/O ピンとして使用可能です。	未使用ピンを インテル Quartus Prime で定義されているとおりに接続します。

## 外部メモリー・インターフェイス・ピン

**注意:** インテルでは、インテル Quartus Prime デザインを作成し、デバイスの I/O アサインメントを入力し、デザインをコンパイルすることをお勧めしています。インテル Quartus Prime 開発ソフトウェアでは、I/O アサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの集積度、パッケージ、I/O アサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。



表 6. 外部メモリー・インターフェイス・ピン(暫定)

ピン名	ピンの機能	ピンの説明	接続ガイドライン
DQS[0:47] DQS[48:95]	I/O, 双方向	外部メモリー・インターフェイスで使用するオプションのデータストロープ信号です。これらのピンは専用の DQS 位相シフト回路を駆動します。	未使用ピンを インテル Quartus Prime で定義されているとおりに接続します。
DQSn[0:47] DQSn[48:95]	I/O, 双方向	外部メモリー・インターフェイスで使用するオプションの補完データストロープ信号です。これらのピンは専用の DQS 位相シフト回路を駆動します。	未使用ピンを インテル Quartus Prime で定義されているとおりに接続します。
DQ[0:47] DQ[48:95]	I/O, 双方向	外部メモリー・インターフェイスで使用するオプションのデータ信号です。指定 DQ バス内の DQ ビットの順序は重要ではありません。ただし、異なる DQ バス幅を持つ別のメモリー・インターフェイスへの移行を計画している場合は、ピン・アサインメントの再評価が必要です。DQ ピンの分析をデバイスのピンアウトファイル内のすべての関連 DQS 列で行います。	未使用ピンを インテル Quartus Prime で定義されているとおりに接続します。

関連情報

External Memory Interface Pin Information for Intel Stratix 10 Devices

電圧センサーピン

注意: インテルでは、インテル Quartus Prime デザインを作成し、デバイスの I/O アサインメントを入力し、デザインをコンパイルすることをお勧めしています。インテル Quartus Prime 開発ソフトウェアでは、I/O アサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの集積度、パッケージ、I/O アサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。

表 7. 電圧センサーピン(暫定)

ピン名	ピンの機能	ピンの説明	接続ガイドライン
VREFP_ADC	入力	専用の高精度アナログ電圧リファレンスです。	VREFP_ADC ピンを外部の 1.25 V 正確なリファレンス・ソース (+/- 0.2%) に接続して、ADC の性能を向上させます。VREFP_ADC はアナログ信号として、差動 1.25 V 電圧を供給する VREFN_ADC 信号と一緒に扱います。外部リファレンスが供給されていない場合は、VREFP_ADC ピンは常に GND に接続してください。オンチップ・リファレンス・ソース (+/- 10%) は、このピンを GND に接続するとアクティブになります。VREFP_ADC は VCCA_PLL 以下にして損傷を防いでください。

continued...

ピン名	ピンの機能	ピンの説明	接続ガイドライン
			<p>外部電圧リファレンス・ソースを VREFP_ADC および VREFN_ADC に接続する場合、インテルでは、VREF ソースをできるだけ近くに配置して、電源レールへのカップリング・ノイズを最小限に抑えることをお勧めします。リファレンス・トレースの配線は、グランドシールド付きのパッケージボールに密接に結合された差動ペアとして行ってください。</p> <p>インテルでは、10 <math>\mu</math>F と 1 <math>\mu</math>F のボード・コンデンサーを配置して、VREFP_ADC と VREFN_ADC をデカップリングすることをお勧めします。1 <math>\mu</math>F のボードコンデンサーは、パッケージボールのできるだけ近くに配置します。</p>
VREFN_ADC	入力		<p>VREFN_ADC ピンを GND に接続して ADC の性能を向上させます。VREFN_ADC はアナログ信号として、差動 1.25 V 電圧を供給する VREFP_ADC 信号と一緒に扱います。外部リファレンスが供給されていない場合は、VREFN_ADC ピンは常に GND に接続してください。</p> <p>外部電圧リファレンス・ソースを VREFP_ADC および VREFN_ADC に接続する場合、インテルでは、VREF 信号ソースをできるだけ近くに配置して、電源レールへのカップリング・ノイズを最小限に抑えることをお勧めします。リファレンス・トレースの配線は、グランドシールド付きのパッケージボールに密接に結合された差動ペアとして行ってください。</p> <p>インテルでは、10 <math>\mu</math>F と 1 <math>\mu</math>F のボード・コンデンサーを配置して VREFP_ADC と VREFN_ADC をデカップリングすることをお勧めします。1 <math>\mu</math>F のボードコンデンサーは、パッケージボールのできるだけ近くに配置します。</p>
VSIGP_[0,1]	入力	アナログ差動入力ピン 2 組です。FPGA 内部の電圧センサーと併用して、外部アナログ電圧を監視します。	<p>電圧センサー機能を使用しない場合は、これらのピンを GND に接続してください。これらのピンの使用方法の詳細については、<a href="#">インテル Stratix 10 アナログ - デジタル・コンバーター・ユーザーガイド</a>を参照してください。</p> <p>VSIGP と VSIGN ピンの駆動は、損傷を防ぐため、VCCA_PLL 電源レールが 1.62 V に達するまでは行わないでください。</p>
VSIGN_[0,1]	入力		

## 温度センサーピン

**注意:** インテルでは、インテル Quartus Prime デザインを作成し、デバイスの I/O アサインメントを入力し、デザインをコンパイルすることをお勧めしています。インテル Quartus Prime 開発ソフトウェアでは、I/O アサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの集積度、パッケージ、I/O アサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。



表 8. 温度センサーピン(暫定)

ピン名	ピンの機能	ピンの説明	接続ガイドライン
TEMPDIODEp[0..6]	入力	これらのピンは、FPGA コア内およびトランシーバー・タイル内の内部温度検出ダイオードに接続されます(バイアス High 入力)。	このピンを外部温度検出デバイスに接続し、FPGA の温度検出ができるようにします。温度検出ダイオードを外部温度検出デバイスと併用しない場合は、このピンを未接続のままにしてください。 温度センサーの位置およびチャネル番号の詳細については、 <i>インテル Stratix 10 アナログ - デジタル・コンバーター・ユーザーガイド</i> を参照してください。
TEMPDIODEn[0..6]	入力	これらのピンは、FPGA コア内およびトランシーバー・タイル内の内部温度検出ダイオードに接続されます(バイアス Low 入力)。	このピンを外部温度検出デバイスに接続し、FPGA の温度検出ができるようにします。温度検出ダイオードを外部温度検出デバイスと併用しない場合は、このピンを未接続のままにしてください。 温度センサーの位置およびチャネル番号の詳細については、 <i>インテル Stratix 10 アナログ - デジタル・コンバーター・ユーザーガイド</i> を参照してください。

関連情報

温度センサーのチャネルと位置

リファレンス・ピン

**注意:** インテルでは、インテル Quartus Prime デザインを作成し、デバイスの I/O アサインメントを入力し、デザインをコンパイルすることをお勧めしています。インテル Quartus Prime 開発ソフトウェアでは、I/O アサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの集積度、パッケージ、I/O アサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。

表 9. リファレンス・ピン(暫定)

ピン名	ピンの機能	ピンの説明	接続ガイドライン
RZQ_[2] [A,B,C,F,G,H,I,J,K,L,M,N] RZQ_[3] [A,B,C,D,E,F,G,H,I,J,K,L]	I/O, 双方向	I/O バンクのリファレンス・ピンです。RZQ ピンでは、それらが配置されている I/O バンクと同じ VCCIO を共有します。 外部の高精度抵抗をバンク内の指定ピンに接続します。このピンは、必要ない場合は通常の I/O ピンになります。	OCT を使用する場合は、これらのピンを GND に接続します。目的の OCT インピーダンスに応じて、240 Ω または 100 Ω の抵抗を介して行います。OCT 手法の詳細については、 <i>Intel Stratix 10 General Purpose I/O User Guide</i> を参照してください。 これらのピンを外部高精度抵抗の専用入力または I/O ピンとして使用しない場合は、これらのピンを未接続のままにしてください。

## 未接続および DNU ピン

**注意:** インテルでは、インテル Quartus Prime デザインを作成し、デバイスの I/O アサインメントを入力し、デザインをコンパイルすることをお勧めしています。インテル Quartus Prime 開発ソフトウェアでは、I/O アサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの集積度、パッケージ、I/O アサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。

**表 10. 未接続および DNU ピン(暫定)**

ピン名	ピンの機能	ピンの説明	接続ガイドライン
DNU	未使用	未使用 (DNU)	電源、GND または他の信号に接続しないでください。このピンはフローティングのままにしておく必要があります。
NC	未接続	信号をこのピンに駆動しないでください。	デバイス・マイグレーション向けにデザインする場合は、このピンを電源、GND または信号トレースのいずれかに接続します。マイグレーションするデバイスのピン・アサインメントに応じて行います。 ただし、デバイス・マイグレーションを考慮しない場合は、このピンをフローティングのままにしてください。

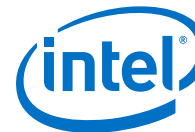
## 電源供給ピン

**注意:** インテルでは、インテル Quartus Prime デザインを作成し、デバイスの I/O アサインメントを入力し、デザインをコンパイルすることをお勧めしています。インテル Quartus Prime 開発ソフトウェアでは、I/O アサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの集積度、パッケージ、I/O アサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。

**表 11. 電源供給ピン(注記 4~10 を参照)(暫定)**

ピン名	ピンの機能	ピンの説明	接続ガイドライン
VCCP	電源	VCCP ではペリフェラルへ電源供給します。	VCC と VCCP は、同一の電圧レベルで動作し、ボード上の同じ電源プレーンを共有し、同じレギュレーターを調達元とする必要があります。 推奨動作条件について詳しくは、 <a href="#">インテル Stratix 10 デバイス・データシート</a> の「電気的特性」を参照してください。 インテル Stratix 10 Early Power Estimator (EPE) および インテル Quartus Prime Power Analyzer を使用して、VCCP および他の電源供給の現在の要件を判断します。これらのピンのデカップリングは、特定のボードのデカップリング要件によって異なります。

*continued...*



ピン名	ピンの機能	ピンの説明	接続ガイドライン
			インテル Stratix 10 GX ピン接続ガイドラインの注記の注記 2、3、4、6 および 10 を参照してください。
VCC	電源	VCC ではコアへ電源供給します。	VCC と VCCP は、同一の電圧レベルで動作し、ボード上の同じ電源プレーンを共有し、同じレギュレーターを調達元とする必要があります。 推奨動作条件について詳しくは、インテル Stratix 10 デバイス・データシートの「電気的特性」を参照してください。 インテル Stratix 10 Early Power Estimator (EPE) および インテル Quartus Prime Power Analyzer を使用して、VCC および他の電源供給の現在の要件を判断します。これらのピンのデカップリングは、特定のボードのデカップリング要件によって異なります。 インテル Stratix 10 GX ピン接続ガイドラインの注記 2、3、4、6 および 10 を参照してください。
VCCPT	電源	プログラマブル電源テクノロジーおよび I/O プリドライバ用の電源。	VCCPT を 1.8 V の低ノイズ・スイッチング・レギュレーターに接続してください。次を VCCPT と同じレギュレーターから調達することもできます。 <ul style="list-style-type: none"> <li>VCCIO_SDM および VCCIO_HPS</li> <li>VCCIO および VCCIO3V(これらのレールで同じ電圧レベルを使用している場合)</li> <li>VCCBAT (同一の電圧レベルを使用していて、デザイン・セキュリティ・キー機能が不要である場合)</li> <li>適切なアイソレーション・フィルタリングを備えた VCCH_GXB、VCCA_PLL、VCCPLL_SDM、VCCPLL_HPS、および VCCADC</li> </ul> VCCPT 電源レール用に VCCPT ピンの近くに最小で 1 nF のデカップリングが必要です。 フローティング電圧は、VCCERAM によるデバイスのパワーアップとパワーダウンのシーケンス中に VCCPT で観測されることがあります。このとき、フローティング電圧は VCCPT より低くなります。これは予想される動作であり、パワーアップまたはパワーダウンのシーケンスに従っている限りは、機能障害やデバイスへの信頼性の問題は発生しません。 電源レールの共有については、インテル Stratix 10 デバイスの電源共有ガイドラインを参照してください。 インテル Stratix 10 GX ピン接続ガイドラインの注記 2、3、4、7 および 10 を参照してください。
VCCA_PLL	電源	PLL アナログ電源	VCCA_PLL を 1.8 V の低ノイズ・スイッチング・レギュレーターに接続してください。VCCA_PLL は、適切なアイソレーション・フィルタを使用し VCCPT と同じレギュレーターから調達することができます。 インテル Stratix 10 GX ピン接続ガイドラインの注記 2、3、4、7 および 10 を参照してください。

continued...



ピン名	ピンの機能	ピンの説明	接続ガイドライン
VCCIO ([2] [A, B, C, F, L, M, N], [3] [A, B, C, I, J, K, L])	電源	<p>これらは、I/O バンク用の供給電圧ピンです。各バンクでは異なる電圧レベルをサポートすることができます。</p> <p>サポートされている VCCIO 規格は次のとおりです。</p> <ul style="list-style-type: none"> <li>• Diff HSTL/HSTL(12,15,18)</li> <li>• Diff SSTL/SSTL(12,125, 135, 15, 18)</li> <li>• Diff HSUL/HSUL(12)</li> <li>• Diff POD 12</li> <li>• LVDS/Mini_LVDS/RSDS</li> <li>• 1.2 V、1.5 V、1.8 V</li> </ul>	<p>これらのピンを 1.2 V、1.25 V、1.35 V、1.5 V、または 1.8 V の電源に接続します。指定のバンクに必要な I/O 規格に応じて行います。</p> <p>未使用の I/O バンクをパワーダウンするために、VCCIO ピンを GND に接続することもできます。</p> <p>パワーアップ・シーケンスの間だけですが、VCCIO トランジスターが動作可能になると、VCCIO 動作スタティック電流よりも小さい過渡電流が観察されることがあります。これは予想される動作であり、パワーアップまたはパワーダウンのシーケンスに従っている限りは、機能障害やデバイスの信頼性の問題は発生しません。</p> <p>I/O バンク 3A を AVST x16 または AVST x32 コンフィグレーション・モードで使用する場合は、デバイスを正しく機能させるため、VCCIO 3A 電源を VCCIO_SDM 電源に接続してください。</p> <p>詳しくは、インテル <i>Stratix 10 General Purpose I/O User Guide</i> を参照してください。</p> <p>電源レールの共有については、インテル Stratix 10 デバイスの電源共有ガイドラインを参照してください。</p> <p>インテル Stratix 10 GX ピン接続ガイドラインの注記 2、3、4、8 および 10 を参照してください。</p>
VCCIO3V	電源	3V I/O バンクの電源です。	<p>これらのピンを 1.2 V、1.25 V、1.35 V、1.5 V、1.8 V、2.5 V または 3.0 V の電源に接続します。指定のバンクに必要な I/O 規格に応じて行います。</p> <p>VCCIO3V バンクが未使用でも、デバイスを正常に動作させるために、VCCIO3V の電源をオンにしてください。</p> <p>VCCIO3V バンクを動作させるには、VCCR_GXB と VCCH_GXB をパワーアップしてください。</p> <p>詳しくは、<i>Intel Stratix 10 General Purpose I/O User Guide</i> を参照してください。</p> <p>電源レールの共有については、インテル Stratix 10 デバイスの電源共有ガイドラインを参照してください。</p> <p>インテル Stratix 10 GX ピン接続ガイドラインの注記 2、3、4、8 および 10 を参照してください。</p>
VCCIO_SDM	電源	コンフィグレーション・ピン電源です。	<p>これらのピンを 1.8 V 電源に接続してください。兼用コンフィグレーション・ピンをコンフィグレーションに使用する場合は、兼用コンフィグレーション・ピンが配置されているバンクの VCCIO を VCCIO_SDM と同じレギュレーターに接続します。</p> <p>これらのピンに VCCIO と同じ電圧レベルが必要である場合、これらのピンを VCCIO と同じレギュレーターに接続することもできます。</p> <p>VCCBAT 電源レール用に、VCCBAT ピンの近くに最小で 47 nF のデカップリングが必要です。</p>

continued...





ピン名	ピンの機能	ピンの説明	接続ガイドライン
			電源レールの共有については、インテル Stratix 10 デバイスの電源共有ガイドラインを参照してください。 インテル Stratix 10 GX ピン接続ガイドラインの注記 2、3、4、および 10 を参照してください。
VCCERAM	電源	エンベデッド・メモリーおよびデジタル・トランシーバーの電源です。	すべての VCCERAM ピンを 0.9 V の低ノイズ・スイッチング電源に接続します。 VCCPLLDIG_SDM は、適切なアイソレーション・フィルタを使用して、VCCERAM と同じレギュレーターから調達してください。 詳しくは、インテル Stratix 10 デバイス・データシートを参照してください。 インテル Stratix 10 GX ピン接続ガイドラインの注記 2、3、7、および 10 を参照してください。
VCCPLLDIG_SDM	電源	SDM ブロック PLL 電源ピンです。	VCCPLLDIG_SDM は、適切なアイソレーション・フィルタを使用して、VCCERAM と同じレギュレーターから調達してください。
VCCBAT	電源	デザイン・セキュリティ揮発性キー・レジスター用バッテリー・バックアップ電源	デザイン・セキュリティ揮発性キーを使用する場合は、このピンを 1.2 V - 1.8 V の範囲での不揮発性バッテリー電源に接続します。 揮発性キーを使用しない場合は、このピンを 1.8 V の VCCPT に接続します。 このピンには推奨電圧範囲に沿って適切な電源を供給してください。インテル Stratix 10 デバイスのパワーオン・リセット (POR) 回路で VCCBAT が監視されます。 VCCBAT 電源レール用に、VCCBAT ピンの近くに最小で 47 nF のデカップリングが必要です。 電源レールの共有については、インテル Stratix 10 デバイスの電源共有ガイドラインを参照してください。
VCCPLL_SDM	電源	VCCPLL_SDM では SDM ブロックの PLL ヘアアナログ電源を供給します。	これらのピンを、適切なアイソレーション・フィルタを介して 1.8 V の低ノイズ・スイッチング電源に接続します。 適切なアイソレーション・フィルタを使用して VCCPLL_SDM を VCCPT と同じレギュレーターから調達することができます。これは、すべての電源レールに 1.8 V が必要な場合に適用します。 これらのピンに対するデカップリングは、それぞれのボードのデザインにおけるデカップリング要件に依存します。 インテル Stratix 10 GX ピン接続ガイドラインの注記 2、3、4、および 7 を参照してください。
GND	グラウンド	デバイス・グラウンド・ピンです。	すべての GND ピンをボードのグラウンドプレーンに接続してください。

continued...



ピン名	ピンの機能	ピンの説明	接続ガイドライン
VREFB[ [ 2 ] [ A, B, C, F, G, H, I, J, K, L, M, N ], [ 3 ] [ A, B, C, D, E, F, G, H, I, J, K, L ] ]N0	電源	各 I/O バンクの入力基準電圧。バンクで電圧基準の I/O 規格を使用している場合は、これらのピンをバンクの電圧基準ピンとして使用します。	VREF ピンを使用しない場合、これらのピンは、ピンが配置されているバンクの VCCIO、あるいは GND に接続します。 インテル Stratix 10 GX ピン接続ガイドラインの注記 2、8、および 10 を参照してください。
VCCLSENSE	電源	外部レギュレーターへの差動検出ライン。	VCCLSENSE および GNDSENSE は、VCC 電源用の差動リモート検出ピンです。レギュレーターの差動リモート検出ラインをそれぞれ VCCLSENSE ピンおよび GNDSENSE ピンに接続します。これにより、VCC 電源からの PCB およびデバイスパッケージに関連する DC IR ドロップが補正されます。これらの接続を差動ペアトレースとして配線し、他のノイズ発生源から隔離してください。 VCCLSENSE および GNDSENSE ラインをレギュレーターのリモート検出入口に接続してください。
GNDSENSE	電源		
VCCADC	電源	電圧センサー用 ADC 電源ピンです。	インテル Stratix 10 デバイスの内部電圧センサーを使用している場合は、低ノイズの 1.8 V 電源をこのピンに供給してください。 電圧センサーを使用しているときは、このピンの VCCA_PLL への接続には適切なアイソレーション・フィルタリングを使用します。 電圧センサーを使用していない場合は、このピンを VCCA_PLL に接続してください。
VCCFUSEWR_SDM	電源	オプションのワンタイム・プログラマブル eFuse のプログラミング(書き込み)に必要な電源供給です。これらの eFuse は、インテル Stratix 10 セキュリティー・アーキテクチャーの不可欠な部分です。詳しくは、 <i>Intel Stratix 10 Device Security User Guide</i> を参照してください。	eFuse のフィールド・プログラミングが必要な場合、このピンには 2.4 V 電源が必要です。eFuse のフィールド・プログラミングが不要な場合は、このピンを VCCPT に接続するか、未接続(フローティング)のままにしてください。このピンを GND に接続しないでください。 eFuse のフィールド・プログラミングが必要な場合、インテルでは、調整可能なレギュレーターを使用することをお勧めします。レギュレーターは、eFuse のプログラミングには 2.4 V 出力に設定し、それ以外のときは 1.8 V 出力に設定します。 フローティング電圧の発生が、VCCFUSEWR_SDM 電源のパワーアップおよびパワーダウンのシーケンス中に観測されることがあります。これは、VCCPT または VCCERAM、あるいはその両方により、フローティング電圧の合計の大きさが VCCFUSEWR_SDM より低くなるためです。 パワーアップ・シーケンス中だけでなく、VCCFUSEWR_SDM 動作過渡電流よりも小さい過渡電流が観測されることがあります。フローティング電圧と過渡電流は予想される動作であり、パワーアップまたはパワーダウンのシーケンスに従っている限りは、機能障害やデバイスの信頼性の問題は発生しません。



## トランシーバー・ピン

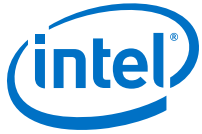
**注意:** インテルでは、インテル Quartus Prime デザインを作成し、デバイスの I/O アサインメントを入力し、デザインをコンパイルすることをお勧めしています。インテル Quartus Prime 開発ソフトウェアでは、I/O アサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの集積度、パッケージ、I/O アサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。

**表 12. トランシーバー・ピン(注記 4~10 を参照)(暫定)**

nPERST[L,R][0:2] ピンのピン説明と接続ガイドラインの詳細については、オプション/兼用コンフィグレーション・ピンの項を参照してください。OSC\_CLK\_1 ピンのピン説明および接続ガイドラインの詳細については、専用コンフィグレーション/JTAG ピンの項を参照してください。

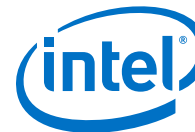
ピン名	ピンの機能	ピンの説明	接続ガイドライン
VCCR_GXB[L1,R4] [C,D,E,F,G,H,I,J,K,L,M,N]	電源	アナログ電源、レシーバーであり、デバイスの左側 (L) または右側 (R) の各トランシーバー・バンクに固有です。	<p>VCCR_GXB ピンの 1.03 V または 1.12 V の低ノイズのスイッチングレギュレーターへの接続を、トランシーバーのデータレートに応じて行います。</p> <p>トランシーバー・タイル (L タイルまたは H タイル) 内の各バンクの VCCR_GXB ピンと VCCT_GXB ピンには、同じ電圧 (1.03 V または 1.12 V) が必要です。ただし、同じトランシーバー・タイル内の異なるバンクの VCCR_GXB および VCCT_GXB では、コンフィグレーションされたトランシーバー・データレートに基づいた異なる電圧を持つことができます。これは、トランシーバー・タイルの消費電力をさらに削減するためです。トランシーバー・タイル内のバンクに異なる電圧が供給されている場合 (たとえば、一部のバンクは 1.03 V で動作し、他のバンクが 1.12 V で動作する場合)、xN クロックラインの通過は、同一の VCCR_GXB または VCCT_GXB で動作する隣接バンク間でのみ許可されます。xN クロックラインが異なる電圧で動作するバンクの境界をまたぐことは許可されません。トランシーバー・タイルに入力される入力基準クロックについては、たとえバンクの VCCR_GXB と VCCT_GXB の動作電圧が異なっていても、そのクロックはタイル内の任意のバンクに分配することができます。</p> <p>同じタイル上のすべてのトランシーバーが使用されていない場合は、そのタイルのトランシーバーの電源をオフにするために、VCCR_GXB、VCCT_GXB、および VCCH_GXB を GND に接続します。</p> <p>22 nF のデカップリング・コンデンサーの配置は、BGA ピンフィールドの裏側の各 VCCR_GXB 電源ピンと GND ピンの間に行います。</p> <p>VCCR_GXB と VCCT_GXB の電圧供給は、L タイルデバイスか H タイルデバイスか、また各タイルのチャネルのコンフィグレーション (非結合チャネルか結合チャネルか) によって異なります。特定の使用例での電圧要件についての詳細は、インテル Stratix 10 デバイス・データシートを参照してください。</p>

continued...



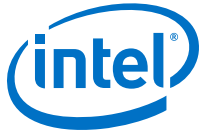
ピン名	ピンの機能	ピンの説明	接続ガイドライン
			インテル Stratix 10 GX ピン接続ガイドラインの注記 2、3、4、7 および 10 を参照してください。
VCCT_GXB[L1,R4] [C,D,E,F,G,H,I,J,K,L,M,N]	電源	アナログ電源、トランスミッターであり、デバイスの左側 (L) または右側 (R) の各トランシーバー・バンクに固有です。	<p>VCCR_GXB ピンの 1.03 V または 1.12 V の低ノイズのスイッチング・レギュレーターへの接続を、トランシーバーのデータレートに応じて行います。</p> <p>トランシーバー・タイル (L タイルまたは H タイル) 内の各バンクの VCCR_GXB ピンと VCCT_GXB ピンには、同じ電圧 (1.03 V または 1.12 V) が必要です。ただし、同じトランシーバー・タイル内の異なるバンクの VCCR_GXB および VCCT_GXB では、コンフィグレーションされたトランシーバー・データレートに基づいた異なる電圧を持つことができます。これは、トランシーバー・タイルの消費電力をさらに削減するためです。トランシーバー・タイル内のバンクに異なる電圧が供給されている場合 (たとえば、一部のバンクは 1.03 V で動作し、他のバンクが 1.12 V で動作する場合)、xN クロックラインの通過は、同一の VCCR_GXB または VCCT_GXB で動作する隣接バンク間でのみ許可されます。xN クロックラインが異なる電圧で動作するバンクの境界をまたぐことは許可されていません。トランシーバー・タイルに入力される入力基準クロックについては、たとえバンクの VCCR_GXB と VCCT_GXB の動作電圧が異なっても、そのクロックはタイル内の任意のバンクに分配することができます。</p> <p>同じタイル上のすべてのトランシーバーが使用されていない場合は、そのタイルのトランシーバーの電源をオフにするために、VCCR_GXB、VCCT_GXB、および VCCH_GXB を GND に接続します。</p> <p>22 nF のデカップリング・コンデンサーの配置は、BGA ピンフィールドの裏側の各 VCCT_GXB 電源ピンと GND ピンの間に行います。</p> <p>VCCR_GXB と VCCT_GXB の電圧供給は、L タイルデバイスか H タイルデバイスか、また各タイルのチャンネルのコンフィグレーション (非結合チャンネルか結合チャンネルか) によって異なります。特定の使用例での電圧要件についての詳細は、インテル Stratix 10 デバイス・データシートを参照してください。</p> <p>インテル Stratix 10 GX ピン接続ガイドラインの注記 2、3、4、7 および 10 を参照してください。</p>
VCCH_GXB[L1,R4] [C,D,E,F,G,H,I,J,K,L,M,N]	電源	アナログ電源、ブロックレベルのトランスミッター・バッファーであり、デバイスの左側 (L) または右側 (R) に固有です。	<p>VCCH_GXB は 1.8 V の低ノイズ・スイッチング・レギュレーターに接続します。</p> <p>適切なアイソレーション・フィルタリングを使用して、VCCH_GXB を VCCPT と同じレギュレーターから調達することができます。</p> <p>チャンネルのジッター性能に対するレギュレーターのスイッチング・ノイズの影響を最小限に抑えるには、VCCH_GXB レギュレーターのスイッチング周波数を 2 MHz 未満に保ちます。OTN アプリケーションの場合、VCCH_GXB のスイッチング周波数は 500 KHz 以下にすることをお勧めします。</p>

continued...



ピン名	ピンの機能	ピンの説明	接続ガイドライン
			<p>22 nF のデカップリング・コンデンサーの配置は、BGA ピンフィールドの裏側の各 VCCH_GXB 電源ピンと GND ピンの間に行います。</p> <p>VCCH_GXB の電源がオンになる前に、VCCH_GXB パワーレールにリーク電圧が発生することがあります。これは、パワーアップおよびパワーダウンのシーケンス中のデバイス内部のリークが原因です。このリーク電圧の合計は VCCH_GXB より低く、予想される動作です。</p> <p>パワーアップ・シーケンス中ですが、VCCH_GXB スタティック動作電流よりも小さい過渡電流が観測されることがあります。フローティング電圧と過渡電流は予想される動作であり、パワーアップまたはパワーダウンのシーケンスに従っている限りは、機能障害やデバイスの信頼性の問題は発生しません。</p> <p>同じタイル上のすべてのトランシーバーが使用されていない場合は、そのタイルのトランシーバーの電源をオフにするために、VCCR_GXB、VCCT_GXB、および VCCH_GXB を GND に接続します。</p> <p>インテル Stratix 10 GX ピン接続ガイドラインの注記 2、3、4、7 および 10 を参照してください。</p>
GXB[L1,R4] [C,D,E,F,G,H,I,J,K,L,M,N]_RX_CH[0:5]p  GXB[L1,R4] [C,D,E,F,G,H,I,J,K,L,M,N]_REFCLK[0:5]p	入力	正の高速差動レシーバーチャンネルまたは REFCLK 入力。デバイスの左側 (L) 側または右 (R) 側の各トランシーバー・バンクに固有です。	これらのピンは使用時に AC 結合または DC 結合することができます。詳細については、インテル Stratix 10 デバイス・データシートを参照してください。 未使用の GXB_RXn ピンはすべて GND に直接接続します。
GXB[L1,R4] [C,D,E,F,G,H,I,J,K,L,M,N]_RX_CH[0:5]n  GXB[L1,R4] [C,D,E,F,G,H,I,J,K,L,M,N]_REFCLK[0:5]n	入力	負の高速差動レシーバーチャンネルまたは REFCLK 入力。デバイスの左側 (L) 側または右 (R) 側の各トランシーバー・バンクに固有です。	これらのピンは使用時に AC 結合または DC 結合することができます。詳細については、インテル Stratix 10 デバイス・データシートを参照してください。 未使用の GXB_RXn ピンはすべて GND に直接接続します。
GXB[L1,R4] [C,D,E,F,G,H,I,J,K,L,M,N]_TX_CH[0:5]p	出力	正の高速差動トランスミッター・チャンネル。デバイスの左側 (L) 側または右 (R) 側の各トランシーバー・バンクに固有です。	未使用の GXB_TXp ピンはすべてフローティングのままにします。
GXB[L1,R4] [C,D,E,F,G,H,I,J,K,L,M,N]_TX_CH[0:5]n	出力	負の高速差動トランスミッター・チャンネル。デバイスの左側 (L) 側または右 (R) 側の各トランシーバー・バンクに固有です。	未使用の GXB_TXn ピンはすべてフローティングのままにします。
REFCLK_GXB[L1,R4] [C,D,E,F,G,H,I,J,K,L,M,N]_CH[B,T]p	入力	高速差動リファレンス・クロックの正のレシーバーチャンネル。デバイスの左側 (L) または右側 (R) の各トランシーバー・バンクに固有です。	これらのピンを HCSL I/O 規格以外の I/O 規格に接続する場合は、AC 結合する必要があります。HCSL I/O 規格の場合は、これらのピンを DC 結合する必要があります。例えば、PCIe リファレンス・クロックを DC 結合する必要があるのは、HCSL I/O 規格を使用する場合です。

continued...



ピン名	ピンの機能	ピンの説明	接続ガイドライン
		REFCLK_GXB は、トランシーバー・チャンネルが無効の場合でも、コアクロック生成用 fPLL を備えた専用クロック入力ピンとして使用できます。	未使用のピンはすべて GND に直接接続します。 インテル Stratix 10 GX ピン接続ガイドラインの注記 9 を参照してください。
REFCLK_GXB[L1,R4] [C,D,E,F,G,H,I,J,K,L,M,N]_CH[B,T]n	入力	高速差動リファレンス・クロック・コンポーネント、相補レシーバー・チャンネル。デバイスの左側 (L) または右側 (R) の各トランシーバー・バンクに固有。 REFCLK_GXB は、トランシーバー・チャンネルを使用しない場合でも、コアクロック生成用 fPLL を備えた専用クロック入力ピンとして使用できます。	これらのピンを HCSL I/O 規格以外の I/O 規格に接続する場合は、AC 結合する必要があります。HCSL I/O 規格の場合は、これらのピンは DC 結合する必要があります。例えば、PCIe リファレンス・クロックを DC 結合する必要があるのは、HCSL I/O 規格を使用する場合です。 未使用のピンはすべて GND に直接接続します。 インテル Stratix 10 GX ピン接続ガイドラインの注記 9 を参照してください。
RREF_[T,M,B][L,R]	入力	fPLL、IOPLL、およびトランシーバー用のレファレンス抵抗。デバイスの上部 (T)、中央 (M)、および左側 (L) または右側 (R) の下部 (B) に固有です。	デバイスの片側 (左または右) の REFCLK ピンまたはトランシーバー・チャンネルが使用されている場合は、デバイスのその側の各 RREF ピンをそれぞれ個別の 2 kΩ +/-1% 抵抗を介して GND に接続してください。 それ以外の場合は、デバイスのその側の各 RREF ピンを直接 GND に接続します。PCB レイアウトでは、このピンから抵抗までのトレースは、アグレッサ信号を回避するように配線する必要があります。

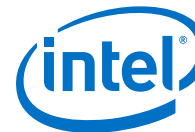
## セキュア・デバイス・マネージャー (SDM) ピン

**注意:** インテルでは、インテル Quartus Prime デザインを作成し、デバイスの I/O アサインメントを入力し、デザインをコンパイルすることをお勧めしています。開発ソフトウェアでは、I/O アサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの集積度、パッケージ、I/O アサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。

表 13. SDM ピン(注記 11 を参照)(暫定)

ピン名	ピンの機能	ピンの説明	接続ガイドライン
RREF_SDM	入力	SDM インターフェイスの PLL のリファレンス抵抗入力。	2 kΩ±1%抵抗を GND に接続してください。
SDM_IO0	PWRMGT_SCL	PMBus Power Management Clock デフォルトでは、PWRMGT_SCL 機能は SDM_IO14 で有効になります。Avalon-ST x 8 コンフィギュレーション手法を使用する場合は、この機能を SDM_IO0 ピンを使用して実装してください。 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で Low に引き下げられます。	このピンは、PMBus インターフェイスのクロックピンとして使用されます。 -V デバイスを使用する場合は、デバイスと VCC 電圧レギュレーターの間の SmartVID 接続を有効にして、FPGA でそのコア電圧要件を直接制御できるようにしてください。これを行うには、PWRMGT_SCL および PWRMGT_SDA 信号を PMBus マスターモード用の VCC 電圧レギュレーターに接続し、PWRMGT_SCL、PWRMGT_SDA、および PWRMGT_ALERT 信号を PMBus スレープモード用の VCC 電圧レギュレーターに接続します。

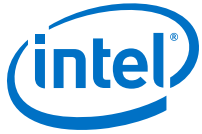
continued...



ピン名	ピンの機能	ピンの説明	接続ガイドライン
		このピンを PWRMGT_SCL 機能として使用する場合は、このピンには 1.8 V VCCIO_SDM 電源へのプルアップ抵抗が必要です。インテルでは、このピンの負荷に応じて、プルアップ値を 5.1 kΩ から 10 kΩ にすることをお勧めします。1.8 V 以外の電圧を必要とする PMBus インターフェイスに接続するときは、電圧レベル変換器を使用してください。	このピンをレギュレーターの PMBus クロックピンに接続します。
	INIT_DONE	INIT_DONE ピンは、デバイスがコンフィグレーション完了時にユーザーモードに入ったことを示します。この目的で使用する場合は、このピンをインテル Quartus Prime 開発ソフトウェアで有効化してください。 インテルでは、SDM_IO0 または SDM_IO16 を使用して INIT_DONE 機能を実装することをお勧めしています。これは、パワーアップ時に INIT_DONE を正しく機能させるための弱い内部プルダウン機能があるからです。 SDM_IO0 と SDM_IO16 が使用できない場合、コンフィグレーションモードが Avalon® -STx8 または Avalon -ST x32(AVST x8 または AVST x 32) に設定されていれば、SDM_IO5 も INIT_DONE 機能に使用できます。これらのモードでは 4.7 kΩ の外付けプルダウン抵抗が必要です。 SDM_IO0、SDM_IO5、および SDM_IO16 が利用できない場合、未使用の SDM I/O ピンを使用して INIT_DONE 機能を実装することもできます。ただし、INIT_DONE 信号に 4.7 kΩ の外部プルダウン抵抗があることが条件です。 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で Low に引き下げられます。	INIT_DONE 機能が有効な場合、コンフィグレーションが完了してデバイスがユーザーモードに入ると、このピンは High に駆動されます。
	PWRMGT_ALERT	PMBus Power Management Alert このピンを PWRMGT_SCL 機能として使用する場合は、このピンには 1.8 V VCCIO_SDM 電源へのプルアップ抵抗が必要です。インテルでは、このピンの負荷に応じて、プルアップ値を 5.1 kΩ から 10 kΩ にすることをお勧めしています。1.8 V 以外の電圧を必要とする PMBus インターフェイスに接続するときは、電圧レベル変換器を使用してください。 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	このピンは、インテル Stratix 10 -V が PMBus スレーブのとき、PMBus インターフェイス用の ALERT 機能として使用されます。 SmartVID 機能をインテル Stratix 10 -V デバイスで PMBus スレーブとして使用する場合は、SDM_IO0 または SDM_IO12 ピンを PWRMGT_ALERT 信号として、PWRMGT_SCL および PWRMGT_SDA 信号とともに PMBus マスターデバイスに接続して、SmartVID 電源管理インターフェイスを完成してください。PMBus マスターデバイスでは、VID コードをインテル Stratix 10 スレーブから読み取り、電圧レギュレーターをプログラムして、正しい VID 電圧に出力します。 このピンをレギュレーターの PMBus ALERT ピンに接続します。
	SEU_ERROR	SEU_ERROR ピンが High に駆動され、SEU エラーキュー内に SEU エラーメッセージがあることを示します。このピンは、エラー・メッセージ・キューに 1 つ以上のエラーメッセージが含まれているときは常に High のままです。	この出力ピンを SEU イベントを監視する外部ロジックに接続してください。

continued...





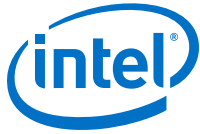
ピン名	ピンの機能	ピンの説明	接続ガイドライン
		SEU_ERROR 信号が Low になるのは、SEU エラー・メッセージ・キューが空の場合のみです。この目的で使用する場合は、インテル Quartus Prime 開発ソフトウェアを使用してこのピンを有効にします。このピンは、デバイスのパワーアップ時に 25 kΩ 抵抗によって内部で Low に引き下げられます。	
	CvP_CONFDONE	CvP_CONFDONE ピンでは、CvP コアイメージのコンフィグレーション完了時にデバイスがユーザーモードに入ったことを示します。この目的で使用する場合は、インテル Quartus Prime 開発ソフトウェアを使用してこのピンを有効にしてください。このピンは、デバイスのパワーアップ時に 25 kΩ 抵抗によって内部で Low に引き下げられます。	この出力ピンを CvP 動作を監視する外部ロジックに接続してください。VCCIO_SDM 電源供給では、受信側の入力電圧仕様を満たす必要があります。
	HPS_COLD_nRESET	これはアクティブローの双方向ピンです。デフォルトでは、このピンは SDM への入力ピンとして機能します。最低でも 5ms の間外部からアサートされると、このピンでは SDM への割り込みが生成されます。その後、SDM ではコールドリセット手順が HPS とそのペリフェラルに対して開始されます。コールドリセットの生成が内部ソース(たとえば、HPS EL3 ソフトウェア)からの場合、SDM ではこのピンを出力に切り替え、リセットを示すパルスを駆動します。コールドリセット手順が完了すると、このピンは入力に戻ります。このピンには 25 kΩ の内部プルアップがあります。	このピンを 1-10 kΩ のプルアップを介して、VCCIO_SDM 電源に接続します。このピンを、接続されているクワッド・シリアル・ペリフェラル・インターフェイス(クワッド SPI)デバイスのリセット入力に接続しないでください。
	Direct to Factory Image	Direct to Factory 入力ピンです。 リモート・システム・アップグレード機能を使用する場合、このオプションのピンを使用すると、ファクトリー・イメージとアプリケーション・イメージのどちらかを選択できます。このピンにロジック High を駆動するとデバイスに指示してファクトリー・イメージがロードされ、ロジック Low に駆動するとデバイスに指示してアプリケーション・イメージがロードされます。このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で引き下げられます。	この入力ピンは、デバイスのリモート・システム・アップグレードを管理する外部ロジックに接続します。デフォルトでは、外部ロジックによってこのピンにロジック Low が供給され、アプリケーション・イメージがデバイスのデフォルト・イメージになり、必要に応じてファクトリー・イメージに切り替わります。
SDM_IO1	AVSTx8_DAT A2	Avalon-ST Interface Data 2 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	このピンを外部コンフィグレーション・コントローラーの data2 ピンに接続して、Avalon-ST x8 インターフェイスを使用したコンフィグレーションを行います。
	AS_DATA1	Active Serial Data 1 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	このピンを EPCQ-L デバイスの data1 ピンに接続して、EPCQ-L デバイスからコンフィグレーションを行います。
	SDMMC_CFG_DATA1	SD/MMC Card Data 1 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	このピンを SD/MMC カード・フラッシュ・デバイスの data1 ピンに接続して、SD/MMC フラッシュからコンフィグレーションを行います。
			<b>continued...</b>





ピン名	ピンの機能	ピンの説明	接続ガイドライン
SDM_IO2	AVSTx8_DAT A0	Avalon Stream Interface Data 0 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	このピンを外部コンフィグレーション・コントローラーの data0 ピンに接続して、Avalon-ST x8 インターフェイスを使用したコンフィグレーションを行います。
	AS_CLK	Active Serial Clock このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	このピンを EPCQ-L デバイスの data1 ピンに接続して、EPCQ-L デバイスからコンフィグレーションを行います。
	SDMMC_CFG _DATA0	SD/MMC Card Data 0 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	このピンを SD/MMC カード・フラッシュ・デバイスの data0 ピンに接続して、SD/MMC フラッシュからコンフィグレーションを行います。
SDM_IO3	AVSTx8_DAT A3	Avalon Stream Interface Data 3 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	このピンを外部コンフィグレーション・コントローラーの data3 ピンに接続して、Avalon-ST x8 インターフェイスを使用したコンフィグレーションを行います。
	AS_DATA2	Active Serial Data 2 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	このピンを EPCQ-L デバイスの data2 ピンに接続して、EPCQ-L デバイスからコンフィグレーションを行います。
	SDMMC_CFG _DATA2	SD/MMC Card Data 2 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	このピンを SD/MMC カード・フラッシュ・デバイスの data2 ピンに接続して、SD/MMC フラッシュからコンフィグレーションを行います。
SDM_IO4	AVSTx8_DAT A1	Avalon Stream Interface Data 1 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	このピンを外部コンフィグレーション・コントローラーの data1 ピンに接続して、Avalon-ST x8 インターフェイスを使用したコンフィグレーションを行います。
	AS_DATA0	Active Serial Data 0 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	このピンを EPCQ-L デバイスの data0 ピンに接続して、EPCQ-L デバイスからコンフィグレーションを行います。
	SDMMC_CFG _CMD	SD/MMC Card Command このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	このピンを SD/MMC カード・フラッシュ・デバイスのコマンド入力に接続して、SD/MMC フラッシュからコンフィグレーションを行います。
SDM_IO5	MSEL[0]	FPGA デバイスのコンフィグレーション手法を設定するコンフィグレーション入力ピンです。 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	このピンは、パワーアップ時およびリセット時に MSEL[0] として機能し、コンフィグレーション手法を決定します。コンフィグレーション手法に応じて、このピンを VCCIO_SDM に引き上げるか、4.7 kΩ の抵抗を介して GND に引き下げる必要があります。ピンが MSEL 機能を完了すると、選択したコンフィグレーション手法に従って機能します。 詳細については、 <i>Intel Stratix 10 Configuration User Guide</i> を参照してください。

continued...

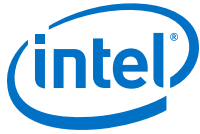


ピン名	ピンの機能	ピンの説明	接続ガイドライン
	CONF_DONE	CONF_DONE ピンは、すべてのコンフィグレーション・データが受信されたことを示します。デフォルトでは、SDM_IO16 は CONF_DONE 機能の実装に推奨されるピンです。Avalon-ST x8 コンフィグレーション手法と PMBus パワー・マネジメント機能を使用している場合は、PWRMGT_SDA 機能を SDM_IO12 または SDM_IO16 のいずれかに割り当てることができます。SDM_IO16 を PWRMGT_SDA 機能に使用する場合は、SDM_IO5 を使用して CONF_DONE 機能を実装します。このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	CONF_DONE ピンを外部コンフィグレーション・コントローラーに接続して、Avalon-ST インターフェイスを使用したコンフィグレーションを行います。
	AS_nCS00	Active Serial Chip Select 0 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	このピンを EPCQ-L デバイスの nCS 入力ピンに接続して、EPCQ-L デバイスからコンフィグレーションを行います。
	SDMMC_CFG_CCLK	SD/MMC Card Clock このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	このピンを SD/MMC カード・フラッシュ・デバイスのクロック入力に接続して、SD/MMC フラッシュからコンフィグレーションを行います。
	INIT_DONE	INIT_DONE ピンは、デバイスがコンフィグレーション完了時にユーザーモードに入ったことを示します。この目的で使用する場合、このピンをインテル Quartus Prime 開発ソフトウェアで有効化してください。 インテルでは、SDM_IO0 または SDM_IO16 を使用して INIT_DONE 機能を実装することをお勧めしています。これは、パワーアップ時に INIT_DONE を正しく機能させるための弱い内部プルダウンがあるからです。 SDM_IO0 と SDM_IO16 が使用できない場合、コンフィグレーション・モードが Avalon -ST x8 または Avalon -ST x32 (AVST x8 または AVST x32) に設定されていれば、SDM_IO5 も INIT_DONE 機能に使用できます。これらのモードでは 4.7 kΩ の外付けプルダウン抵抗が必要です。 SDM_IO0、SDM_IO5、および SDM_IO16 が使用できない場合、未使用の SDM I/O ピンを使用して INIT_DONE 機能を実装することもできます。ただし INIT_DONE 信号に 4.7 kΩ の外部プルダウン抵抗があることが条件です。 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	INIT_DONE 機能が有効な場合、コンフィグレーションが完了してデバイスがユーザーモードに入ると、このピンは High に駆動されます。
SDM_IO6	AVSTx8_DAT A4	Avalon Stream Interface Data 4 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	このピンを外部コンフィグレーション・コントローラーの data4 ピンに接続して、Avalon-ST x8 インターフェイスを使用したコンフィグレーションを行います。
	AS_DATA3	Active Serial Data 3	このピンを EPCQ-L デバイスの data3 ピンに接続して、EPCQ-L デバイスからコンフィグレーションを行います。

continued...

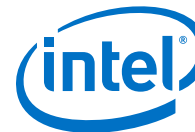


ピン名	ピンの機能	ピンの説明	接続ガイドライン
		このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	
	SDMMC_CFG_DATA3	SD/MMC Card Data 3 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	このピンを SD/MMC カード・フラッシュ・デバイスの data3 ピンに接続して、SD/MMC フラッシュからコンフィグレーションを行います。
SDM_I07	MSEL[1]	FPGA デバイスのコンフィグレーション手法を設定するコンフィグレーション入力ピンです。 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	このピンは、パワーアップ時およびリセット時に MSEL[1]として機能し、コンフィグレーション手法を決定します。コンフィグレーション手法に応じて、このピンを VCCIO_SDM に引き下げるか、4.7 kΩ の抵抗を介して GND に引き下げる必要があります。ピンが MSEL 機能を完了すると、選択したコンフィグレーション手法に従って機能します。 詳細については、 <i>Intel Stratix 10 Configuration User Guide</i> を参照してください。
	AS_nCS02	Active Serial Chip Select 2 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	このピンを EPCQ-L デバイスの nCS 入力ピンに接続して、EPCQ-L デバイスからコンフィグレーションを行います。
SDM_I08	AVST_READY	Avalon Stream Interface Data Ready このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で Low に引き下げられます。	このピンを外部コンフィグレーション・コントローラーの ready 信号出力に接続して、Avalon-ST x8、x16 または x32 インターフェイスを使用したコンフィグレーションを行います。
	AS_nCS03	Active Serial Chip Select 3 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で Low に引き下げられます。	このピンを EPCQ-L デバイスの nCS 入力ピンに接続して、EPCQ-L デバイスからコンフィグレーションを行います。
	SDMMC_CFG_DATA4	SD/MMC Card Data 4 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で Low に引き下げられます。	このピンを SD/MMC カード・フラッシュ・デバイスの data4 ピンに接続して、SD/MMC フラッシュからコンフィグレーションを行います。
SDM_I09	MSEL[2]	FPGA デバイスのコンフィグレーション手法を設定するコンフィグレーション入力ピンです。 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	このピンは、パワーアップ時およびリセット時に MSEL[2]として機能し、コンフィグレーション手法を決定します。コンフィグレーション手法に応じて、このピンを VCCIO_SDM に引き上げるか、4.7 kΩ の抵抗を介して GND に引き下げる必要があります。ピンが MSEL 機能を完了すると、選択したコンフィグレーション手法に従って機能します。 詳細については、 <i>Intel Stratix 10 Configuration User Guide</i> を参照してください。
	AS_nCS01	Active Serial Chip Select 1 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	このピンを 2 つ目の EPCQ-L デバイスの nCS 入力ピンに接続して、EPCQ-L デバイスからコンフィグレーションを行います。
			<i>continued...</i>



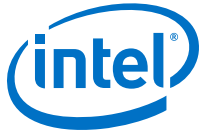
ピン名	ピンの機能	ピンの説明	接続ガイドライン
SDM_IO10	AVSTx8_DAT A7	Avalon Stream Interface Data 7 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	このピンを外部コンフィグレーション・コントローラーの data7 ピンに接続して、Avalon-ST x8 インターフェイスを使用したコンフィグレーションを行います。
	SDMMC_CFG _DATA7	SD/MMC Card Data 7 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	このピンを SD/MMC カード・フラッシュ・デバイスの data7 ピンに接続して、SD/MMC フラッシュからコンフィグレーションを行います。
	SEU_ERROR	SEU_ERROR ピンが High に駆動され、SEU エラーキュー内に SEU エラーメッセージがあることを示します。このピンは、エラー・メッセージ・キューに 1 つ以上のエラーメッセージが含まれているときは常に High のままです。 SEU_ERROR 信号が Low になるのは、SEU エラー・メッセージ・キューが空の場合のみです。この目的で使用する場合は、インテル Quartus Prime 開発ソフトウェアを使用してこのピンを有効にします。このピンは、デバイスのパワーアップ時に 25 kΩ 抵抗によって内部で High に引き上げられます。	この出力ピンは、SEU イベントを監視する外部ロジックに接続します。
	CvP_CONFDONE	CvP_CONFDONE ピンでは、CvP コアイメージのコンフィグレーション完了時にデバイスがユーザーモードに入ったことを示します。この目的で使用する場合は、インテル Quartus Prime 開発ソフトウェアを使用してこのピンを有効にしてください。このピンは、デバイスのパワーアップ時に 25 kΩ 抵抗によって内部で High に引き上げられます。	この出力ピンは、CvP 動作を監視する外部ロジックに接続します。VCCIO_SDM 電源供給は受信側の入力電圧仕様を満たす必要があります。
	HPS_COLD_n RESET	これはアクティブローの双方向ピンです。デフォルトでは、このピンは SDM への入力ピンとして機能します。最低でも 5ms の間外部からアサートされると、このピンでは SDM への割り込みが生成されます。その後、SDM ではコールドリセット手順が HPS とそのペリフェラルに対して開始されます。コールドリセットの生成が内部ソース(たとえば、HPS EL3 ソフトウェア)からの場合、SDM ではこのピンを出力に切り替え、リセットを示すパルスを駆動します。コールドリセット手順が完了すると、このピンは入力に戻ります。このピンには 25 kΩ の内部プルアップがあります。	このピンを 1 - 10 kΩ のプルアップを通じて、VCCIO_SDM 電源に接続します。このピンは、接続されているクワッド SPI デバイスのリセット入力に接続しないでください。
Direct to Factory Image	Direct to Factory 入力ピンです。 リモート・システム・アップグレード機能を使用する場合、このオプションのピンを使用すると、ファクトリー・イメージとアプリケーション・イメージのどちらかを選択できます。このピンにロジック High を駆動するとデバイスに指示してファクトリー・イメージがロードされ、ロジック Low に駆動するとデバイスに指示してアプリケーション・イメージがロードされます。 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で引き下げられます。	この入力ピンは、デバイスのリモート・システム・アップグレードを管理する外部ロジックに接続します。デフォルトでは、外部ロジックによってこのピンにロジック Low が供給され、アプリケーション・イメージがデバイスのデフォルト・イメージになり、必要に応じてファクトリー・イメージに切り替わります。	

continued...



ピン名	ピンの機能	ピンの説明	接続ガイドライン
SDM_IO11	AVSTx8_VALID	Avalon Stream Interface Data Valid このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	このピンを外部コンフィグレーション・コントローラーのデータ有効信号に接続して、Avalon-ST x8 インターフェイスを使用したコンフィグレーションを行います。
	PWRMGT_SDA	PMBus Power Management Serial Data デフォルトでは、SDM_IO11 ピンを PWRMGT_SDA 機能で使います。Avalon-ST x8 コンフィグレーション手法を使用する場合は、この機能を SDM_IO12 ピンを使用して実装してください。 このピンを PWRMGT_SDA 機能として使用する場合は、このピンには 1.8 V VCCIO_SDM 電源へのプルアップ抵抗が必要です。インテルでは、このピンの負荷に応じて、プルアップ値を 5.1 kΩ から 10 kΩ にすることを勧めています。1.8 V 以外の電圧を必要とする PMBus インターフェイスに接続するときは、電圧レベル変換器を使用してください。 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	このピンは、PMBus インターフェイスのデータピンとして使われます。-V デバイスを使用する場合は、デバイスと VCC 電圧レギュレーターとの SmartVID 接続を有効にして、FPGA でそのコア電圧要件を直接制御できるようにしてください。これを行うには、PWRMGT_SCL および PWRMGT_SDA 信号を PMBus マスターモード用の VCC 電圧レギュレーターに接続し、PWRMGT_SCL、PWRMGT_SDA、および PWRMGT_ALERT 信号を PMBus スレープモード用の VCC 電圧レギュレーターに接続します。 このピンをレギュレーターの PMBus データピンに接続します。
	SEU_ERROR	SEU_ERROR ピンが High に駆動され、SEU エラーキュー内に SEU エラーメッセージがあることを示します。このピンは、エラー・メッセージ・キューに 1 つ以上のエラーメッセージが含まれているときは常に High のままです。 SEU_ERROR 信号が Low になるのは、SEU エラー・メッセージ・キューが空の場合のみです。この目的で使用する場合は、インテル Quartus Prime 開発ソフトウェアを使用してこのピンを有効にします。このピンは、デバイスのパワーアップ時に 25 kΩ 抵抗によって内部で High に引き上げられます。	この出力ピンは、SEU イベントを監視する外部ロジックに接続します。
	CvP_CONFDONE	CvP_CONFDONE ピンでは、CvP コアイメージのコンフィグレーション完了時にデバイスがユーザーモードに入ったことを示します。この目的で使用する場合は、インテル Quartus Prime 開発ソフトウェアを使用してこのピンを有効にしてください。このピンは、デバイスのパワーアップ時に 25 kΩ 抵抗によって内部で High に引き上げられます。	この出力ピンは、CvP 動作を監視する外部ロジックに接続します。VCCIO_SDM 電源供給は受信側の入力電圧仕様を満たす必要があります。
	HPS_COLD_nRESET	これはアクティブローの双方向ピンです。デフォルトでは、このピンは SDM への入力ピンとして機能します。最低でも 5ms の間外部からアサートされると、このピンでは SDM への割り込みが生成されます。その後、SDM ではコールドリセット手順が HPS とそのペリフェラルに対して開始されます。コールドリセットの生成が内部ソース(たとえば、HPS EL3 ソフトウェア)からの場合、SDM ではこのピンを出力に切り替え、リセットを示すパルスを駆動します。コールドリセット手順が完了すると、このピンは入力に戻ります。このピンには 25 kΩ の内部プルアップがあります。	このピンを 1 - 10 kΩ のプルアップを通じて、VCCIO_SDM 電源に接続します。このピンは、接続されているクワッド SPI デバイスのリセット入力に接続しないでください。

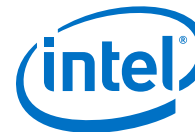
continued...



ピン名	ピンの機能	ピンの説明	接続ガイドライン
	Direct to Factory Image	Direct to Factory 入力ピンです。 リモート・システム・アップグレード機能を使用する場合、このオプションのピンを使用すると、ファクトリー・イメージとアプリケーション・イメージのどちらかを選択できます。このピンにロジック High を駆動するとデバイスに指示してファクトリー・イメージがロードされ、ロジック Low に駆動するとデバイスに指示してアプリケーション・イメージがロードされます。 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で引き下げられます。	この入力ピンは、デバイスのリモート・システム・アップグレードを管理する外部ロジックに接続します。デフォルトでは、外部ロジックによってこのピンにロジック Low が供給され、アプリケーション・イメージがデバイスのデフォルト・イメージになり、必要に応じてファクトリー・イメージに切り替わります。
SDM_IO12	PWRMGT_SDA	PMBus Power Management Serial Data デフォルトでは、SDM_IO11 ピンは PWRMGT_SDA 機能に使用します。Avalon-ST x8 コンフィグレーション手法を使用する場合は、この機能を SDM_IO12 ピンまたは SDM_IO16 ピンを使用して実装してください。 このピンを PWRMGT_SDA 機能として使用する場合は、このピンには 1.8 V VCCIO_SDM 電源へのプルアップ抵抗が必要です。インテルでは、このピンの負荷に応じて、プルアップ値を 5.1 kΩ から 10 kΩ にすることを勧めています。1.8 V 以外の電圧を必要とする PMBus インターフェイスに接続するときは、電圧レベル変換器を使用してください。 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	このピンは、PMBus のデータピンとして使用されます。 -V デバイスを使用する場合は、デバイスと VCC 電圧レギュレーターとの SmartVID 接続を有効にして、FPGA でそのコア電圧要件を直接制御できるようにしてください。これを行うには、PWRMGT_SCL および PWRMGT_SDA 信号を PMBus マスターモード用の VCC 電圧レギュレーターに接続し、PWRMGT_SCL、PWRMGT_SDA、および PWRMGT_ALERT 信号を PMBus スレープモード用の VCC 電圧レギュレーターに接続します。 このピンは、レギュレーターの PMBus データピンに接続します。
	PWRMGT_ALERT	PMBus Power Management Alert このピンを PWRMGT_ALERT 機能として使用する場合は、このピンには 1.8 V VCCIO_SDM 電源へのプルアップ抵抗が必要です。インテルでは、このピンの負荷に応じて、プルアップ値を 5.1 kΩ から 10 kΩ にすることを勧めています。1.8 V 以外の電圧を必要とする PMBus インターフェイスに接続するときは、電圧レベル変換器を使用してください。 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	このピンは、インテル Stratix 10 -V が PMBus スレープのとき、PMBus インターフェイス用の ALERT 機能として使用されます。 SmartVID 機能を インテル Stratix 10 -V デバイスで PMBus スレープとして使用する場合は、SDM_IO0 または SDM_IO12 ピンを PWRMGT_ALERT 信号として、PWRMGT_SCL および PWRMGT_SDA 信号とともに PMBus マスターデバイスに接続して、SmartVID 電源管理インターフェイスを完成してください。PMBus マスターデバイスでは、VID コードを インテル Stratix 10 スレープから読み取り、電圧レギュレーターをプログラムして、正しい VID 電圧に出力します。 このピンをレギュレーターの PMBus ALERT ピンに接続します。
	SEU_ERROR	SEU_ERROR ピンが High に駆動され、SEU エラーキュー内に SEU エラーメッセージがあることを示します。このピンは、エラー・メッセージ・キューに 1 つ以上のエラーメッセージが含まれているときは常に High のままです。	この出力ピンは、SEU イベントを監視する外部ロジックに接続します。

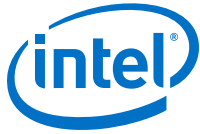
continued...





ピン名	ピンの機能	ピンの説明	接続ガイドライン
		SEU_ERROR 信号が Low になるのは、SEU エラー・メッセージキューが空の場合のみです。この目的で使用する場合は、インテル Quartus Prime 開発ソフトウェアを使用してこのピンを有効にします。このピンは、デバイスのパワーアップ時に 25 kΩ 抵抗によって内部で High に引き上げられます。	
	CvP_CONFDONE	CvP_CONFDONE ピンでは、CvP コアイメージのコンフィグレーション完了時にデバイスがユーザーモードに入ったことを示します。この目的で使用する場合は、インテル Quartus Prime 開発ソフトウェアを使用してこのピンを有効にしてください。このピンは、デバイスのパワーアップ時に 25 kΩ 抵抗によって内部で High に引き上げられます。	この出力ピンは、CvP 動作を監視する外部ロジックに接続します。VCCIO_SDM 電源供給は受信側の入力電圧仕様を満たす必要があります。
	HPS_COLD_n RESET	これはアクティブローの双方向ピンです。デフォルトでは、このピンは SDM への入力ピンとして機能します。最低でも 5ms の間外部からアサートされると、このピンでは SDM への割り込みが生成されます。その後、SDM ではコールドリセット手順が HPS とそのペリフェラルに対して開始されます。コールドリセットの生成が内部ソース(たとえば、HPS EL3 ソフトウェア)からの場合、SDM ではこのピンを出力に切り替え、リセットを示すパルスを駆動します。コールドリセット手順が完了すると、このピンは入力に戻ります。このピンには 25 kΩ の内部プルアップがあります。	このピンを 1 - 10 kΩ のプルアップを通じて、VCCIO_SDM 電源に接続します。このピンは、接続されているクワッド SPI デバイスのリセット入力に接続しないでください。
	Direct to Factory Image	Direct to Factory 入力ピンです。リモート・システム・アップグレード機能を使用する場合、このオプションのピンを使用すると、ファクトリー・イメージとアプリケーション・イメージのどちらかを選択できます。このピンにロジック High を駆動するとデバイスに指示してファクトリー・イメージがロードされ、ロジック Low に駆動するとデバイスに指示してアプリケーション・イメージがロードされます。このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で引き下げられます。	この入力ピンは、デバイスのリモート・システム・アップグレードを管理する外部ロジックに接続します。デフォルトでは、外部ロジックによってこのピンにロジック Low が供給され、アプリケーション・イメージがデバイスのデフォルト・イメージになり、必要に応じてファクトリー・イメージに切り替わります。
SDM_IO13	AVSTx8_DAT A5	Avalon Stream Interface Data 5 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	このピンには、使用されるコンフィグレーション・モードに応じて複数の機能があります。 <ul style="list-style-type: none"> <li>このピンを外部コンフィグレーション・コントローラーの data5 ピンに接続して、Avalon-ST x8 インターフェイスを使用したコンフィグレーションを行います。</li> <li>このピンを SD/MMC カード・フラッシュ・デバイスの data5 ピンに接続して、SD/MMC フラッシュからコンフィグレーションを行います。</li> </ul>
	SDMMC_CFG _DATA5	SD/MMC Card Data 5 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	
	SEU_ERROR	SEU_ERROR ピンが High に駆動され、SEU エラーキュー内に SEU エラーメッセージがあることを示します。このピンは、エラー・メッセージ・キューに 1 つ以上のエラーメッセージが含まれているときは常に High のままです。	この出力ピンは、SEU イベントを監視する外部ロジックに接続します。

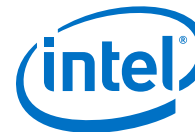
continued...



ピン名	ピンの機能	ピンの説明	接続ガイドライン
		SEU_ERROR 信号が Low になるのは、SEU エラー・メッセージ・キューが空の場合のみです。この目的で使用する場合は、インテル Quartus Prime 開発ソフトウェアを使用してこのピンを有効にします。このピンは、デバイスのパワーアップ時に 25 kΩ 抵抗によって内部で High に引き上げられます。	
	CvP_CONFDONE	CvP_CONFDONE ピンでは、CvP コアイメージのコンフィグレーション完了時にデバイスがユーザーモードに入ったことを示します。この目的で使用する場合は、インテル Quartus Prime 開発ソフトウェアを使用してこのピンを有効にしてください。このピンは、デバイスのパワーアップ時に 25 kΩ 抵抗によって内部で High に引き上げられます。	この出力ピンは、CvP 動作を監視する外部ロジックに接続します。VCCIO_SDM 電源供給は受信側の入力電圧仕様を満たす必要があります。
	HPS_COLD_n RESET	これはアクティブローの双方向ピンです。デフォルトでは、このピンは SDM への入力ピンとして機能します。最低でも 5ms の間外部からアサートされると、このピンでは SDM への割り込みが生成されます。その後、SDM ではコールドリセット手順が HPS とそのペリフェラルに対して開始されます。コールドリセットの生成が内部ソース(たとえば、HPS EL3 ソフトウェア)からの場合、SDM ではこのピンを出力に切り替え、リセットを示すパルスを駆動します。コールドリセット手順が完了すると、このピンは入力に戻ります。このピンには 25 kΩ の内部プルアップがあります。	このピンを 1 - 10 kΩ のプルアップを通じて、VCCIO_SDM 電源に接続します。このピンは、接続されているクワッド SPI デバイスのリセット入力に接続しないでください。
	Direct to Factory Image	Direct to Factory 入力ピンです。 リモート・システム・アップグレード機能を使用する場合、このオプションのピンを使用すると、ファクトリー・イメージとアプリケーション・イメージのどちらかを選択できます。このピンにロジック High を駆動するとデバイスに指示してファクトリー・イメージがロードされ、ロジック Low に駆動するとデバイスに指示してアプリケーション・イメージがロードされます。このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で引き下げられます。	この入力ピンは、デバイスのリモート・システム・アップグレードを管理する外部ロジックに接続します。デフォルトでは、外部ロジックによってこのピンにロジック Low が供給され、アプリケーション・イメージがデバイスのデフォルト・イメージになり、必要に応じてファクトリー・イメージに切り替わります。
SDM_IO14	AVSTx8_CLK	Avalon Stream Interface Clock Input このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	このピンを外部コンフィグレーション・コントローラーのクロック出力に接続して、Avalon-ST x8 インターフェイスを使用したコンフィグレーションを行います。
	PWRMGT_SCL	PMBus Power Management Clock デフォルトでは、PWRMGT_SCL 機能は SDM_IO14 で有効になっています。Avalon-ST x 8 コンフィグレーション手法を使用する場合は、この機能を SDM_IO00 ピンを使用して実装してください。 このピンを PWRMGT_SCL 機能として使用する場合は、このピンには 1.8 V VCCIO_SDM 電源へのプルアップ抵抗が必要です。インテルでは、このピンの負荷に応じて、プルアップ値を 5.1 kΩ から 10 kΩ にすることをお勧めします。1.8 V 以外の電圧を必要とする PMBus インターフェイスに接続するときは、電圧レベル変換器を使用してください。	このピンは、PMBus インターフェイスのクロックピンとして使用されます。 -V デバイスを使用する場合は、デバイスと VCC 電圧レギュレーターとの SmartVID 接続を有効にして、FPGA でそのコア電圧要件を直接制御できるようにしてください。これを行うには、PWRMGT_SCL および PWRMGT_SDA 信号を PMBus マスターモード用の VCC 電圧レギュレーターに接続し、PWRMGT_SCL、PWRMGT_SDA、および PWRMGT_ALERT 信号を PMBus スレープモード用の VCC 電圧レギュレーターに接続します。 このピンは、レギュレーターの PMBus クロックピンに接続します。

continued...





ピン名	ピンの機能	ピンの説明	接続ガイドライン
		このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	
	SEU_ERROR	SEU_ERROR ピンが High に駆動され、SEU エラーキュー内に SEU エラーメッセージがあることを示します。このピンは、エラー・メッセージ・キューに 1 つ以上のエラーメッセージが含まれているときは常に High のままです。 SEU_ERROR 信号が Low になるのは、SEU エラー・メッセージ・キューが空の場合のみです。この目的で使用する場合は、インテル Quartus Prime 開発ソフトウェアを使用してこのピンを有効にします。このピンは、デバイスのパワーアップ時に 25 kΩ 抵抗によって内部で High に引き上げられます。	この出力ピンは、SEU イベントを監視する外部ロジックに接続します。
	CvP_CONFDONE	CvP_CONFDONE ピンでは、CvP コアイメージのコンフィグレーション完了時にデバイスがユーザーモードに入ったことを示します。この目的で使用する場合は、インテル Quartus Prime 開発ソフトウェアを使用してこのピンを有効にしてください。このピンは、デバイスのパワーアップ時に 25 kΩ 抵抗によって内部で High に引き上げられます。	この出力ピンは、CvP 動作を監視する外部ロジックに接続します。VCCIO_SDM 電源供給では、受信側の入力電圧仕様を満たす必要があります。
	HPS_COLD_nRESET	これはアクティブローの双方向ピンです。デフォルトでは、このピンは SDM への入力ピンとして機能します。最低でも 5ms の間外部からアサートされると、このピンでは SDM への割り込みが生成されます。その後、SDM ではコールドリセット手順が HPS とそのペリフェラルに対して開始されます。コールドリセットの生成が内部ソース(たとえば、HPS EL3 ソフトウェア)からの場合、SDM ではこのピンを出力に切り替え、リセットを示すパルスを駆動します。コールドリセット手順が完了すると、このピンは入力に戻ります。このピンには 25 kΩ の内部プルアップがあります。	このピンを 1 - 10 kΩ のプルアップを通じて、VCCIO_SDM 電源に接続します。このピンは、接続されているクワッド SPI デバイスのリセット入力に接続しないでください。
	Direct to Factory Image	Direct to Factory 入力ピンです。 リモート・システム・アップグレード機能を使用する場合、このオプションのピンを使用すると、ファクトリー・イメージとアプリケーション・イメージのどちらかを選択できます。このピンにロジック High を駆動するとデバイスに指示してファクトリー・イメージがロードされ、ロジック Low に駆動するとデバイスに指示してアプリケーション・イメージがロードされます。 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で引き下げられます。	この入力ピンは、デバイスのリモート・システム・アップグレードを管理する外部ロジックに接続します。デフォルトでは、外部ロジックによってこのピンにロジック Low が供給され、アプリケーション・イメージがデバイスのデフォルト・イメージになり、必要に応じてファクトリー・イメージに切り替わります。
SDM_I015	AVSTx8_DAT A6	Avalon Stream Interface Data 6 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	このピンを外部コンフィグレーション・コントローラーの data6 ピンに接続して、Avalon-ST x8 インターフェイスを使用したコンフィグレーションを行います。
	SDMMC_CFG _DATA6	SD/MMC Card Data 6 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で High に引き上げられます。	このピンを SD/MMC カード・フラッシュ・デバイスの data6 ピンに接続して、SD/MMC フラッシュからコンフィグレーションを行います。

continued...

ピン名	ピンの機能	ピンの説明	接続ガイドライン
	SEU_ERROR	SEU_ERROR ピンが High に駆動され、SEU エラーキュー内に SEU エラーメッセージがあることを示します。このピンは、エラー・メッセージ・キューに 1 つ以上のエラーメッセージが含まれているときは常に High のままです。 SEU_ERROR 信号が Low になるのは、SEU エラー・メッセージ・キューが空の場合のみです。この目的で使用する場合は、インテル Quartus Prime 開発ソフトウェアを使用してこのピンを有効にします。このピンは、デバイスのパワーアップ時に 25 kΩ 抵抗によって内部で High に引き上げられます。	この出力ピンは、SEU イベントを監視する外部ロジックに接続します。
	CvP_CONFDONE	CvP_CONFDONE ピンでは、CvP コアイメージのコンフィグレーション完了時にデバイスがユーザーモードに入ったことを示します。この目的で使用する場合は、インテル Quartus Prime 開発ソフトウェアを使用してこのピンを有効にしてください。このピンは、デバイスのパワーアップ時に 25 kΩ 抵抗によって内部で High に引き上げられます。	この出力ピンは、CvP 動作を監視する外部ロジックに接続します。VCCIO_SDM 電源供給は受信側の入力電圧仕様を満たす必要があります。
	HPS_COLD_nRESET	これはアクティブローの双方向ピンです。デフォルトでは、このピンは SDM への入力ピンとして機能します。最低でも 5ms の間外部からアサートされると、このピンでは SDM への割り込みが生成されます。その後、SDM ではコールドリセット手順が HPS とそのペリフェラルに対して開始されます。コールドリセットの生成が内部ソース(たとえば、HPS EL3 ソフトウェア)からの場合、SDM ではこのピンを出力に切り替え、リセットを示すパルスを駆動します。コールドリセット手順が完了すると、このピンは入力に戻ります。このピンには 25 kΩ の内部プルアップがあります。	このピンを 1 - 10 kΩ のプルアップを通じて、VCCIO_SDM 電源に接続します。このピンは、接続されているクワッド SPI デバイスのリセット入力に接続しないでください。
	Direct to Factory Image	Direct to Factory 入力ピンです。 リモート・システム・アップグレード機能を使用する場合、このオプションのピンを使用すると、ファクトリー・イメージとアプリケーション・イメージのどちらかを選択できます。このピンにロジック High を駆動するとデバイスに指示してファクトリー・イメージがロードされ、ロジック Low に駆動するとデバイスに指示してアプリケーション・イメージがロードされます。 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で引き下げられます。	この入力ピンは、デバイスのリモート・システム・アップグレードを管理する外部ロジックに接続します。デフォルトでは、外部ロジックによってこのピンにロジック Low が供給され、アプリケーション・イメージがデバイスのデフォルト・イメージになり、必要に応じてファクトリー・イメージに切り替わります。
SDM_IO16	CONF_DONE	CONF_DONE ピンは、デバイス・コンフィグレーションが完了したことを示します。SDM_IO16 は CONF_DONE 機能の実装に推奨されるピンです。このピンが インテル Quartus Prime 開発ソフトウェアで有効になっている場合に適用します。 インテルでは、このピンを使用することをお勧めします。パワーアップ時の正しい機能のための弱いプルダウンがあるからです。Avalon-ST x8 コンフィグレーション手法および PMBus 電力管理機能を使用している場合は、PWRMGT_SDA 機能を SDM_IO12 または SDM_IO16 に割り当てることができます。SDM_IO16 が PWRMGT_SDA 機能に使用される場合は、SDM_IO5 を使用して CONF_DONE 機能を実装します。	このピンを外部コンフィグレーション・コントローラーに接続して、Avalon-ST x8 インターフェイスを使用したコンフィグレーションを行います。

continued...



ピン名	ピンの機能	ピンの説明	接続ガイドライン
		CONF_DONE 機能は、他の未使用の SDM I/O ピンを使用して実装することもできます。 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で Low に引き下げられます。	
	PWRMGT_SDA A	PMBus Power Management Serial Data デフォルトでは、SDM_IO11 ピンを PWRMGT_SDA 機能に使用します。 このピンを PWRMGT_SDA 機能として使用する場合は、このピンには 1.8 V VCCIO_SDM 電源へのプルアップ抵抗が必要です。インテルでは、このピンの負荷に応じて、プルアップ値を 5.1 kΩ から 10 kΩ にすることをお勧めしています。1.8 V 以外の電圧を必要とする PMBus インターフェイスに接続するときは、電圧レベル変換器を使用してください。 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で Low に引き下げられます。	このピンは、PMBus インターフェイスのデータピンとして使用されます。 -V デバイスを使用する場合は、デバイスと VCC 電圧レギュレーターとの SmartVID 接続を有効にして、FPGA でそのコア電圧要件を直接制御できるようにしてください。これを行うには、PWRMGT_SCL および PWRMGT_SDA 信号を PMBus マスターモード用の VCC 電圧レギュレーターに接続し、PWRMGT_SCL、PWRMGT_SDA、および PWRMGT_ALERT 信号を PMBus スレープモード用の VCC 電圧レギュレーターに接続します。 このピンは、レギュレーターの PMBus データピンに接続します。
	INIT_DONE	INIT_DONE ピンは、デバイスがコンフィグレーション完了時にユーザーモードに入ったことを示します。この目的で使用する場合は、このピンを Intel Quartus Prime 開発ソフトウェアで有効化してください。 インテルでは、SDM_IO0 または SDM_IO16 を使用して INIT_DONE 機能を実装することをお勧めしています。これは、パワーアップ時に INIT_DONE を正しく機能させるための弱い内部プルダウンがあるからです。 SDM_IO0 と SDM_IO16 が使用できない場合、コンフィグレーションモードが Avalon-STx8 または Avalon-ST x32(AVST x8 または AVST x 32) に設定されていれば、SDM_IO5 も INIT_DONE 機能に使用できます。これらのモードでは 4.7 kΩ の外付けプルダウン抵抗が必要です。 SDM_IO0、SDM_IO5、および SDM_IO16 が利用できない場合、未使用の SDM I/O ピンを使用して INIT_DONE 機能を実装することもできます。ただし INIT_DONE 信号に 4.7 kΩ の外部プルダウン抵抗があることが条件です。 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で Low に引き下げられます。	INIT_DONE 機能が有効な場合、コンフィグレーションが完了してデバイスがユーザーモードに入ると、このピンは High に駆動されます。
	SEU_ERROR	SEU_ERROR ピンが High に駆動され、SEU エラーキュー内に SEU エラーメッセージがあることを示します。このピンは、エラー・メッセージ・キューに 1 つ以上のエラーメッセージが含まれているときは常に High のままです。	この出力ピンは、SEU イベントを監視する外部ロジックに接続します。

continued...

ピン名	ピンの機能	ピンの説明	接続ガイドライン
		SEU_ERROR 信号が Low になるのは、SEU エラー・メッセージ・キューが空の場合のみです。この目的で使用する場合は、インテル Quartus Prime 開発ソフトウェアを使用してこのピンを有効にします。このピンは、デバイスのパワーアップ時に 25 kΩ 抵抗によって内部で Low に引き下げられます。	
	CvP_CONFDONE	CvP_CONFDONE ピンでは、CvP コアイメージのコンフィグレーション完了時にデバイスがユーザーモードに入ったことを示します。この目的で使用する場合は、インテル Quartus Prime 開発ソフトウェアを使用してこのピンを有効にしてください。このピンは、デバイスのパワーアップ時に 25 kΩ 抵抗によって内部で Low に引き下げられます。	この出力ピンは、CvP 動作を監視する外部ロジックに接続します。VCCIO_SDM 電源供給は受信側の入力電圧仕様を満たす必要があります。
	HPS_COLD_nRESET	これはアクティブローの双方向ピンです。デフォルトでは、このピンはSDM への入力ピンとして機能します。最低でも 5ms の間外部からアサートされると、このピンでは SDM への割り込みが生成されます。その後、SDM ではコールドリセット手順が HPS とそのペリフェラルに対して開始されます。コールドリセットの生成が内部ソース(たとえば、HPS EL3 ソフトウェア)からの場合、SDM ではこのピンを出力に切り替え、リセットを示すパルスを駆動します。コールドリセット手順が完了すると、このピンは入力に戻ります。このピンには 25 kΩ の内部プルアップがあります。	このピンを 1 - 10 kΩ のプルアップを通じて、VCCIO_SDM 電源に接続します。このピンは、接続されているクワッド SPI デバイスのリセット入力に接続しないでください。
	Direct to Factory Image	Direct to Factory 入力ピンです。 リモート・システム・アップグレード機能を使用する場合、このオプションのピンを使用すると、ファクトリー・イメージとアプリケーション・イメージのどちらかを選択できます。このピンにロジック High を駆動するとデバイスに指示してファクトリー・イメージがロードされ、ロジック Low に駆動するとデバイスに指示してアプリケーション・イメージがロードされます。 このピンは、デバイスのパワーアップ時に 25 kΩ の抵抗によって内部で引き下げられます。	この入力ピンは、デバイスのリモート・システム・アップグレードを管理する外部ロジックに接続します。デフォルトでは、外部ロジックによってこのピンにロジック Low が供給され、アプリケーション・イメージがデバイスのデフォルト・イメージになり、必要に応じてファクトリー・イメージに切り替わります。

## インテル Stratix 10 GX ピン接続ガイドラインの注記

**注意:** インテルでは、インテル Quartus Prime デザインを作成し、デバイスの I/O アサインメントを入力し、デザインをコンパイルすることをお勧めしています。インテル Quartus Prime 開発ソフトウェアでは、I/O アサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの集積度、パッケージ、I/O アサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。



インテルで提供しているこれらのガイドラインは推奨事項です。設計者の責任において、デバイス機能検証のシミュレーション結果をデザインに適用してください。

1. これらのピン接続ガイドラインは、インテル Stratix 10 GX デバイスバリエーションに基づいて作成されています。
2. 電源容量値を選択する前に、デカップリングされている特定の回路の動作周波数に対して必要な電力量を検討します。電源プレーンの目標インピーダンスの計算は、デバイス/電源の消費電流と電圧降下の要件に基づいて行います。次に、電源プレーンのデカップリングを適切な数のコンデンサーを使って行います。オンボード・コンデンサーは、100 MHz を超えてデカップリングすることはありません。これは、パッケージ実装の「等価直列インダクタンス」のためです。低インダクタンスのプレーン間容量などの、適切な基板デザイン手法を高周波デカップリング用に検討してください。PDN ツールを参照してください。
3. インテル Stratix 10 Early Power Estimator (EPE) を使用して、VCC およびその他の電源の暫定電流要件を決定してください。インテル Quartus PrimePower Analyzer を使用して、この電源供給およびその他の電源供給用の最も正確な電流要件を満たしてください。
4. これらの電源では、複数の インテル Stratix 10 デバイス間で電源プレーンを共有できます。
5. 電源ピンでは BGA からのブレイクアウト・ピアを共有しないでください。BGA 上の各ボールには、専用のブレイクアウト・ピアが必要です。VCC ではブレイクアウト・ピアを共有しないでください。
6. 例 1 と例 2 に インテル Stratix 10 GX デバイスの電源共有のガイドラインを示します。
7. 低ノイズ・スイッチング・レギュレーター - 薄型表面実装パッケージに封入されたスイッチング・レギュレーター回路として定義され、スイッチ・コントローラー、パワー FET、インダクター、およびその他のサポート部品を含んでいます。スイッチング周波数は通常 800 kHz から 1 MHz の間で、高速過渡応答を示します。スイッチング周波数範囲はインテルによる要件ではありません。
8. インテル Stratix 10 デバイスのモジュラー I/O バンクの数、デバイスの集積度によって異なります。特定のデバイスで使用可能なインデックスについては、*Intel Stratix 10 General Purpose I/O User Guide* の I/O バンクの項を参照してください。
9. AC 結合リンクの場合、AC 結合コンデンサーはチャンネルに沿ってどこにでも配置できます。PCI Express プロトコルでは、AC カップリング・コンデンサーをインターフェイスのトランスミッター側に配置する必要があります。これによりアダプターの脱着が可能になります。
10. これらのピンに対するデカップリングは、特定のボードのデザインのデカップリング要件によって異なります。
11. 専用の PR\_REQUEST、PR\_ERROR、および PR\_DONE ピンはありません。必要に応じて、これらの機能にユーザー I/O ピンが使用できます。
12. デバイスの向きはダイビュー(チップビューの下部)です。

## インテル Stratix 10 MX ピン接続ガイドライン

## UIB および eSRAM ピン

**注意:** インテルでは、インテル Quartus Prime デザインを作成し、デバイスの I/O アサインメントを入力し、デザインをコンパイルすることをお勧めしています。インテル Quartus Prime 開発ソフトウェアでは、I/O アサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの集積度、パッケージ、I/O アサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。

**表 14. UIB および eSRAM ピン(暫定)**

ピン名	ピンの機能	ピンの説明	接続ガイドライン
CLK_ESRAM_[0,1]p	エンベデッド SRAM (eSRAM) クロック入力	eSRAM PLL 専用の正の高速差動リファレンス・クロック・ピンです。	このピンは、LVDS クロックソースの正端子に 10 MHz から 325 MHz の範囲内で接続してください。選択した周波数は、インテル Quartus Prime <b>ESRAM PLL Reference Clock Frequency</b> 選択ダイアログボックスで提供されている使用可能なオプションと一致する必要があります。DC 結合のみがサポートされています。このクロックのピークツーピーク・ジッターは、10 kHz から選択した周波数の 2 分の 1 の周波数帯域幅について、次のジッター要件を満たすか超える必要があります。 <ul style="list-style-type: none"> <li>• 20 ps(ピークツーピーク)</li> <li>• 1e-12 BER で 1.42 ps RMS</li> <li>• 1e-16 BER で 1.22 ps RMS</li> </ul> 使用しない場合は GND に直接接続してください。
CLK_ESRAM_[0,1]n	eSRAM クロック入力	eSRAM PLL 専用で相補の高速差動リファレンス・クロック・ピンです。	このピンは、LVDS クロックソースの負端子に 10 MHz から 325 MHz の範囲内で接続してください。選択した周波数は、インテル Quartus Prime <b>ESRAM PLL Reference Clock Frequency</b> 選択ダイアログボックスで提供されている使用可能なオプションと一致する必要があります。DC 結合のみがサポートされています。このクロックのピークツーピーク・ジッターは、10 kHz から選択した周波数の 2 分の 1 の周波数帯域幅について、次のジッター要件を満たすか超える必要があります。 <ul style="list-style-type: none"> <li>• 20 ps(ピークツーピーク)</li> <li>• 1e-12 BER で 1.42 ps RMS</li> <li>• 1e-16 BER で 1.22 ps RMS</li> </ul> 使用しない場合は GND に直接接続してください。
UIB_PLL_REF_CLK_[00,01]p	UIB クロック入力	UIB PLL 専用の正の高速差動リファレンス・クロック・ピンです。	このピンは、LVDS クロックソースの正端子に 10 MHz から 325 MHz の範囲内で接続してください。選択した周波数は、インテル Quartus Prime HBM2 インターフェイス <b>PLL Reference Clock Frequency</b> 選択ダイアログボックスで提供されている使用可能なオプションと一致する必要があります。DC 結合のみがサポートされています。

*continued...*



ピン名	ピンの機能	ピンの説明	接続ガイドライン
			<p>このクロックのピークツーピーク・ジッターは、10 kHz から選択した周波数の 2 分の 1 の周波数帯域幅について、次のジッター要件を満たすか超える必要があります。</p> <ul style="list-style-type: none"> <li>10 ps(ピークツーピーク)</li> <li>1e-12 BER で 1.42 ps RMS</li> <li>1e-16 BER で 1.22 ps RMS</li> </ul> <p>使用しない場合は GND に直接接続してください。</p>
UIB_PLL_REF_CLK_[00,01]n	UIB クロック入力	UIB PLL 専用で相補の高速差動リファレンス・クロック・ピンです。	<p>このピンは、LVDS クロックソースの負端子に 10 MHz から 325 MHz の範囲内で接続してください。選択した周波数は、インテル Quartus Prime HBM2 インターフェイス <b>PLL Reference Clock Frequency</b> 選択ダイアログボックスで提供されている使用可能なオプションと一致する必要があります。DC 結合のみがサポートされています。このクロックのピークツーピーク・ジッターは、10 kHz から選択した周波数の 2 分の 1 の周波数帯域幅について、次のジッター要件を満たすか超える必要があります。</p> <ul style="list-style-type: none"> <li>10 ps(ピークツーピーク)</li> <li>1e-12 BER で 1.42 ps RMS</li> <li>1e-16 BER で 1.22 ps RMS</li> </ul> <p>使用しない場合は GND に直接接続してください。</p>
RREF_ESRAM_[0,1]	eSRAM RREF 入力	UIB PLL および eSRAM PLL のリファレンス抵抗ピンです。デバイスの上部 (T) および下部 (B) に固有です。	<p>デバイスの上側または下側の UIB PLL または eSRAM PLL を使用する場合は、デバイスのその側 (上側または下側) の対応する RREF ピンをそれぞれ自体の個別の 2 K<math>\Omega</math> <math>\pm</math>1% の GND への抵抗に接続する必要があります。このピンとリファレンス抵抗の間の PCB トレースは、アグレッサ信号を回避するために慎重に配線する必要があります。</p>
UIB_RREF_[00,01]	UIB RREF 入力	UIB IO ZQ キャリブレーション用のリファレンス抵抗ピンです。	<p>各ピンを個別の 240<math>\Omega</math> <math>\pm</math>1% 抵抗を介して GND に接続してください。ピン間で抵抗を共有することはできません。このピンを使用しない場合は、フローティングのままにしてください。</p>

## インテル Stratix 10 MX 電源供給ピン

**注意:** インテルでは、インテル Quartus Prime デザインを作成し、デバイスの I/O アサインメントを入力し、デザインをコンパイルすることをお勧めしています。インテル Quartus Prime 開発ソフトウェアでは、I/O アサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの密度、パッケージ、I/O アサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。





表 15. インテル Stratix 10 MX 電源供給ピン(暫定)

ピン名	ピンの機能	ピンの説明	接続ガイドライン
VCCM_WORD_[BL, TL]	電源	エンベデッド HBM2 メモリー用の電源。	これらのピンは、2.5 V 電源に接続します。
VCCIO_UIB_[BL, TL]	電源	コアとエンベデッド HBM2 メモリー間のユニバーサル・インターフェイス・バス用電源。	これらのピンは、1.2 V 電源に接続します。

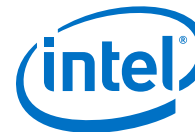
## インテル Stratix 10 MX ピン接続ガイドラインの注記

**注意:** インテルでは、インテル Quartus Prime デザインを作成し、デバイスの I/O アサインメントを入力し、デザインをコンパイルすることをお勧めしています。インテル Quartus Prime 開発ソフトウェアでは、I/O アサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの集積度、パッケージ、I/O アサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。

インテルで提供しているこれらのガイドラインは推奨事項です。設計者の責任において、シミュレーション結果のデザインへの適用とデバイス機能の検証を行ってください。

- これらのピン接続ガイドラインは、インテル Stratix 10 MX デバイスバリエーションに基づいて作成されています。
- 電源容量値を選択する前に、デカップリングされている特定の回路の動作周波数に対して必要な電力量を検討します。電源プレーンの目標インピーダンスの計算を、デバイス/電源の消費電流と電圧降下の要件に基づいて行います。次に、電源プレーンのデカップリングを適切な数のコンデンサーを使って行います。オンボード・コンデンサーは、100 MHz を超えてデカップリングすることはありません。これは、パッケージ実装の「等価直列インダクタンス」に起因します。高周波デカップリング用に低インダクタンスのプレーン間容量などの、適切な基板デザイン手法を検討してください。PDN ツールを参照してください。
- インテル Stratix 10 Early Power Estimator (EPE) を使用して、VCC およびその他の電源の暫定電流要件を決定してください。インテル Quartus Prime Power Analyzer を使用して、この電源供給およびその他の電源供給用の最も正確な電流要件を満たしてください。
- これらの電源では、複数の インテル Stratix 10 デバイス間で電源プレーンを共有できます。
- 電源ピンでは BGA からのブレイクアウト・ビアを共有しないでください。BGA 上の各ボールには、専用のブレイクアウト・ビアが必要です。VCC ではブレイクアウト・ビアを共有しないでください。
- 例 7 と例 8 に インテル Stratix 10 MX デバイスの電源共有のガイドラインを示します。
- 低ノイズ・スイッチング・レギュレーター - 薄型表面実装パッケージに封入されたスイッチング・レギュレーター回路として定義され、スイッチ・コントローラー、パワー FET、インダクター、およびその他のサポート部品を含んでいます。スイッチング周波数は通常 800 kHz から 1 MHz の間で、高速過渡応答を示します。スイッチング周波数範囲はインテルによる要件ではありません。





8. インテル Stratix 10 デバイスのモジュラー I/O バンクの数、デバイス集積度によって異なります。特定のデバイスで利用可能なインデックスについては、*Intel Stratix 10 General Purpose I/O User Guide* の I/O バンクの項を参照してください。
9. AC 結合リンクの場合、AC 結合コンデンサはチャンネルに沿ってどこにでも配置できます。PCI Express プロトコルでは、AC カップリング・コンデンサをインターフェイスのトランスミッター側に配置する必要があります。これによりアダプターの脱着が可能になります。
10. これらのピンに対するデカップリングは、それぞれのボードのデザインにおけるデカップリング要件に依存します。

## インテル Stratix 10 TX ピン接続ガイドライン

### インテル Stratix 10 TX トランシーバー・ピン

**注意:** インテルでは、インテル Quartus Prime デザインを作成し、デバイスの I/O アサインメントを入力し、デザインをコンパイルすることをお勧めしています。インテル Quartus Prime 開発ソフトウェアでは、I/O アサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの密度、パッケージ、I/O アサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。

**表 16. インテル Stratix 10 TX トランシーバー・ピン(暫定)**

ピン名	ピンの機能	ピン名	接続ガイドライン
VCCH_GXE(L2, L3, R1, R2, R3)	電源	アナログ電源、ブロックレベルのトランスミッター・バッファ(E-タイル用)であり、デバイスの左側 (L) または右側 (R) に固有です。	VCCH_GXE を 1.1 V の低ノイズ・スイッチング・レギュレーターに接続します。
VCCRT_GXE(L2, L3, R1, R2, R3)	電源	アナログ電源で高速回路(E-タイル用)に使用され、デバイスの左側 (L) または右側 (R) に固有です。	VCCRT_GXELC フィルターの VCCERAM への接続を LC フィルターを介して行います。LC フィルターデザインの詳細については、 <i>インテル Stratix 10 電源管理ユーザーガイド</i> を参照してください。
VCCRTPLL_GXE(L2, L3, R1, R2, R3)	電源	アナログ電源で高速回路(E-タイル用)に使用され、デバイスの左側 (L) または右側 (R) に固有です。	VCCRTPLL_GXE の調達には、VCCRT_GXE から適切なアイソレーション・フィルタリングを使用してください。 フィルタリングは、この電圧レールがノイズマスク要件を満たす場合はオプションになります。ノイズマスク要件の詳細については、 <i>インテル Stratix 10 電源管理ユーザーガイド</i> を参照してください。
VCCCLK_GXE(L2, L3, R1, R2, R3)	電源	I/O 電力であり、E-タイルのリファレンス・クロック・バッファに固有です。	VCCCLK_GXE を 2.5 V の低ノイズ・スイッチング・レギュレーターに接続します。

*continued...*



ピン名	ピンの機能	ピン名	接続ガイドライン
GXE(L8, R9)(A, B, C)_RX_CH[0:23]p	入力	レーザー回路への正の高速差動シリアル入力。デバイスの左側 (L) 側または右 (R) 側の E-タイル・トランシーバー・ブロックに固有です。	オフチップ AC 結合コンデンサーは、RX 入力同相モードが VCCRT_GXE と GND の間にあり、RX 入力振幅差が <1200 mvp-p であれば不要です。E-Tile ブロック SerDes への絶対最大入力、ESD ダイオードの順方向バイアスを防ぐために VCCRT_GXE + 300 mV です。外部 AC 結合コンデンサーを使用する場合、RX 終端は VCCH_GXE 電源に対してです。外部 AC カップリングの詳細については、 <a href="#">インテル Stratix 10 E-タイル・トランシーバー PHY ユーザーガイド</a> を参照してください。 未使用のピンはフローティングのままにします。
GXE(L8, R9)(A, B, C)_RX_CH[0:23]n	入力	レーザー回路への負の高速差動シリアル入力。デバイスの左側 (L) 側または右 (R) 側の E-タイル・トランシーバー・ブロックに固有です。	オフチップ AC 結合コンデンサーは、RX 入力同相モードが VCCRT_GXE と GND の間にあり、RX 入力振幅差が <1200 mvp-p であれば不要です。E-Tile ブロック SerDes への絶対最大入力、ESD ダイオードの順方向バイアスを防ぐために VCCRT_GXE + 300 mV です。外部 AC 結合コンデンサーを使用する場合、RX 終端は VCCH_GXE 電源に対してです。外部 AC カップリングの詳細については、 <a href="#">インテル Stratix 10 E-タイル・トランシーバー PHY ユーザーガイド</a> を参照してください。 未使用のピンはフローティングのままにします。
GXE(L8, R9)(A, B, C)_TX_CH[0:23]p	出力	レーザー回路からの正の高速差動シリアル出力。デバイスの左側 (L) 側または右 (R) 側の E-タイル・トランシーバー・ブロックに固有です。	未使用の GXE_TXp ピンはすべてフローティングのままにします。
GXE(L8, R9)(A, B, C)_TX_CH[0:23]n	出力	トランスミッター回路からの負の高速差動シリアル出力。デバイスの左側 (L) 側または右 (R) 側の E-タイル・トランシーバー・ブロックに固有です。	未使用の GXE_TXn ピンはすべてフローティングのままにします。
REFCLK_GXE(L8, R9)(A, B, C)_CH[0:8]p	入力	高速差動リファレンス・クロックの正のレーザーチャネル。デバイスの左側 (L) または右側 (R) の各 E-タイル・トランシーバー・バンクに固有です。 REFCLK_GXE は、RX と TX の両方に個別に供給できます。 REFCLK_GXE は、トランシーバー・チャネルが無効の場合でも、コアクロック生成用の専用クロック入力ピンとして使用できます。	オフチップ AC 結合コンデンサーは不要です。デフォルトの内部 REFCLK 入力は、50Ω 終端の 2.5 V LVPECL です。 オプションの外部終端は 2.5 V LVPECL または 3.3 V LVPECL です。外部 AC カップリングの詳細については、 <a href="#">インテル Stratix 10 E-タイル・トランシーバー PHY ユーザーガイド</a> を参照してください。 未使用の各 REFCLK ピンを 1 kΩ の抵抗を介して GND に接続します。 未使用の REFCLK 入力の無効化を正しく行うには、内部終端を無効にしてヒステリシスを有効にする必要があります。これらのレジスターを設定する手順については、 <a href="#">インテル Stratix 10 E-タイル・トランシーバー PHY ユーザーガイド</a> の「リファレンス・クロック」の項を参照してください。
REFCLK_GXE(L8, R9)(A, B, C)_CH[0:8]n	入力	高速差動リファレンス・クロックの負のレーザーチャネル。デバイスの左側 (L) または右側 (R) の各 E-タイル・トランシーバー・バンクに固有です。 REFCLK_GXE は、RX と TX の両方に個別に供給できます。	オフチップ AC 結合コンデンサーは不要です。デフォルトの内部 REFCLK 入力は、50Ω 終端の 2.5 V LVPECL です。

continued...



ピン名	ピンの機能	ピン名	接続ガイドライン
		REFCLK_GXE は、トランシーバー・チャンネルが無効の場合でも、コアクロック生成用の専用クロック入力ピンとして使用できます。	オプションの外部終端は 2.5 V LVPECL または 3.3 V LVPECL です。外部 AC カップリングの詳細については、インテル Stratix 10 E-タイル・トランシーバー PHY ユーザーガイドを参照してください。 未使用の各 REFCLK ピンを 1 kΩ の抵抗を介して GND に接続します。 未使用の REFCLK 入力を正しく無効化するには、内部終端を無効にしてヒステリシスを有効にする必要があります。これらのレジスターを設定する手順については、インテル Stratix 10 E-タイル・トランシーバー PHY ユーザーガイドの「リファレンスクロック」の項を参照してください。
IO_AUX_RREF(11, 12, 20, 21, 22)	入力	AIB 補助チャンネルのリファレンス抵抗。	2 kΩ の抵抗 (±1%) を GND に接続してください。

#### 関連情報

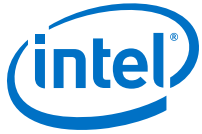
[インテル Stratix 10 E-タイル・トランシーバー PHY ユーザーガイド](#)

## インテル Stratix 10 TX ピン接続ガイドラインの注記

**注意:** インテルでは、インテル Quartus Prime デザインを作成し、デバイスの I/O アサインメントを入力し、デザインをコンパイルすることをお勧めしています。インテル Quartus Prime 開発ソフトウェアでは、I/O アサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの集積度、パッケージ、I/O アサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。

インテルで提供しているこれらのガイドラインは推奨事項です。設計者の責任において、シミュレーション結果のデザインへの適用とデバイス機能の検証を行ってください。

- これらのピン接続ガイドラインは、インテル Stratix 10 TX デバイスバリエーションに基づいて作成されています。
- 電源容量値を選択する前に、デカップリングされている特定の回路の動作周波数に対して必要な電力量を検討します。電源プレーンの目標インピーダンスの計算を、デバイス/電源の消費電流と電圧降下の要件に基づいて行います。次に、電源プレーンのデカップリングを適切な数のコンデンサーを使って行います。オンボード・コンデンサーは、100 MHz を超えてデカップリングすることはありません。これは、パッケージ実装の「等価直列インダクタンス」に起因します。高周波デカップリング用に低インダクタンスのプレーン間容量などの、適切な基板デザイン手法を検討してください。PDN ツールを参照してください。
- インテル Stratix 10 Early Power Estimator (EPE) を使用して、VCC およびその他の電源の暫定電流要件を決定してください。インテル Quartus Prime Power Analyzer を使用して、この電源供給およびその他の電源供給用の最も正確な電流要件を満たしてください。
- これらの電源では、複数の インテル Stratix 10 デバイス間で電源プレーンを共有できます。



5. 電源ピンでは BGA からのブレイクアウト・ピアを共有しないでください。BGA 上の各ボールには、専用のブレイクアウト・ピアが必要です。VCC ではブレイクアウト・ピアを共有しないでください。
6. 例 9 と例 10 に インテル Stratix 10 TX デバイスの電源共有のガイドラインを示します。
7. 低ノイズ・スイッチング・レギュレーター - 薄型表面実装パッケージに封入されたスイッチング・レギュレーター回路として定義され、スイッチ・コントローラー、パワー FET、インダクター、およびその他のサポート部品を含んでいます。スイッチング周波数は通常 800 kHz から 1MHz の間で、高速過渡応答を示します。スイッチング周波数範囲はインテルによる要件ではありません。
8. インテル Stratix 10 デバイスのモジュラー I/O バンクの数、デバイス集積度によって異なります。特定のデバイスで利用可能なインデックスについては、*Intel Stratix 10 General Purpose I/O User Guide* の I/O バンクの項を参照してください。
9. AC 結合リンクの場合、AC 結合コンデンサーはチャンネルに沿ってどこにでも配置できます。PCI Express プロトコルでは、AC カップリング・コンデンサーをインターフェイスのトランスミッター側に配置する必要があります。これによりアダプターの脱着が可能になります。
10. これらのピンに対するデカップリングは、特定のボードのデザインのデカップリング要件によって異なります。

## インテル Stratix 10 SX ピン接続ガイドライン

### ハード・プロセッサ・システム (HPS) 供給ピン

**注意:** インテルでは、インテル Quartus Prime デザインを作成し、デバイスの I/O アサインメントを入力し、デザインをコンパイルすることをお勧めしています。インテル Quartus Prime 開発ソフトウェアでは、I/O アサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの集積度、パッケージ、I/O アサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。

表 17. HPS 供給ピン(暫定)

ピン名	ピンの機能	ピンの説明	接続ガイドライン
VCCL_HPS	電源	HPS コアへ供給する VCCL_HPS 電源です。	SmartVID 機能を備えた -1V、-2V、または -3V のデバイスの VCCL_HPS 電源電圧は、デバイスの SmartVID 設定に応じて 0.8 V から 0.94 V の範囲で変化する可能性があります。-2L または -3X デバイスを使用するときは、0.9 V または 0.94 V 電源に接続してください。0.9 V 電源を使用している場合は、VCCL_HPS は VCCERAM に接続できます。VCCL_HPS を VCC および VCCP と共有できるのは、同じ電圧レベルにあるときです。ただし (SmartVID 機能を備えた) -1V、-2V、または -3V のデバイスを使用している場合に限り、VCCL_HPS を VCC および VCCP と共有することはできないのは、-2L または -3X デバイスを使用している場合です。VCCL_HPS は、常に VCCPLLDIG_HPS と等しい必要があります。

continued...



ピン名	ピンの機能	ピンの説明	接続ガイドライン
			インテル Stratix 10 Early Power Estimator (EPE) および インテル Quartus Prime Power Analyzer を使用して、VCCCL_HPS および他の電源装置の現在の要件を判断します。 これらのピンに対するデカップリングは、それぞれのボードのデザインにおけるデカップリング要件に依存します。 インテル Stratix 10 SX ピン接続ガイドラインの注記 2、3、4、および 6 を参照してください。
VCCIO_HPS	電源	HPS 専用 I/O では 1.8 V の電圧レベルをサポートします。	これらのピンは 1.8 V 電源に接続します。これらのピンが VCCIO および VCCIO_SDM と同じ電圧要件を有する場合、VCCIO_HPS ピンの調達には、VCCIO および VCCIO_SDM と同じレギュレーターからできます。 これらのピンに対するデカップリングは、それぞれのボードのデザインにおけるデカップリング要件に依存します。 インテル Stratix 10 SX ピン接続ガイドラインの注記 2、3、4、および 8 を参照してください。
VCCPLL_HPS	電源	VCCPLL_HPS では、アナログ電源を HPS PLL に供給します。	これらのピンは、適切なアイソレーション・フィルタを介して 1.8 V の低ノイズ電源に接続します。VCCPLL_HPS を VCCPT と同じレギュレーターと共有するオプションが適用するのは、すべての電源レベルで 1.8 V を必要とするが、適切なアイソレーション・フィルタを使用する場合に限ります。 これらのピンに対するデカップリングは、それぞれのボードのデザインにおけるデカップリング要件に依存します。 インテル Stratix 10 SX ピン接続ガイドラインの注記 2、3、4、および 7 を参照してください。
VCCPLLDIG_HPS	電源	HPS 内の PLL のデジタル電源。	適切なアイソレーション・フィルタを使用してこれを VCCCL_HPS に接続します。 アイソレーション・フィルタの詳細については、AN583:アルテラ FPGA によるフェライト・ビーズの電源分離フィルタの デザインを参照してください。

Platform Designer の HPS Component を使用して、HPS Dedicated I/O をさまざまな HPS Peripheral と 1 つの hps\_osc\_clk 入力に割り当てます。ハンドオフファイルが インテル Quartus Prime コンパイル中に Platform Designer で生成され、そのファイルによってピン・マルチプレクサ・レジスタ ( pin0sel から pin47sel ) および HPS Oscillator Clock レジスタ ( hps\_osc\_clk ) がそれぞれの HPS ピン機能に設定されます。

HPS I/O アサインメントの有効な組み合わせの詳細については、次の *Hard Processor System Pin Information for Intel Stratix 10 Devices* を参照してください。

関連情報

Hard Processor System Pin Information for Intel Stratix 10 Devices

## HPS Oscillator Clock 入力ピン

**注意:** インテルでは、インテル Quartus Prime デザインを作成し、デバイスの I/O アサインメントを入力し、デザインをコンパイルすることをお勧めしています。インテル Quartus Prime 開発ソフトウェアでは、I/O アサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの集積度、パッケージ、I/O アサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。

**表 18. HPS Oscillator Clock 入力ピン(暫定)**

HPS に 1 つの入カクロックソースを提供してください。

HPS ピン機能	ピンの説明と接続ガイドライン	ピンタイプ	有効なアサインメント
HPS_OSC_CLK	メイン PLL を駆動するクロック入力ピンです。シングルエンド・クロック・ソースをこのピンに接続します。クロックソースの I/O 規格には、VCCIO_HPS との互換性が必要です。詳細については、インテル Stratix 10 デバイス・データシートのクロックソースの有効な周波数範囲を参照してください。	入力	Platform Designer HPS Component で 48 個の HPS 専用 I/O のうち 1 つを選択します。

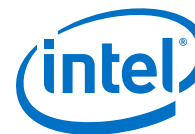
## HPS JTAG ピン

**注意:** インテルでは、インテル Quartus Prime デザインを作成し、デバイスの I/O アサインメントを入力し、デザインをコンパイルすることをお勧めしています。インテル Quartus Prime 開発ソフトウェアでは、I/O アサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの集積度、パッケージ、I/O アサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。

**表 19. HPS JTAG ピン(暫定)**

必要に応じて、HPS JTAG ピンを HPS 専用 I/O に接続するために次のアサインメントを使用します。

HPS ピン機能	ピンの説明と接続ガイドライン	ピンタイプ	有効なアサインメント
JTAG_TCK	HPS JTAG テストクロック入力ピンです。	入力	HPS_IOB_9
<i>continued...</i>			



HPS ピン機能	ピンの説明と接続ガイドライン	ピンタイプ	有効なアサインメント
	このピンを 1 kΩ - 10 kΩ のプルダウン抵抗を介して GND に接続します。VCCIO_HPS 電源より高い電圧を駆動しないでください。 HPS JTAG にアクセスするためのオプションとして、FPGA 専用の JTAG ピンを使用できます。		
JTAG_TMS	HPS JTAG テスト選択入力ピンです。 このピンを VCCIO_HPS 電源への 1 kΩ - 10 kΩ のプルアップ抵抗を介して接続します。 VCCIO_HPS 電源より高い電圧を駆動しないでください。 HPS JTAG にアクセスするためのオプションとして、FPGA 専用の JTAG ピンを使用できます。	入力	HPS_IOB_10
JTAG_TDO	HPS JTAG テストデータ出力ピンです。 HPS JTAG にアクセスするためのオプションとして、FPGA 専用の JTAG ピンを使用できます。	出力	HPS_IOB_11
JTAG_TDI	HPS JTAG テストデータ入力ピンです。 このピンを VCCIO_HPS 電源への 1 kΩ - 10 kΩ のプルアップ抵抗を介して接続します。 VCCIO_HPS 電源より高い電圧を駆動しないでください。 HPS JTAG にアクセスするためのオプションとして、FPGA 専用の JTAG ピンを使用できます。	入力	HPS_IOB_12

## HPS GPIO ピン

**注意:** インテルでは、インテル Quartus Prime デザインを作成し、デバイスの I/O アサインメントを入力し、デザインをコンパイルすることをお勧めしています。インテル Quartus Prime 開発ソフトウェアでは、I/O アサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの集積度、パッケージ、I/O アサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。

**表 20. HPS GPIO ピン(暫定)**

インテル Stratix 10 HPS 用には 2 つの GPIO コントローラー(GPIO0 と GPIO1)があります。

HPS ピン機能	ピンの説明と接続ガイドライン	ピンタイプ	有効なアサインメント
GPIO0_IO[0..23]	汎用入出力	I/O	HPS_IOA_[1..24]
<i>continued...</i>			



HPS ピン機能	ピンの説明と接続ガイドライン	ピンタイプ	有効なアサインメント
GPI01_IO[0..23]	使用されている I/O 規格が VCCIO_HPS と互換性があることを確認してください。		HPS_IOB_[1..24]

## HPS SDMMC ピン

**注意:** インテルでは、インテル Quartus Prime デザインを作成し、デバイスの I/O アサインメントを入力し、デザインをコンパイルすることをお勧めしています。インテル Quartus Prime 開発ソフトウェアでは、I/O アサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの集積度、パッケージ、I/O アサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。

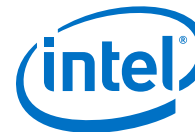
**表 21. HPS SDMMC ピン(暫定)**

インテルでは、1 kΩ- 10 kΩ のプルアップ抵抗を使用するすべての SDMMC データ信号に追加することをお勧めします。

HPS ピン機能	ピンの説明と接続ガイドライン	ピンタイプ	有効なアサインメント(いずれかのグループから選択)	
			グループ 1	グループ 2
SDMMC_CCLK	SDMMC クロックアウト	出力	HPS_IOA_1	HPS_IOB_15
SDMMC_CMD	SDMMC コマンドライン このピンをボード上でウィークプルアップ抵抗を使って High に引き上げます。たとえば、VCCIO_HPS に対して 10 kΩ です。	I/O	HPS_IOA_2	HPS_IOB_14
SDMMC_DATA0	SDMMC Data 0	I/O	HPS_IOA_3	HPS_IOB_13
SDMMC_DATA1	SDMMC Data 1	I/O	HPS_IOA_4	HPS_IOB_16
SDMMC_DATA2	SDMMC Data 2	I/O	HPS_IOA_5	HPS_IOB_17
SDMMC_DATA3	SDMMC Data 3 SD カードを使用する場合は、SDMMC データビット 3 に既存の 50 kΩ プルアップがあります。無効にするには、インテル Quartus Prime 開発ソフトウェアで SET_CLR_CARD_DETECT (ACMD42) コマンドを使用します。これは eMMC フラッシュには適用されません。	I/O	HPS_IOA_6	HPS_IOB_18

*continued...*





HPS ピン機能	ピンの説明と接続ガイドライン	ピンタイプ	有効なアサインメント(いずれかのグループから選択)	
			グループ 1	グループ 2
SDMMC_DATA4	SDMMC Data 4	I/O	HPS_IOA_7	HPS_IOB_19
SDMMC_DATA5	SDMMC Data 5	I/O	HPS_IOA_8	HPS_IOB_20
SDMMC_DATA6	SDMMC Data 6	I/O	HPS_IOA_9	HPS_IOB_21
SDMMC_DATA7	SDMMC Data 7	I/O	HPS_IOA_10	HPS_IOB_22
SDMMC_PWR_EN	SDMMC Power Enable	出力	HPS_IOA_11	HPS_IOB_23

## HPS NAND ピン

**注意:** インテルでは、インテル Quartus Prime デザインを作成し、デバイスの I/O アサインメントを入力し、デザインをコンパイルすることをお勧めしています。インテル Quartus Prime 開発ソフトウェアでは、I/O アサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの集積度、パッケージ、I/O アサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。

表 22. HPS NAND ピン(暫定)

HPS ピン機能	ピンの説明と接続ガイドライン	ピンタイプ	有効なアサインメント(いずれかのグループから選択)	
			グループ 1	グループ 2
NAND_ADQ0	NAND Data Bit 0	I/O	HPS_IOA_1	HPS_IOB_1
NAND_ADQ1	NAND Data Bit 1	I/O	HPS_IOA_2	HPS_IOB_2
NAND_WE_N	NAND Write Enable インテル Stratix 10 SX ピン接続ガイドラインの注記 11 を参照してください。	出力	HPS_IOA_3	HPS_IOB_3
NAND_RE_N	NAND Read Enable インテル Stratix 10 SX ピン接続ガイドラインの注記 11 を参照してください。	出力	HPS_IOA_4	HPS_IOB_4
NAND_WP_N	NAND Write Protect	出力	HPS_IOA_5	HPS_IOB_5
NAND_ADQ2	NAND Data Bit 2	I/O	HPS_IOA_6	HPS_IOB_6

*continued...*



HPS ピン機能	ピンの説明と接続ガイドライン	ピンタイプ	有効なアサインメント(いずれかのグループから選択)	
			グループ 1	グループ 2
NAND_ADQ3	NAND Data Bit 3	I/O	HPS_IOA_7	HPS_IOB_7
NAND_CLE	NAND Command Latch Enable	Output	HPS_IOA_8	HPS_IOB_8
NAND_ADQ4	NAND Data Bit 4	I/O	HPS_IOA_9	HPS_IOB_9
NAND_ADQ5	NAND Data Bit 5	I/O	HPS_IOA_10	HPS_IOB_10
NAND_ADQ6	NAND Data Bit 6	I/O	HPS_IOA_11	HPS_IOB_11
NAND_ADQ7	NAND Data Bit 7	I/O	HPS_IOA_12	HPS_IOB_12
NAND_ALE	NAND Address Latch Enable	出力	HPS_IOA_13	HPS_IOB_13
NAND_RB	NAND Ready/Busy このピンは 1 kΩ - 10 kΩ のプルアップ抵抗を介して VCCIO_HPS に接続します。	入力	HPS_IOA_14	HPS_IOB_14
NAND_CE_N	NAND Chip Enable インテル Stratix 10 SX ピン接続ガイドラインの注記 11 を参照してください。	出力	HPS_IOA_15	HPS_IOB_15
NAND_ADQ8	NAND Data Bit 8	I/O	HPS_IOA_17	HPS_IOB_17
NAND_ADQ9	NAND Data Bit 9	I/O	HPS_IOA_18	HPS_IOB_18
NAND_ADQ10	NAND Data Bit 10	I/O	HPS_IOA_19	HPS_IOB_19
NAND_ADQ11	NAND Data Bit 11	I/O	HPS_IOA_20	HPS_IOB_20
NAND_ADQ12	NAND Data Bit 12	I/O	HPS_IOA_21	HPS_IOB_21
NAND_ADQ13	NAND Data Bit 13	I/O	HPS_IOA_22	HPS_IOB_22
NAND_ADQ14	NAND Data Bit 14	I/O	HPS_IOA_23	HPS_IOB_23
NAND_ADQ15	NAND Data Bit 15	I/O	HPS_IOA_24	HPS_IOB_24



## HPS USB ピン

**注意:** インテルでは、インテル Quartus Prime デザインを作成し、デバイスの I/O アサインメントを入力し、デザインをコンパイルすることをお勧めしています。インテル Quartus Prime 開発ソフトウェアでは、I/O アサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの集積度、パッケージ、I/O アサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。

**表 23. HPS USB ピン(暫定)**

インテル Stratix 10 HPS 用には 2 つの USB コントローラー(USB0 と USB1)があります。

HPS ピン機能	ピンの説明と接続ガイドライン	ピンタイプ	有効なアサインメント
USB0_CLK	USB0 Clock	入力	HPS_IOA_1
USB0_STP	USB0 Stop Data	出力	HPS_IOA_2
USB0_DIR	USB0 Direction	入力	HPS_IOA_3
USB0_DATA0	USB0 Data Bit 0	I/O	HPS_IOA_4
USB0_DATA1	USB0 Data Bit 1	I/O	HPS_IOA_5
USB0_NXT	USB0 Next Data	入力	HPS_IOA_6
USB0_DATA2	USB0 Data Bit 2	I/O	HPS_IOA_7
USB0_DATA3	USB0 Data Bit 3	I/O	HPS_IOA_8
USB0_DATA4	USB0 Data Bit 4	I/O	HPS_IOA_9
USB0_DATA5	USB0 Data Bit 5	I/O	HPS_IOA_10
USB0_DATA6	USB0 Data Bit 6	I/O	HPS_IOA_11
USB0_DATA7	USB0 Data Bit 7	I/O	HPS_IOA_12
USB1_CLK	USB1 Clock	入力	HPS_IOA_13
USB1_STP	USB1 Stop Data	出力	HPS_IOA_14
USB1_DIR	USB1 Direction	入力	HPS_IOA_15
USB1_DATA0	USB1 Data Bit 0	I/O	HPS_IOA_16
USB1_DATA1	USB1 Data Bit 1	I/O	HPS_IOA_17
<i>continued...</i>			



HPS ピン機能	ピンの説明と接続ガイドライン	ピンタイプ	有効なアサインメント
USB1_NXT	USB1 Next Data	入力	HPS_IOA_18
USB1_DATA2	USB1 Data Bit 2	I/O	HPS_IOA_19
USB1_DATA3	USB1 Data Bit 3	I/O	HPS_IOA_20
USB1_DATA4	USB1 Data Bit 4	I/O	HPS_IOA_21
USB1_DATA5	USB1 Data Bit 5	I/O	HPS_IOA_22
USB1_DATA6	USB1 Data Bit 6	I/O	HPS_IOA_23
USB1_DATA7	USB1 Data Bit 7	I/O	HPS_IOA_24

## HPS EMAC ピン

**注意:** インテルでは、インテル Quartus Prime デザインを作成し、デバイスの I/O アサインメントを入力し、デザインをコンパイルすることをお勧めしています。インテル Quartus Prime 開発ソフトウェアでは、I/O アサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの集積度、パッケージ、I/O アサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。

**表 24. HPS EMAC ピン(暫定)**

インテル Stratix 10 HPS 用には 2 つの EMAC コントローラー (EMAC0、EMAC1、および EMAC2) があります。

HPS ピン機能	ピンの説明と接続ガイドライン	ピンタイプ	有効なアサインメント
EMAC0_TX_CLK	EMAC0 Transmit Clock	出力	HPS_IOA_13
EMAC0_TX_CTL	EMAC0 Transmit Control	出力	HPS_IOA_14
EMAC0_RX_CLK	EMAC0 Receive Clock	入力	HPS_IOA_15
EMAC0_RX_CTL	EMAC0 Receive Control	入力	HPS_IOA_16
EMAC0_TXD0	EMAC0 Transmit Data Bit 0	出力	HPS_IOA_17
EMAC0_TXD1	EMAC0 Transmit Data Bit 1	出力	HPS_IOA_18
EMAC0_RXD0	EMAC0 Receive Data Bit 0	入力	HPS_IOA_19
EMAC0_RXD1	EMAC0 Receive Data Bit 1	入力	HPS_IOA_20

*continued...*



HPS ピン機能	ピンの説明と接続ガイドライン	ピンタイプ	有効なアサインメント
EMAC0_TXD2	EMAC0 Transmit Data Bit 2	出力	HPS_IOA_21
EMAC0_TXD3	EMAC0 Transmit Data Bit 3	出力	HPS_IOA_22
EMAC0_RXD2	EMAC0 Receive Data Bit 2	入力	HPS_IOA_23
EMAC0_RXD3	EMAC0 Receive Data Bit 3	入力	HPS_IOA_24
EMAC1_TX_CLK	EMAC1 Transmit Clock	出力	HPS_IOB_1
EMAC1_TX_CTL	EMAC1 Transmit Control	出力	HPS_IOB_2
EMAC1_RX_CLK	EMAC1 Receive Clock	入力	HPS_IOB_3
EMAC1_RX_CTL	EMAC1 Receive Control	入力	HPS_IOB_4
EMAC1_TXD0	EMAC1 Transmit Data Bit 0	出力	HPS_IOB_5
EMAC1_TXD1	EMAC1 Transmit Data Bit 1	出力	HPS_IOB_6
EMAC1_RXD0	EMAC1 Receive Data Bit 0	入力	HPS_IOB_7
EMAC1_RXD1	EMAC1 Receive Data Bit 1	入力	HPS_IOB_8
EMAC1_TXD2	EMAC1 Transmit Data Bit 2	出力	HPS_IOB_9
EMAC1_TXD3	EMAC1 Transmit Data Bit 3	出力	HPS_IOB_10
EMAC1_RXD2	EMAC1 Receive Data Bit 2	入力	HPS_IOB_11
EMAC1_RXD3	EMAC1 Receive Data Bit 3	入力	HPS_IOB_12
EMAC2_TX_CLK	EMAC2 Transmit Clock	出力	HPS_IOB_13
EMAC2_TX_CTL	EMAC2 Transmit Control	出力	HPS_IOB_14
EMAC2_RX_CLK	EMAC2 Receive Clock	入力	HPS_IOB_15
EMAC2_RX_CTL	EMAC2 Receive Control	入力	HPS_IOB_16
EMAC2_TXD0	EMAC2 Transmit Data Bit 0	出力	HPS_IOB_17
EMAC2_TXD1	EMAC2 Transmit Data Bit 1	出力	HPS_IOB_18
EMAC2_RXD0	EMAC2 Receive Data Bit 0	入力	HPS_IOB_19

*continued...*



HPS ピン機能	ピンの説明と接続ガイドライン	ピンタイプ	有効なアサインメント
EMAC2_RXD1	EMAC2 Receive Data Bit 1	入力	HPS_IOB_20
EMAC2_TXD2	EMAC2 Transmit Data Bit 2	出力	HPS_IOB_21
EMAC2_TXD3	EMAC2 Transmit Data Bit 3	出力	HPS_IOB_22
EMAC2_RXD2	EMAC2 Receive Data Bit 2	入力	HPS_IOB_23
EMAC2_RXD3	EMAC2 Receive Data Bit 3	入力	HPS_IOB_24

## HPS I2C\_EMAC および MDIO ピン

**注意:** インテルでは、インテル Quartus Prime デザインを作成し、デバイスの I/O アサインメントを入力し、デザインをコンパイルすることをお勧めしています。インテル Quartus Prime 開発ソフトウェアでは、I/O アサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの集積度、パッケージ、I/O アサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。

I2C インターフェイスとして、または EMAC 用の MDIO ピンとして使用できる I2C\_EMAC インターフェイスは 3 セットあります。I2C\_EMAC および MDIO モジュールは、対応する EMAC インターフェイスとの併用が必要であることに注意してください。たとえば、EMAC0 で I2C\_EMAC0\_SDA および I2C\_EMAC0\_SCL または MDIO0\_MDIO および MDIO0\_MDC のいずれかを使用します。

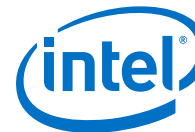
I2C プロトコルが正しく機能するためには、シリアルデータとシリアルクロック信号の両方に VCCIO\_HPS へのプルアップ抵抗が必要です。プルアップ抵抗の値はボードの負荷によって異なりますが、通常は 4.7 kΩ 以下です。

一般的に、MDIO ピンは、4.7 kΩ - 1.0 kΩ の範囲で VCCIO\_HPS に外部プルアップ抵抗を必要とします。

表 25. HPS I2C\_EMAC および MDIO ピン(暫定)

HPS ピン機能	ピンの説明と接続ガイドライン	ピンタイプ	有効なアサインメント(いずれかのグループから選択)		
			グループ 1	グループ 2	グループ 3
I2C_EMAC2_SDA	I2C EMAC2 Serial Data	I/O	HPS_IOA_7	HPS_IOB_9	HPS_IOB_21
I2C_EMAC2_SCL	I2C EMAC2 Serial Clock	I/O	HPS_IOA_8	HPS_IOB_10	HPS_IOB_22
I2C_EMAC1_SDA	I2C EMAC1 Serial Data	I/O	HPS_IOA_9	HPS_IOB_19	—
I2C_EMAC1_SCL	I2C EMAC1 Serial Clock	I/O	HPS_IOA_10	HPS_IOB_20	—

*continued...*



HPS ピン機能	ピンの説明と接続ガイドライン	ピンタイプ	有効なアサインメント(いずれかのグループから選択)		
			グループ 1	グループ 2	グループ 3
I2C_EMAC0_SDA	I2C EMAC0 Serial Data	I/O	HPS_IOA_11	HPS_IOB_11	HPS_IOB_23
I2C_EMAC0_SCL	I2C EMAC0 Serial Clock	I/O	HPS_IOA_12	HPS_IOB_12	HPS_IOB_24
MDIO2_MDIO	EMAC2 MDIO	I/O	HPS_IOA_7	HPS_IOB_9	—
MDIO2_MDC	EMAC2 MDC	出力	HPS_IOA_8	HPS_IOB_10	—
MDIO1_MDIO	EMAC1 MDIO	I/O	HPS_IOA_9	HPS_IOB_19	—
MDIO1_MDC	EMAC1 MDC	出力	HPS_IOA_10	HPS_IOB_20	—
MDIO0_MDIO	EMAC0 MDIO	I/O	HPS_IOA_11	HPS_IOB_11	HPS_IOB_23
MDIO0_MDC	EMAC0 MDC	出力	HPS_IOA_12	HPS_IOB_12	HPS_IOB_24

## HPS I2C ピン

**注意:** インテルでは、インテル Quartus Prime デザインを作成し、デバイスの I/O アサインメントを入力し、デザインをコンパイルすることをお勧めしています。インテル Quartus Prime 開発ソフトウェアでは、I/O アサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの集積度、パッケージ、I/O アサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。

3 つの I2C\_EMAC コントローラーのほかに、インテル Stratix 10 HPS での I2C 専用 I2C コントローラー(I2C0 と I2C1)が 2 つあります。

I2C プロトコルが正しく機能するためには、シリアルデータとシリアルクロック信号の両方に VCCIO\_HPS へのプルアップ抵抗が必要です。プルアップ抵抗の値はボードの負荷によって異なりますが、通常は 4.7 kΩ 以下です。

表 26. HPS I2C ピン(暫定)

HPS ピン機能	ピンの説明と接続ガイドライン	ピンタイプ	有効なアサインメント(いずれかのグループから選択)			
			グループ 1	グループ 2	グループ 3	グループ 4
I2C0 _SDA	I2C0 Serial Data	I/O	HPS_IOA_5	HPS_IOA_23	HPS_IOB_3	—
I2C0 _SCL	I2C0 Serial Clock	I/O	HPS_IOA_6	HPS_IOA_24	HPS_IOB_4	—
I2C1 _SDA	I2C1 Serial Data	I/O	HPS_IOA_3	HPS_IOA_21	HPS_IOB_7	HPS_IOB_13
I2C1 _SCL	I2C1 Serial Clock	I/O	HPS_IOA_4	HPS_IOA_22	HPS_IOB_8	HPS_IOB_14

## HPS SPI ピン

**注意:** インテルでは、インテル Quartus Prime デザインを作成し、デバイスの I/O アサインメントを入力し、デザインをコンパイルすることをお勧めしています。インテル Quartus Prime 開発ソフトウェアでは、I/O アサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの集積度、パッケージ、I/O アサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。

表 27. HPS SPI ピン(暫定)

インテル Stratix 10 HPS 用には、2 つの SPI マスター (SPIM0 と SPIM1) と 2 つの SPI スレーブ (SPIS0 と SPIS1) コントローラーがあります。

HPS ピン機能	ピンの説明と接続ガイドライン	ピンタイプ	有効なアサインメント(いずれかのグループから選択)		
			グループ 1	グループ 2	グループ 3
SPIM0_CLK	SPIM0 Clock	出力	HPS_IOA_5	HPS_IOB_21	HPS_IOB_21
SPIM0_MOSI	SPIM0 Master Out Slave In	出力	HPS_IOA_6	HPS_IOB_22	HPS_IOB_22
SPIM0_MISO	SPIM0 Master In Slave Out	入力	HPS_IOA_7	HPS_IOB_19	HPS_IOB_23
SPIM0_SS0_N	SPIM0 Slave Select 0 インテル Stratix 10 SX ピン 接続ガイドラインの注記 11 を 参照してください。	出力	HPS_IOA_8	HPS_IOB_20	HPS_IOB_24
SPIM0_SS1_N	SPIM0 Slave Select 1 インテル Stratix 10 SX ピン 接続ガイドラインの注記 11 を 参照してください。	出力	HPS_IOA_1	HPS_IOB_18	HPS_IOB_18

*continued...*





HPS ピン機能	ピンの説明と接続ガイドライン	ピンタイプ	有効なアサインメント(いずれかのグループから選択)		
			グループ 1	グループ 2	グループ 3
SPIM1_CLK	SPIM1 Clock	出力	HPS_IOA_9	HPS_IOA_21	HPS_IOB_1
SPIM1_MOSI	SPIM1 Master Out Slave In	出力	HPS_IOA_10	HPS_IOA_22	HPS_IOB_2
SPIM1_MISO	SPIM1 Master In Slave Out	入力	HPS_IOA_11	HPS_IOA_23	HPS_IOB_3
SPIM1_SS0_N	SPIM1 Slave Select 0 インテル Stratix 10 SX ピン 接続ガイドラインの注記 11 を 参照してください。	出力	HPS_IOA_12	HPS_IOA_24	HPS_IOB_4
SPIM1_SS1_N	SPIM1 Slave Select 1 インテル Stratix 10 SX ピン 接続ガイドラインの注記 11 を 参照してください。	出力	HPS_IOA_2	HPS_IOA_20	HPS_IOB_5
SPIS0_CLK	SPIS0 Clock	入力	HPS_IOA_1	HPS_IOA_21	HPS_IOB_9
SPIS0_MOSI	SPIS0 Master Out Slave In	入力	HPS_IOA_2	HPS_IOA_22	HPS_IOB_10
SPIS0_MISO	SPIS0 Master In Slave Out	出力	HPS_IOA_4	HPS_IOA_24	HPS_IOB_12
SPIS0_SS0_N	SPIS0 Slave Select 0 インテル Stratix 10 SX ピン 接続ガイドラインの注記 11 を 参照してください。	入力	HPS_IOA_3	HPS_IOA_23	HPS_IOB_11
SPIS1_CLK	SPIS1 Clock	入力	HPS_IOA_9	HPS_IOB_5	HPS_IOB_21
SPIS1_MOSI	SPIS1 Master Out Slave In	入力	HPS_IOA_10	HPS_IOB_6	HPS_IOB_22
SPIS1_MISO	SPIS1 Master In Slave Out	出力	HPS_IOA_12	HPS_IOB_8	HPS_IOB_23
SPIS1_SS0_N	SPIS1 Slave Select 0 インテル Stratix 10 SX ピン 接続ガイドラインの注記 11 を 参照してください。	入力	HPS_IOA_11	HPS_IOB_7	HPS_IOB_24



## HPS UART ピン

**注意:** インテルでは、インテル Quartus Prime デザインを作成し、デバイスの I/O アサインメントを入力し、デザインをコンパイルすることをお勧めしています。インテル Quartus Prime 開発ソフトウェアでは、I/O アサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの集積度、パッケージ、I/O アサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。

**表 28. HPS UART ピン(暫定)**

インテル Stratix 10 HPS 用には 2 つの UART コントローラー (UART0 および UART1) があります。

HPS ピン機能	ピンの説明と接続ガイドライン	ピンタイプ	有効なアサインメント(いずれかのグループから選択)		
			グループ 1	グループ 2	グループ 3
UART0_CTS_N	UART0 Clear to Send インテル Stratix 10 SX ピン 接続ガイドラインの注記 11 を 参照してください。	入力	HPS_IOA_1	HPS_IOA_21	HPS_IOB_1
UART0_RTS_N	UART0 Request to Send インテル Stratix 10 SX ピン 接続ガイドラインの注記 11 を 参照してください。	出力	HPS_IOA_2	HPS_IOA_22	HPS_IOB_2
UART0_TX	UART0 Transmit	出力	HPS_IOA_3	HPS_IOA_23	HPS_IOB_3
UART0_RX	UART0 Receive	入力	HPS_IOA_4	HPS_IOA_24	HPS_IOB_4
UART1_CTS_N	UART1 Clear to Send インテル Stratix 10 SX ピン 接続ガイドラインの注記 11 を 参照してください。	入力	HPS_IOA_5	HPS_IOB_5	HPS_IOB_17
UART1_RTS_N	UART1 Request to Send インテル Stratix 10 SX ピン 接続ガイドラインの注記 11 を 参照してください。	出力	HPS_IOA_6	HPS_IOB_6	HPS_IOB_18
UART1_TX	UART1 Transmit	出力	HPS_IOA_7	HPS_IOB_7	HPS_IOB_15
UART1_RX	UART1 Receive	入力	HPS_IOA_8	HPS_IOB_8	HPS_IOB_16



## HPS Trace ピン

**注意:** インテルでは、インテル Quartus Prime デザインを作成し、デバイスの I/O アサインメントを入力し、デザインをコンパイルすることをお勧めしています。インテル Quartus Prime 開発ソフトウェアでは、I/O アサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの集積度、パッケージ、I/O アサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。

**表 29. HPS Trace ピン(暫定)**

最大 16 個のトレース出力ピンを インテル Stratix 10 HPS で選択できます。これらのピンは、同じ象限に配置する必要はありません。

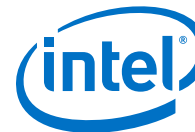
HPS ピン機能	ピンの説明と接続ガイドライン	ピンタイプ	有効なアサインメント
TRACE_CLK	Trace Clock	出力	HPS_IOA_20
			HPS_IOB_20
Trace_D0	Trace Data 0	出力	HPS_IOA_21
			HPS_IOB_21
Trace_D1	Trace Data 1	出力	HPS_IOA_22
			HPS_IOB_22
Trace_D2	Trace Data 2	出力	HPS_IOA_23
			HPS_IOB_23
Trace_D3	Trace Data 3	出力	HPS_IOA_24
			HPS_IOB_24
Trace_D4	Trace Data 4	出力	HPS_IOA_19
			HPS_IOA_7
			HPS_IOB_19
			HPS_IOB_7
Trace_D5	Trace Data 5	出力	HPS_IOA_18
			HPS_IOA_6
			HPS_IOB_18
			HPS_IOB_6

*continued...*



HPS ピン機能	ピンの説明と接続ガイドライン	ピンタイプ	有効なアサインメント
Trace_D6	Trace Data 6	出力	HPS_IOA_17
			HPS_IOA_5
			HPS_IOB_17
			HPS_IOB_5
Trace_D7	Trace Data 7	出力	HPS_IOA_16
			HPS_IOA_4
			HPS_IOB_16
			HPS_IOB_4
Trace_D8	Trace Data 8	出力	HPS_IOA_15
			HPS_IOA_3
			HPS_IOB_15
			HPS_IOB_3
Trace_D9	Trace Data 9	出力	HPS_IOA_14
			HPS_IOA_2
			HPS_IOB_14
			HPS_IOB_2
Trace_D10	Trace Data 10	出力	HPS_IOA_13
			HPS_IOA_1
			HPS_IOB_13
			HPS_IOB_1
Trace_D11	Trace Data 11	出力	HPS_IOA_12
			HPS_IOB_12
Trace_D12	Trace Data 12	出力	HPS_IOA_11
			HPS_IOB_11
Trace_D13	Trace Data 13	出力	HPS_IOA_10

*continued...*



HPS ピン機能	ピンの説明と接続ガイドライン	ピンタイプ	有効なアサインメント
			HPS_IOB_10
Trace_D14	Trace Data 14	出力	HPS_IOA_9 HPS_IOB_9
Trace_D15	Trace Data 15	出力	HPS_IOA_8 HPS_IOB_8

## インテル Stratix 10 SX ピン接続ガイドラインの注記

**注意:** インテルでは、インテル Quartus Prime デザインを作成し、デバイスの I/O アサインメントを入力し、デザインをコンパイルすることをお勧めしています。インテル Quartus Prime 開発ソフトウェアでは、I/O アサインメントと配置のルールに従ってピン接続をチェックします。そのルールはデバイスごとに異なり、デバイスの集積度、パッケージ、I/O アサインメント、電圧アサインメントのほか、このドキュメントまたはデバイスのハンドブックに完全には記載されていない要因に基づきます。

インテルで提供しているこれらのガイドラインは推奨事項です。設計者の責任において、デバイス機能検証のシミュレーション結果をデザインに適用してください。

- これらのピン接続ガイドラインは、インテル Stratix 10 SX デバイスバリエーションに基づいて作成されています。
- 電源容量値を選択する前に、デカップリングされている特定の回路の動作周波数に対して必要な電力量を検討します。電源プレーンの目標インピーダンスの計算を、デバイス/電源の消費電流と電圧降下の要件に基づいて行います。次に、電源プレーンのデカップリングを適切な数のコンデンサーを使って行います。オンボード・コンデンサーは、100 MHz を超えてデカップリングすることはありません。これは、パッケージ実装の「等価直列インダクタンス」に起因します。高周波デカップリング用に低インダクタンスのプレーン間容量などの、適切な基板デザイン手法を検討してください。PDN ツールを参照してください。
- インテル Stratix 10 Early Power Estimator (EPE) を使用して、VCC およびその他の電源の暫定電流要件を決定してください。インテル Quartus Prime Power Analyzer を使用して、この電源供給およびその他の電源供給用の最も正確な電流要件を満たしてください。
- これらの電源では、複数の インテル Stratix 10 デバイス間で電源プレーンを共有できます。
- 電源ピンでは BGA からのブレイクアウト・ピアを共有しないでください。BGA 上の各ボールには、専用のブレイクアウト・ピアが必要です。
- 低ノイズ・スイッチング・レギュレーター - 薄型表面実装パッケージに封入されたスイッチング・レギュレーター回路として定義され、スイッチ・コントローラー、パワー FET、インダクター、およびその他のサポート部品を含んでいます。スイッチング周波数は通常 800 kHz から 1 MHz の間で、高速過渡応答を示します。スイッチング周波数範囲はインテルによる要件ではありません。
- インテル Stratix 10 デバイスのモジュラー I/O バンクの数、デバイス集積度によって異なります。特定のデバイスで利用可能なインデックスについては、インテル *Stratix 10 General Purpose I/O User Guide* の I/O バンクの項を参照してください。

8. AC 結合リンクの場合、AC 結合コンデンサーはチャンネルに沿ってどこにでも配置できます。PCI Express プロトコルでは、AC カップリング・コンデンサーをインターフェイスのトランスミッター側に配置する必要があります。これによりアダプターの脱着が可能になります。
9. [#] については、ピン配置図はデバイスのピン配置表を参照してください。
10. パリフェラル・ピンはピン・マルチプレクサを介してプログラム可能です。各ピンでは複数の機能を持つことができます。HPS および SDM 専用の I/O ピン多重化は、Quartus Prime ソフトウェアを使用してプログラム可能です。ピン・マルチプレクサはピンの使用方法を決定します。
11. これらのピンは反転またはアクティブロー信号です。
12. 例 3 から例 6 に インテル Stratix 10 SX デバイスの電源共有のガイドラインを示します。

## インテル Stratix 10 デバイスの電源共有ガイドライン

インテル Stratix 10 デバイスには特定のパワーアップおよびパワーダウンのシーケンス要件があります。詳細については、AN692: インテル Cyclone® 10 GX、インテル Arria® 10、そしてインテル Stratix 10 デバイスの電源シーケンスについての考慮事項およびインテル Stratix 10 電源管理ユーザーガイドを参照してください。

### 関連情報

- AN 692: インテル Cyclone 10 GX、インテル Arria 10、およびインテル Stratix 10 デバイスの電源シーケンスについての考慮事項
- インテル Stratix 10 パワー・マネジメント・ユーザーガイド

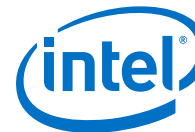
## 例 1 - インテル Stratix 10 GX

表 30. インテル Stratix 10GX の電源共有ガイドライン (トランシーバー・データ・レート <= 15 Gbps) (暫定)

5つのパワー・レギュレーターを必要とする例

電源ピン名	レギュレーターのグループ	電圧レベル(V)	電源許容範囲	電源	レギュレーターの共有	注
VCC	1	0.8	±30 mV	スイッチャー (*)	共有	VCCとVCCPは、同じ電圧プレーンを共有している同じレギュレーターから調達してください。
VCCP		0.85 SmartVID				
VCCERAM	2	0.9	±30 mV	スイッチャー (*)	共有	VCCERAMを専用の0.9V電源に接続してください。適切なアイソレーション・フィルタリングを使用して、VCCPLLDIG_SDM電源をVCCERAM電源プレーンに接続することができます。
VCCPLLDIG_SDM					フィルター	

continued...



電源ピン名	レギュレーターのグループ	電圧レベル(V)	電源許容範囲	電源	レギュレーターの共有	注
						フィルター電源のトポロジを実装する場合には、フィルターにまたがる IR ドロップについて考慮してください。
VCCR_GXB[L,R] VCCT_GXB[L,R]	3	1.03	±30 mV	スイッチャー (*)	共有	すべての電源レールに同じ電圧レベルが必要な場合は、VCCR_GXB と VCCT_GXB を同じレギュレーターから調達することもできます。性能を向上させ、PCIe Gen 3 のジッター仕様を満たすには、1 MHz - 100 MHz の帯域幅に対して最低でも 30 dB のアイソレーションで VCCR_GXB と VCCT_GXB を互いにアイソレートしてください。VCCR_GXB と VCCT_GXB の電圧供給は、L タイルデバイスか H タイルデバイスか、また各タイルのチャンネルのコンフィグレーション (非結合チャンネルか結合チャンネルか) によって異なります。特定の使用例での電圧要件についての詳細は、インテル Stratix 10 デバイス・データシートを参照してください。
VCCPT	4	1.8	±5% (**)	スイッチャー (*)	1.8 V の場合は共有	VCCPT と VCCIO_SDM を同じレギュレーターから調達することができます。これらの電源レールの電圧レベルが同じ場合は、VCCIO、VCCIO3V、および VCCBAT を同じ電源プレーンに接続できます。適切なアイソレーション・フィルターを使用して、VCCH_GXB、VCCA_PLL、VCCPLL_SDM、および VCCADC を同じ電源プレーンに接続することもできます。レギュレーターの能力に応じて、この供給を複数の インテル Stratix 10 デバイスで共有することができます。フィルター電源のトポロジを実装する場合には、フィルターにまたがる IR ドロップについて考慮してください。
VCCIO_SDM		1.8				
VCCIO		製品により異なる				
VCCIO3V		製品により異なる				
VCCBAT		製品により異なる				
VCCH_GXB[L,R]		1.8			フィルター	
VCCA_PLL		1.8				
VCCPLL_SDM		1.8				
VCCADC		1.8				
VCCFUSEWR_SDM	5	2.4	±50 mV	スイッチャー (*)	分離	SDM ヒューズに書き込む必要がある場合は、VCCFUSEWR_SDM を専用の 2.4 V 電源に接続してください。SDM ヒューズに書き込む必要がない場合は、VCCFUSEWR_SDM を未接続のままにするか、VCCPT 1.8 V 電源に接続します。このピンを GND に接続しないでください。



(\* ) スイッチャーを使用してこれらの電圧を供給する場合は、インテル Stratix 10 GX ピン接続ガイドラインへの注記の 7 で定義されているように (\* )、スイッチャーは低ノイズのスイッチャーでなければなりません。

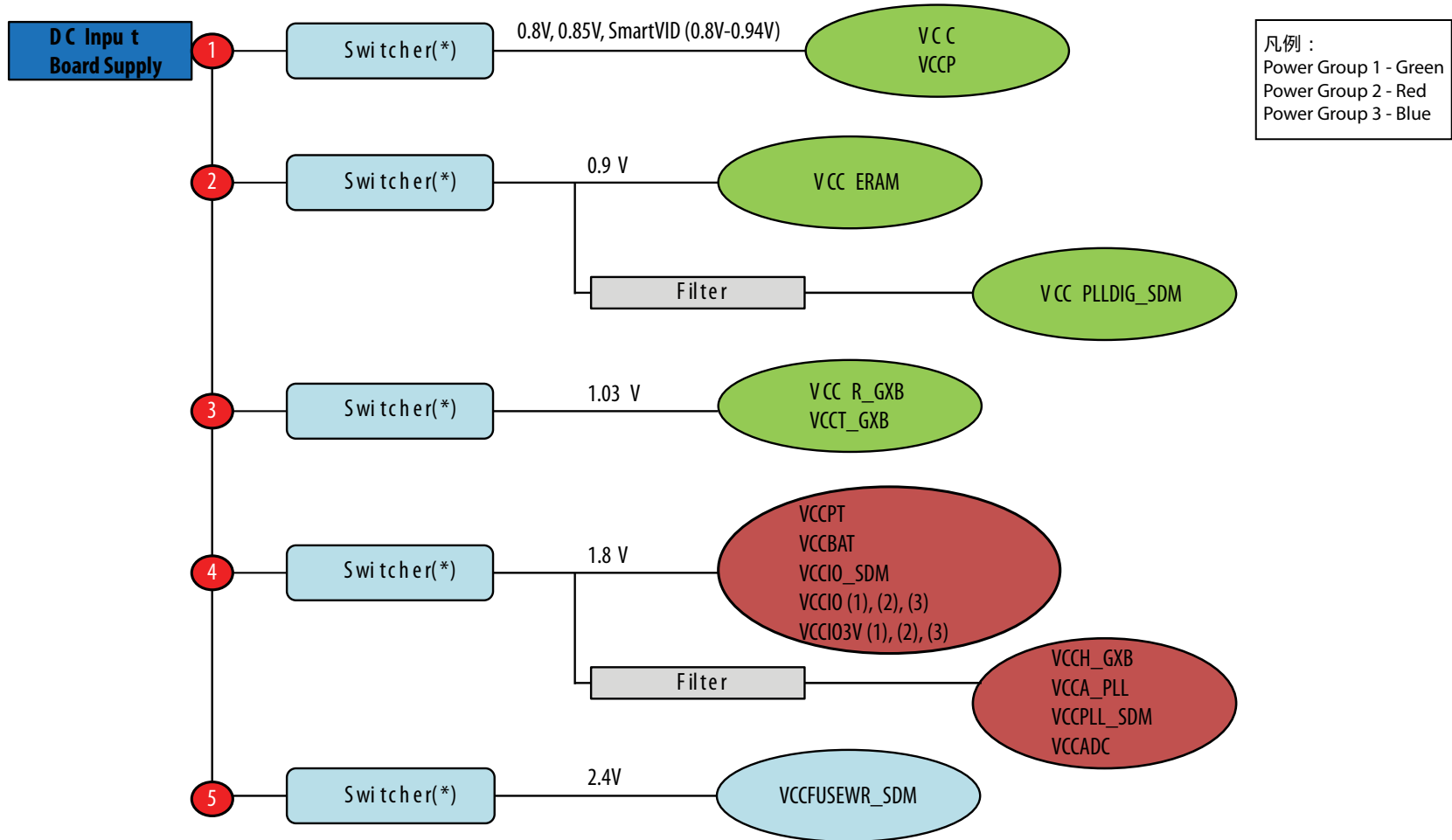
(\*\* ) VCCIO 電源装置でサポートされている許容誤差は、I/O 規格によって異なります。詳細については、インテル Stratix 10 デバイス・データシートの I/O 規格の仕様を参照してください。EPE (Early Power Estimator) および インテル Quartus PrimePower Analyzer ツールを使用して、特定のデザインに必要な電力を決定するのに役立ててください。

各ボードのデザインでは、特定のボードデザイン要件を満たすために必要な電力レギュレーターを決定するため、独自の電力解析を必要とします。インテル Stratix 10 GX デバイスを使用したブロック図の例を図 1 に示します。

各電源レールの電圧レベルは暫定です。



図 -1: インテル Stratix 10 GX の電源共有ガイドライン (トランシーバー・データ・レート <= 15 Gbps) (暫定)



- 注:
- (1) VCCIO および VCCIO3V バンクは、1.8 V の場合はすべて、Group 2 の電源レールと同じ 1.8 V レギュレーターを共有できます。
  - (2) VCCIO および VCCIO3V バンクは、1.8 V かつ別のレギュレーターから駆動される場合はすべて、Group 3 の電源レールにある必要があります。
  - (3) VCCIO および VCCIO3V バンクは、1.8 V 以外の場合はすべて、Group 3 の電源レールにある必要があります。
  - (4) V デバイスを使用する場合は、デバイスと VCC 電圧レギュレーター間の SmartVID 接続を有効にする必要があります。
- 詳細については、PWRMGT\_SCL、PWRMGT\_SDA、および PWRMGT\_ALERT ピン機能の接続ガイドラインを参照してください。

## 例 2 - インテル Stratix 10 GX

表 31. インテル Stratix 10 GX の電源共有ガイドライン (トランシーバー・データ・レート ≤ 28.3 Gbps) (暫定)

6 つのパワー・レギュレーターを必要とする例

電源ピン名	レギュレーターのグループ	電圧レベル(V)	電源許容範囲	電源	レギュレーターの共有	注
VCC	1	0.8 0.85 SmartVID	±30 mV	スイッチャー (*)	共有	VCCとVCCPは、同じ電圧プレーンを共有している同じレギュレーターから調達してください。
VCCP						
VCCERAM	2	0.9	±30 mV	スイッチャー (*)	分離	VCCERAMを専用の0.9V電源に接続してください。適切なアイソレーション・フィルタリングを使用して、VCCPLLDIG_SDM電源をVCCERAM電源プレーンに接続することができます。フィルタ電源のトポロジーを実装する場合には、フィルタにまたがるIRドロップについて考慮してください。
VCCPLLDIG_SDM					フィルター	
VCCR_GXB[L,R]	3	1.12	±20 mV	スイッチャー (*)	分離	VCCR_GXBは、専用の1.12V電源に接続します。VCCR_GXBとVCCT_GXBの電圧供給は、LタイルデバイスかHタイルデバイスか、また各タイルのチャンネルのコンフィグレーション(非結合チャンネルか結合チャンネルか)によって異なります。特定の使用例での電圧要件についての詳細は、インテル Stratix 10 デバイス・データシートを参照してください。
VCCT_GXB[L,R]	4	1.12	±20 mV	スイッチャー (*)	分離	VCCR_GXBは、専用の1.12V電源に接続します。VCCR_GXBとVCCT_GXBの電圧供給は、LタイルデバイスかHタイルデバイスか、また各タイルのチャンネルのコンフィグレーション(非結合チャンネルか結合チャンネルか)によって異なります。特定の使用例での電圧要件についての詳細は、インテル Stratix 10 デバイス・データシートを参照してください。

continued...



電源ピン名	レギュレーターのグループ	電圧レベル(V)	電源許容範囲	電源	レギュレーターの共有	注
VCCPT	5	1.8	±5% (**)	スイッチャー (*)	1.8 V の場合は共有	VCCPT と VCCIO_SDM を同じレギュレーターから調達することができます。これらの電源レールの電圧レベルが同じ場合は、VCCIO、VCCIO3V、および VCCBAT を同じ電源プレーンに接続できます。適切なアイソレーション・フィルタを使用して、VCCH_GXB、VCCA_PLL、VCCPLL_SDM、および VCCADC を同じ電源プレーンに接続することもできます。レギュレーターの能力に応じて、この供給を複数の インテル Stratix 10 デバイスで共有することができます。フィルタ電源のトポロジーを実装する場合には、フィルタにまたがる IR ドロップについて考慮してください。
VCCIO_SDM		1.8				
VCCIO		製品により異なる				
VCCIO3V		製品により異なる				
VCCBAT		製品により異なる				
VCCH_GXB[L, R]		1.8			フィルター	
VCCA_PLL		1.8				
VCCPLL_SDM		1.8				
VCCADC		1.8				
VCCFUSEWR_SDM		6				

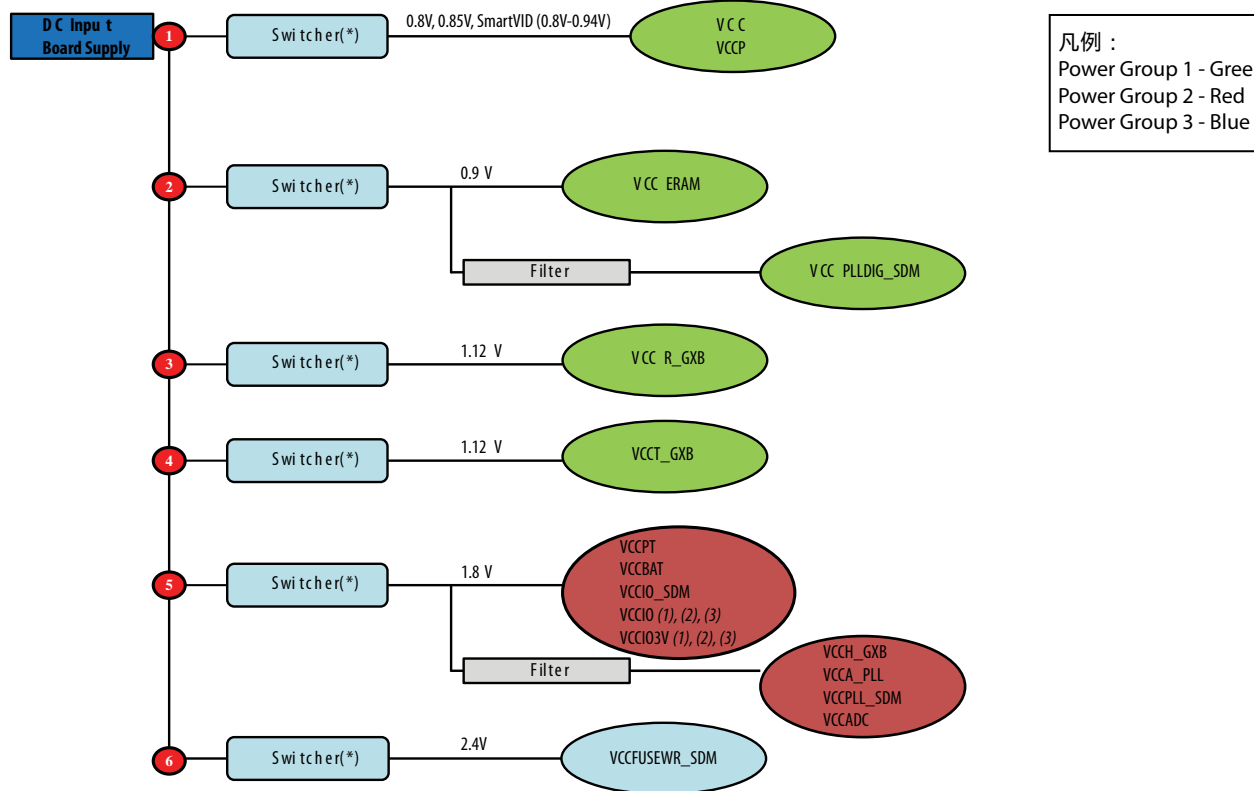
(\*)スイッチャーを使用してこれらの電圧を供給する場合は、インテル Stratix 10 GX ピン接続ガイドラインへの注記の注記 7 で定義されているように、スイッチャーは低ノイズのスイッチャーでなければなりません。

(\*\*)VCCIO 電源装置でサポートされている許容誤差は、I/O 規格によって異なります。詳細については、インテル Stratix 10 デバイス・データシートの I/O 規格の仕様を参照してください。EPE (Early Power Estimator) および インテル Quartus PrimePower Analyzer ツールを使用して、特定のデザインに必要な電力を決定するのに役立ててください。

各ボードのデザインでは、特定のボードデザイン要件を満たすのに必要な電力レギュレーターを決定するため、独自の電力解析を必要とします。インテル Stratix 10 GX デバイスを使用したブロック図の例を図 2 に示します。

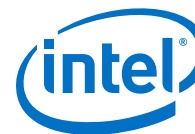
各電源レールの電圧レベルは暫定です。

図 -2: インテル Stratix 10 GX の電源共有ガイドライン (15 Gbps < トランシーバー・データ・レート ≤ 28.3 Gbps) (暫定)



注:

- (1) VCCIO および VCCIO3V バンクは、1.8 V の場合はすべて、Group 2 の電源レールと同じ 1.8 V レギュレーターを共有できます。
- (2) VCCIO および VCCIO3V バンクは、1.8 V かつ別のレギュレーターから駆動される場合はすべて、Group 3 の電源レールにある必要があります。
- (3) VCCIO および VCCIO3V バンクは、1.8 V 以外の場合はすべて、Group 3 の電源レールにある必要があります。
- (4) V デバイスを使用する場合は、デバイスと VCC 電圧レギュレーター間の SmartVID 接続を有効にする必要があります。詳細については、PWRMGT\_SCL、PWRMGT\_SDA、および PWRMGT\_ALERT ピン機能の接続ガイドラインを参照してください。



### 例 3 - インテル Stratix 10 SX(-1V、-2V、および-3V 部品)

表 32. インテル Stratix 10 SX (-1V、-2V、および-3V 部品)の電源共有ガイドライン (トランシーバー・データ・レート <= 15 Gbps) (暫定)

5つのパワー・レギュレーターを必要とする例

電源ピン名	レギュレーターのグループ	電圧レベル(V)	電源許容範囲	電源	レギュレーターの共有	注
VCC	1	SmartVID	±30 mV	スイッチャー (*)	共有	<p>VCCとVCCPは、同じ電圧プレーンを共有している同じレギュレーターから調達してください。電源レールに同じ電圧レベルが必要な場合は、VCCL_HPSをVCCおよびVCCPと同じレギュレーターに接続することもできます。適切なアイソレーション・フィルタリングを使用して、VCCPLLDIG_HPS電源を共有VCC、VCCP、およびVCCL_HPS電源プレーンに接続することもできます。</p> <p>フィルター電源のトポロジーを実装する場合には、フィルターにまたがるIRドロップについて考慮してください。</p> <p>インテル Stratix 10 SX デバイスでHPSを利用するつもりがない場合でも、HPS電源に電力を供給する必要があります。VCCL_HPSおよびVCCPLLDIG_HPSをフローティングにしたり、GNDに接続したりしないでください。</p>
VCCP					フィルター	
VCCL_HPS						
VCCPLLDIG_HPS						
VCCERAM	2	0.9	±30 mV	スイッチャー (*)	分離	<p>VCCERAMを専用の0.9V電源に接続してください。適切なアイソレーション・フィルタリングを使用して、VCCPLLDIG_SDM電源をVCCERAM電源プレーンに接続することができます。</p> <p>フィルター電源のトポロジーを実装する場合には、フィルターにまたがるIRドロップについて考慮してください。</p>
VCCPLLDIG_SDM					フィルター	
VCCR_GXB[L,R]	3	1.03	±30 mV	スイッチャー (*)	共有	<p>すべての電源レールに同じ電圧レベルが必要な場合は、VCCR_GXBとVCCT_GXBを同じレギュレーターから調達することもできます。性能を向上させ、PCIe Gen 3のジッター仕様を満たすには、1 MHz - 100 MHzの帯域幅に対して最低でも30 dBのアイソレーションでVCCR_GXBとVCCT_GXBを互いにアイソレートしてください。</p>
VCCT_GXB[L,R]						

continued...



電源ピン名	レギュレーターのグループ	電圧レベル(V)	電源許容範囲	電源	レギュレーターの共有	注
						VCCR_GXBとVCCT_GXBの電圧供給は、L タイルデバイスか H タイルデバイスか、また各タイルのチャンネルのコンフィグレーション(非結合チャンネルか結合チャンネルか)によって異なります。特定の使用例での電圧要件についての詳細は、インテル Stratix 10 デバイス・データシートを参照してください。
VCCPT	4	1.8	±5% (**)	スイッチャー (*)	1.8 V の場合は共有	VCCPTとVCCIO_SDMを同じレギュレーターから調達することができます。これらの電源レールの電圧レベルが同じ場合は、VCCIO、VCCIO3V、VCCIO_HPS、およびVCCBATを同じ電源プレーンに接続できます。適切なアイソレーション・フィルターを使用して、VCCH_GXB、VCCA_PLL、VCCPLL_SDM、VCCIO_HPS、およびVCCADCを同じ電源プレーンに接続することもできます。レギュレーターの能力に応じて、この供給を複数のインテル Stratix 10 デバイスで共有することができます。
VCCIO_SDM		1.8				
VCCIO		製品により異なる				
VCCIO3V		製品により異なる				
VCCIO_HPS		1.8				
VCCBAT		製品により異なる				
VCCH_GXB[L,R]		1.8				
VCCA_PLL		1.8				
VCCPLL_SDM		1.8				
VCCPLL_HPS		1.8				
VCCADC		1.8				
					フィルター	フィルター電源のトポロジーを実装する場合には、フィルターにまたがるIRドロップについて考慮してください。 インテル Stratix 10 SX デバイスでHPSを利用するつもりがない場合でも、HPS電源に電力を供給する必要があります。VCCCL_HPSおよびVCCPLLDIG_HPSをフローティングにしたり、GNDに接続したりしないでください。
VCCFUSEWR_SDM	5	2.4	±50 mV	スイッチャー (*)	分離	SDMヒューズに書き込む必要がある場合は、VCCFUSEWR_SDMを専用の2.4 V電源に接続してください。SDMヒューズに書き込む必要がない場合は、VCCFUSEWR_SDMを未接続のままにするか、VCCPT 1.8 V電源に接続します。このピンをGNDに接続しないでください。

(\*)スイッチャーを使用してこれらの電圧を供給する場合は、インテル Stratix 10 SX ピン接続ガイドラインへの注記の注記 6 で定義されているように、スイッチャーは低ノイズのスイッチャーでなければなりません。

(\*\*)VCCIO 電源装置でサポートされている許容誤差は、I/O 規格によって異なります。詳細については、インテル Stratix 10 デバイス・データシートの I/O 規格の仕様を参照してください。EPE (Early Power Estimator) および インテル Quartus PrimePower Analyzer ツールを使用して、特定のデザインに必要な電力を決定するのに役立ててください。

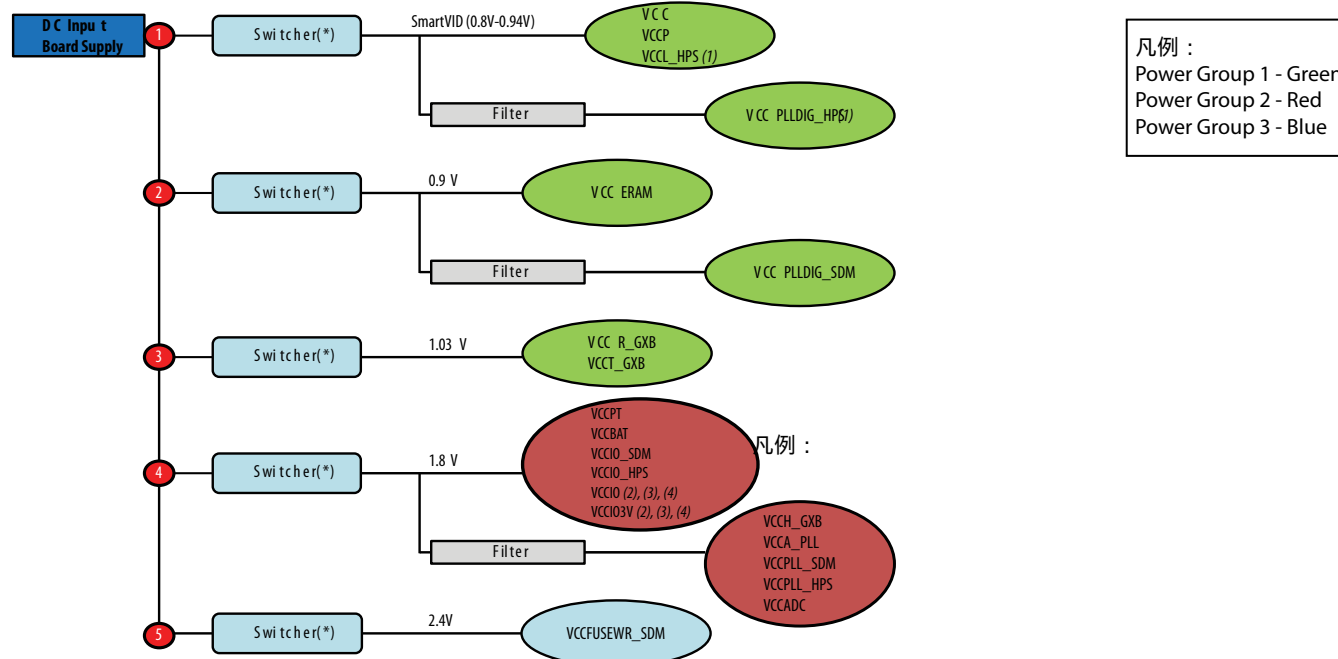


各ボードのデザインでは、特定のボードデザイン要件を満たすのに必要な電力レギュレーターを決定するため、独自の電力解析を必要とします。インテル Stratix 10 SX デバイスを使用したブロック図の例を図 3 に示します。

各電源レールの電圧レベルは暫定です。



図 -3: インテル Stratix 10 SX(-1V,-2V,および-3V 部品)の電源共有ガイドライン (トランシーバー・データ・レート <= 15 Gbps) (暫定)



注:

- (1) VCCL\_HPS と VCCPLLDIG\_HPS は、より高い性能のために 0.94 V で動作できます。この場合、これらの電圧は、専用の電圧レギュレーターから実行する必要があります。必要に応じて、VCCL\_HPS と VCCPLLDIG\_HPS を固定の 0.9 V に接続できます。VCCL\_HPS と VCCPLLDIG\_HPS を 0.9 V に接続している場合は、同じ電源レギュレーターを VCCERAM と共有できます。
- (2) VCCIO および VCCIO3V バンクは、1.8 V の場合はすべて、Group 2 の電源レールと同じ 1.8 V レギュレーターを共有できます。
- (3) VCCIO および VCCIO3V バンクは、1.8 V かつ別のレギュレーターから駆動される場合はすべて、Group 3 の電源レールにある必要があります。
- (4) VCCIO および VCCIO3V バンクは、1.8 V 以外の場合はすべて、Group 3 の電源レールにある必要があります。
- (5) V デバイスを使用する場合は、デバイスと VCC 電圧レギュレーター間の SmartVID 接続を有効にする必要があります。詳細については、PWRMGT\_SCL、PWRMGT\_SDA、および PWRMGT\_ALERT ピン機能の接続ガイドラインを参照してください。



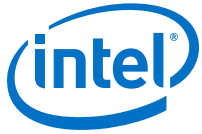
## 例 4 - インテル Stratix 10 SX(-1V、-2V、および-3V 部品)

表 33. インテル Stratix 10 SX(-1V、-2V、および-3V 部品)の電源共有ガイドライン (トランシーバー・データ・レート <= 15 Gbps) (暫定)

5つのパワー・レギュレーターを必要とする例

電源ピン名	レギュレーターのグループ	電圧レベル (V)	電源許容範囲	電源	レギュレーターの共有	注
VCC	1	0.8 0.85	±30 mV	スイッチャー (*)	共有	VCCとVCCPは、同じ電圧プレーンを共有している同じレギュレーターから調達してください。フィルター電源のトポロジーを実装する場合には、フィルターにまたがるIRドロップについて考慮してください。
VCCP						
VCCERAM	2	0.9	±30 mV	スイッチャー (*)	共有	VCCERAMを専用の0.9V電源に接続します。電源レールが同じ電圧レベルを必要とする場合、VCCERAMと同じレギュレーターにVCCL_HPSを接続するオプションがあります。また、適切なアイソレーション・フィルターを使用して、VCCPLLDIG_SDMとVCCPLLDIG_HPSの電源レールをVCCERAMの電源プレーンに接続することもできます。フィルター電源のトポロジーを実装する場合には、フィルターにまたがるIRドロップについて考慮してください。インテル Stratix 10 SXデバイスでHPSを利用するつもりがない場合でも、HPS電源に電力を供給する必要があります。VCCL_HPSおよびVCCPLLDIG_HPSをフローティングにしたり、GNDに接続したりしないでください。
VCCL_HPS					フィルター	
VCCPLLDIG_SDM						
VCCPLLDIG_HPS						
VCCR_GXB[L,R]	3	1.03	±30 mV	スイッチャー (*)	共有	すべての電源レールに同じ電圧レベルが必要な場合は、VCCR_GXBとVCCT_GXBを同じレギュレーターから調達することもできます。性能を向上させ、PCIe Gen 3のジッター仕様を満たすには、1 MHz - 100 MHzの帯域幅に対して最低でも30 dBのアイソレーションでVCCR_GXBとVCCT_GXBを互いにアイソレートしてください。VCCR_GXBとVCCT_GXBの電圧供給は、LタイルデバイスかHタイルデバイスか、また各タイルのチャネルのコンフィギュレーション(非結合チャネルか結合チャネルか)によって異なります。特定
VCCT_GXB[L,R]						

continued...



電源ピン名	レギュレーターのグループ	電圧レベル (V)	電源許容範囲	電源	レギュレーターの共有	注
						の使用例での電圧要件についての詳細は、インテル Stratix 10 デバイス・データシートを参照してください。
VCCPT	4	1.8	±5% (**)	スイッチャー (*)	1.8 V の場合は共有	VCCPT と VCCIO_SDM を同じレギュレーターから調達することができます。これらの電源レベルの電圧レベルが同じ場合は、VCCIO、VCCIO3V、VCCIO_HPS、および VCCBAT を同じ電源プレーンに接続できます。適切なアイソレーション・フィルタを使用して、VCCH_GXB、VCCA_PLL、VCCPLL_SDM、VCCIO_HPS、および VCCADC を同じ電源プレーンに接続することもできます。レギュレーターの能力に応じて、この供給を複数の インテル Stratix 10 デバイスで共有することができます。
VCCIO_SDM		1.8				
VCCIO		製品により異なる				
VCCIO3V		製品により異なる				
VCCIO_HPS		1.8				
VCCBAT		製品により異なる				
VCCH_GXB[L,R]		1.8				
VCCA_PLL		1.8				
VCCPLL_SDM		1.8				
VCCPLL_HPS		1.8				
VCCADC		1.8				
VCCFUSEWR_SDM	5	2.4	±50 mV	スイッチャー (*)	分離	SDM ヒューズに書き込む必要がある場合は、VCCFUSEWR_SDM を専用の 2.4 V 電源に接続してください。SDM ヒューズに書き込む必要がない場合は、VCCFUSEWR_SDM を未接続のままにするか、VCCPT 1.8 V 電源に接続します。このピンを GND に接続しないでください。

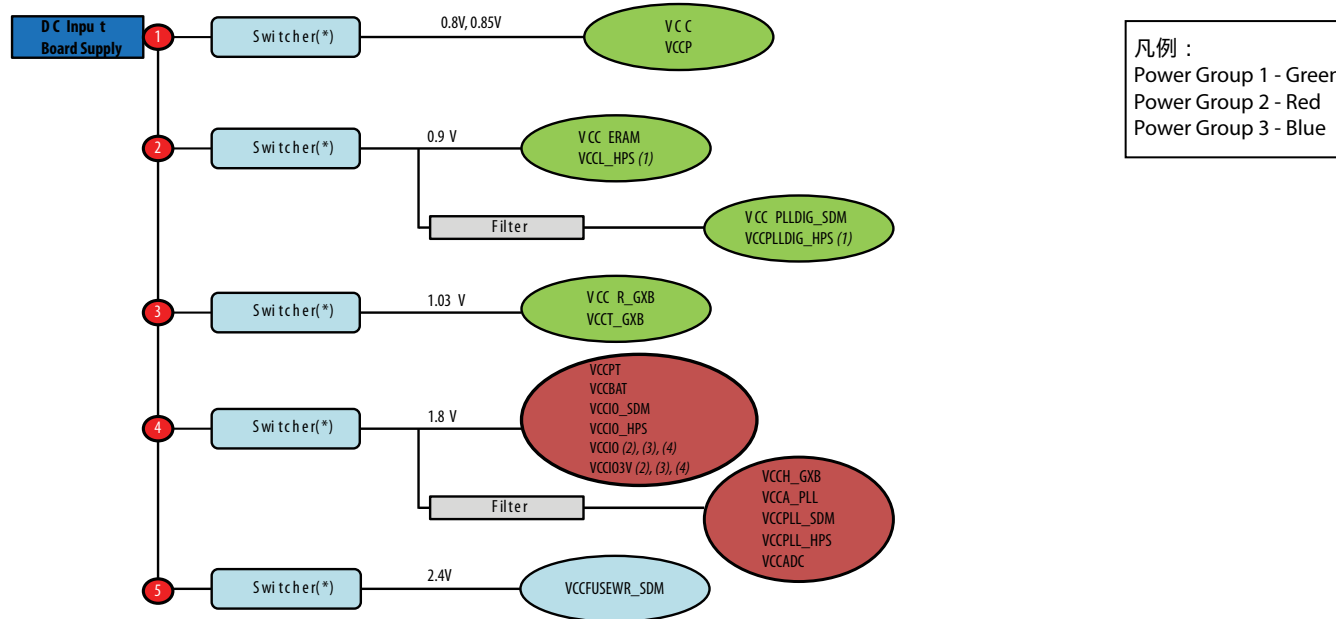
(\*)スイッチャーを使用してこれらの電圧を供給する場合は、インテル Stratix 10 SX ピン接続ガイドラインへの注記の注記 6 で定義されているように、スイッチャーは低ノイズのスイッチャーでなければなりません。

(\*\*)VCCIO 電源装置でサポートされている許容誤差は、I/O 規格によって異なります。詳細については、インテル Stratix 10 デバイス・データシートの I/O 規格の仕様を参照してください。EPE (Early Power Estimator) および インテル Quartus PrimePower Analyzer ツールを使用して、特定のデザインに必要な電力を決定するのに役立ててください。

各ボードのデザインでは、特定のボードデザイン要件を満たすのに必要な電力レギュレーターを決定するため、独自の電力解析を必要とします。インテル Stratix 10 SX デバイスを使用したブロック図の例を図 4 に示します。

各電源レールの電圧レベルは暫定です。

図 -4: インテル Stratix 10 SX(-2L および 3X 部品)の電源共有ガイドライン (トランシーバー・データ・レート <= 15 Gbps) (暫定)



- 注:
- (1) VCC\_L\_HPS と VCCPLL\_HPS は、より高い性能のために 0.94 V で動作できます。
  - (2) VCCIO および VCCIO3V バンクは、1.8 V の場合はすべて、Group 2 の電源レールと同じ 1.8 V レギュレーターを共有できます。
  - (3) VCCIO および VCCIO3V バンクは、1.8 V かつ別のレギュレーターから駆動される場合はすべて、Group 3 の電源レールにある必要があります。
  - (4) VCCIO および VCCIO3V バンクは、1.8 V 以外の場合はすべて、Group 3 の電源レールにある必要があります。

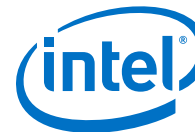
### 例 5 - インテル Stratix 10 SX(-1V、-2V、および-3V 部品)

表 34. インテル Stratix 10 SX(-1V、-2V、および-3V 部品)の電源共有ガイドライン (15 Gbps < トランシーバー・データ・レート <= 28.3 Gbps) (暫定)

6 つのパワー・レギュレーターを必要とする例

電源ピン名	レギュレーターのグループ	電圧レベル(V)	電源許容範囲	電源	レギュレーターの共有	注
VCC	1	SmartVID	±30 mV	スイッチャー (*)	共有	<p>VCCと VCCP は、同じ電圧プレーンを共有している同じレギュレーターから調達してください。電源レベルに同じ電圧レベルが必要な場合は、VCCL_HPS を VCC および VCCP と同じレギュレーターに接続することもできます。適切なアイソレーション・フィルタリングを使用して、VCCPLLDIG_HPS 電源を共有 VCC、VCCP、および VCCL_HPS 電源プレーンに接続することもできます。</p> <p>フィルター電源のトポロジーを実装する場合には、フィルターにまたがる IR ドロップについて考慮してください。</p> <p>インテル Stratix 10 SX デバイスで HPS を利用するつもりがない場合でも、HPS 電源に電力を供給する必要があります。VCCL_HPS および VCCPLLDIG_HPS をフローティングにしたり、GND に接続したりしないでください。</p>
VCCP					フィルター	
VCCL_HPS						
VCCPLLDIG_HPS						
VCCERAM	2	0.9	±30 mV	スイッチャー (*)	分離	<p>VCCERAM を専用の 0.9 V 電源に接続してください。適切なアイソレーション・フィルタリングを使用して、VCCPLLDIG_SDM 電源を VCCERAM 電源プレーンに接続することができます。</p> <p>フィルター電源のトポロジーを実装する場合には、フィルターにまたがる IR ドロップについて考慮してください。</p>
VCCPLLDIG_SDM					フィルター	
VCCR_GXB[L,R]	3	1.12	±20 mV	スイッチャー (*)	分離	<p>VCCR_GXB は、専用の 1.12 V 電源に接続します。</p> <p>VCCR_GXB と VCCT_GXB の電圧供給は、L タイルデバイスか H タイルデバイスか、また各タイルのチャンネルのコンフィグレーション(非結合チャンネルか結合チャンネルか)によって異なります。特定</p>

continued...



電源ピン名	レギュレーターのグループ	電圧レベル(V)	電源許容範囲	電源	レギュレーターの共有	注
						の使用例での電圧要件についての詳細は、インテル Stratix 10 デバイス・データシートを参照してください。
VCCT_GXB[L,R]	4	1.12	±20 mV	スイッチャー (*)	分離	VCCR_GXB は、専用の 1.12 V 電源に接続します。 VCCR_GXB と VCCT_GXB の電圧供給は、L タイルデバイスか H タイルデバイスか、また各タイルのチャンネルのコンフィグレーション(非結合チャンネルか結合チャンネルか)によって異なります。特定の使用例での電圧要件についての詳細は、インテル Stratix 10 デバイス・データシートを参照してください。
VCCPT	5	1.8	±5% (**)	スイッチャー (*)	1.8 V の場合は共有	VCCPT と VCCIO_SDM は、同じレギュレーターから調達することができます。これらの電源レールの電圧レベルが同じ場合は、VCCIO、VCCIO3V、VCCIO_HPS、および VCCBAT を同じ電源プレーンに接続できます。適切なアイソレーション・フィルターを使用して、VCCCH_GXB、VCCA_PLL、VCCPLL_SDM、VCCIO_HPS、および VCCADC を同じ電源プレーンに接続することもできます。レギュレーターの能力に応じて、この供給を複数の インテル Stratix 10 デバイスで共有することができます。
VCCIO_SDM		1.8				
VCCIO		製品により異なる				
VCCIO3V		製品により異なる				
VCCIO_HPS		1.8				
VCCBAT		製品により異なる				
VCCCH_GXB[L,R]		1.8				
VCCA_PLL		1.8				
VCCPLL_SDM		1.8				
VCCPLL_HPS		1.8				
VCCADC		1.8				
					フィルター	フィルター電源のトポロジを実装する場合には、フィルターにまたがる IR ドロップについて考慮してください。 インテル Stratix 10 SX デバイスで HPS を利用するつもりがない場合でも、HPS 電源に電力を供給する必要があります。VCCCL_HPS および VCCPLLDIG_HPS をフローティングにしたり、GND に接続したりしないでください。
VCCFUSEWR_SDM	6	2.4	±50 mV	スイッチャー (*)	分離	SDM ヒューズに書き込む必要がある場合は、VCCFUSEWR_SDM を専用の 2.4 V 電源に接続してください。SDM ヒューズに書き込む必要がない場合は、VCCFUSEWR_SDM を未接続のままにするか、VCCPT 1.8 V 電源に接続します。このピンを GND に接続しないでください。

(\*)スイッチャーを使用してこれらの電圧を供給する場合は、インテル Stratix 10 SX ピン接続ガイドラインへの注記の注記 6 で定義されているように、スイッチャーは低ノイズのスイッチャーでなければなりません。

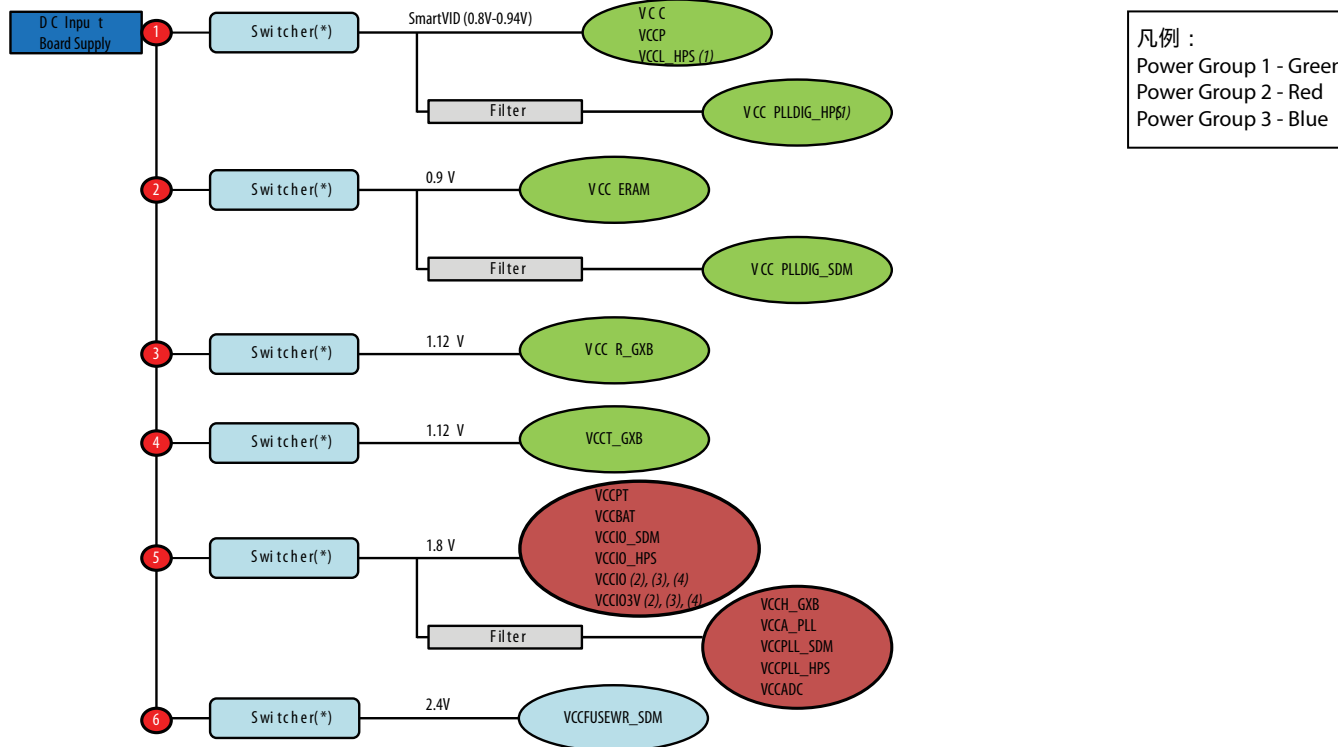


(\*\*)VCCIO 電源装置でサポートされている許容誤差は、I/O 規格によって異なります。詳細については、インテル Stratix 10 デバイス・データシートの I/O 規格の仕様を参照してください。EPE (Early Power Estimator) および インテル Quartus PrimePower Analyzer ツールを使用して、特定のデザインに必要な電力を決定するのに役立ててください。

各ボードのデザインでは、特定のボードデザイン要件を満たすのに必要な電力レギュレーターを決定するため、独自の電力解析を必要とします。インテル Stratix 10 SX デバイスを使用したブロック図の例を図 5 に示します。

各電源レールの電圧レベルは暫定です。

図 -5: インテル Stratix 10 SX(-1V、-2V、および-3V 部品)の電源共有ガイドライン (15 Gbps < トランシーバー・データレート <= 28.3 Gbps) (暫定)



凡例：  
Power Group 1 - Green  
Power Group 2 - Red  
Power Group 3 - Blue

注:

- (1) VCCL\_HPS と VCCPLLDIG\_HPS は、より高い性能のために 0.94 V で動作できます。この場合、これらの電圧は、専用の電圧レギュレーターから実行する必要があります。必要に応じて、VCCL\_HPS と VCCPLLDIG\_HPS を固定の 0.9 V に接続できます。VCCL\_HPS と VCCPLLDIG\_HPS を 0.9 V に接続している場合は、同じ電源レギュレーターを VCCERAM と共有できます。
- (2) VCCIO および VCCIO3V バンクは、1.8 V の場合はすべて、Group 2 の電源レールと同じ 1.8 V レギュレーターを共有できます。
- (3) VCCIO および VCCIO3V バンクは、1.8 V かつ別のレギュレーターから駆動される場合はすべて、Group 3 の電源レールにある必要があります。
- (4) VCCIO および VCCIO3V バンクは、1.8 V 以外の場合はすべて、Group 3 の電源レールにある必要があります。
- (5) V デバイスを使用する場合は、デバイスと VCC 電圧レギュレーター間の SmartVID 接続を有効にする必要があります。詳細については、PWRMGT\_SCL、PWRMGT\_SDA、および PWRMGT\_ALERT ピン機能の接続ガイドラインを参照してください。



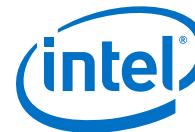
## 例 6 - インテル Stratix 10 SX(-2L および-3X 部品)

表 35. インテル Stratix 10 SX(-2L および-3X 部品)の電源共有ガイドライン (15 Gbps < トランシーバー・データ・レート <= 28.3 Gbps) (暫定)

6つのパワー・レギュレーターを必要とする例

電源ピン名	レギュレーターのグループ	電圧レベル(V)	電源許容範囲	電源	レギュレーターの共有	注
VCC	1	0.8 0.85	±30 mV	スイッチャー (*)	共有	VCCとVCCPは、同じ電圧プレーンを共有している同じレギュレーターから調達してください。フィルター電源のトポロジーを実装する場合には、フィルターにまたがるIRドロップについて考慮してください。
VCCP						
VCCERAM	2	0.9	±30 mV	スイッチャー (*)	共有	VCCERAMを専用の0.9V電源に接続します。電源レールが同じ電圧レベルを必要とする場合、VCCERAMと同じレギュレーターにVCCL_HPSを接続するオプションがあります。また、適切なアイソレーション・フィルターを使用して、VCCPLLDIG_SDMとVCCPLLDIG_HPSの電源レールをVCCERAMの電源プレーンに接続することもできます。フィルター電源のトポロジーを実装する場合には、フィルターにまたがるIRドロップについて考慮してください。 インテル Stratix 10 SXデバイスでHPSを利用するつもりがない場合でも、HPS電源に電力を供給する必要があります。VCCL_HPSおよびVCCPLLDIG_HPSをフローディングにしたり、GNDに接続したりしないでください。
VCCL_HPS						
VCCPLLDIG_SDM						
VCCPLLDIG_HPS						
VCCR_GXB[L,R]	3	1.12	±20 mV	スイッチャー (*)	分離	VCCR_GXBは、専用の1.12V電源に接続します。 VCCR_GXBとVCCT_GXBの電圧供給は、LタイルデバイスかHタイルデバイスか、また各タイルのチャネルのコンフィギュレーション(非結合チャネルか結合チャネルか)によって異なります。特定の使用例での電圧要件についての詳細は、インテル Stratix 10 デバイス・データシートを参照してください。
VCCT_GXB[L,R]	4	1.12	±20 mV	スイッチャー (*)	分離	VCCR_GXBは、専用の1.12V電源に接続します。

continued...



電源ピン名	レギュレーターのグループ	電圧レベル(V)	電源許容範囲	電源	レギュレーターの共有	注
						VCCR_GXBとVCCT_GXBの電圧供給は、L タイルデバイスか H タイルデバイスか、また各タイルのチャンネルのコンフィグレーション(非結合チャンネルか結合チャンネルか)によって異なります。特定の使用例での電圧要件についての詳細は、インテル Stratix 10 デバイス・データシートを参照してください。
VCCPT	5	1.8	± 5% (**)	スイッチャー (*)	1.8 V の場合は共有	VCCPTとVCCIO_SDMは、同じレギュレーターから調達することができます。これらの電源レールの電圧レベルが同じ場合は、VCCIO、VCCIO3V、VCCIO_HPS、およびVCCBATを同じ電源プレーンに接続できます。適切なアイソレーション・フィルターを使用して、VCCCH_GXB、VCCA_PLL、VCCPLL_SDM、VCCIO_HPS、およびVCCADCを同じ電源プレーンに接続することもできます。レギュレーターの能力に応じて、この供給を複数のインテル Stratix 10 デバイスで共有することができます。
VCCIO_SDM		1.8				
VCCIO		製品により異なる				
VCCIO3V		製品により異なる				
VCCIO_HPS		1.8				
VCCBAT		製品により異なる				
VCCCH_GXB[L,R]		1.8				
VCCA_PLL		1.8				
VCCPLL_SDM		1.8				
VCCPLL_HPS		1.8				
VCCADC		1.8				
					フィルター	フィルター電源のトポロジーを実装する場合には、フィルターにまたがる IR ドロップについて考慮してください。 インテル Stratix 10 SX デバイスで HPS を利用するつもりがない場合でも、HPS 電源に電力を供給する必要があります。VCCCL_HPS および VCCPLLDIG_HPS をフローティングにしたり、GND に接続したりしないでください。
VCCFUSEWR_SDM	6	2.4	±50 mV	スイッチャー (*)	分離	SDM ヒューズに書き込む必要がある場合は、VCCFUSEWR_SDM を専用の 2.4 V 電源に接続してください。SDM ヒューズに書き込む必要がない場合は、VCCFUSEWR_SDM を未接続のままにするか、VCCPT 1.8 V 電源に接続します。このピンを GND に接続しないでください。

(\*)スイッチャーを使用してこれらの電圧を供給する場合は、インテル Stratix 10 SX ピン接続ガイドラインへの注記の注記 6 で定義されているように、スイッチャーは低ノイズのスイッチャーでなければなりません。

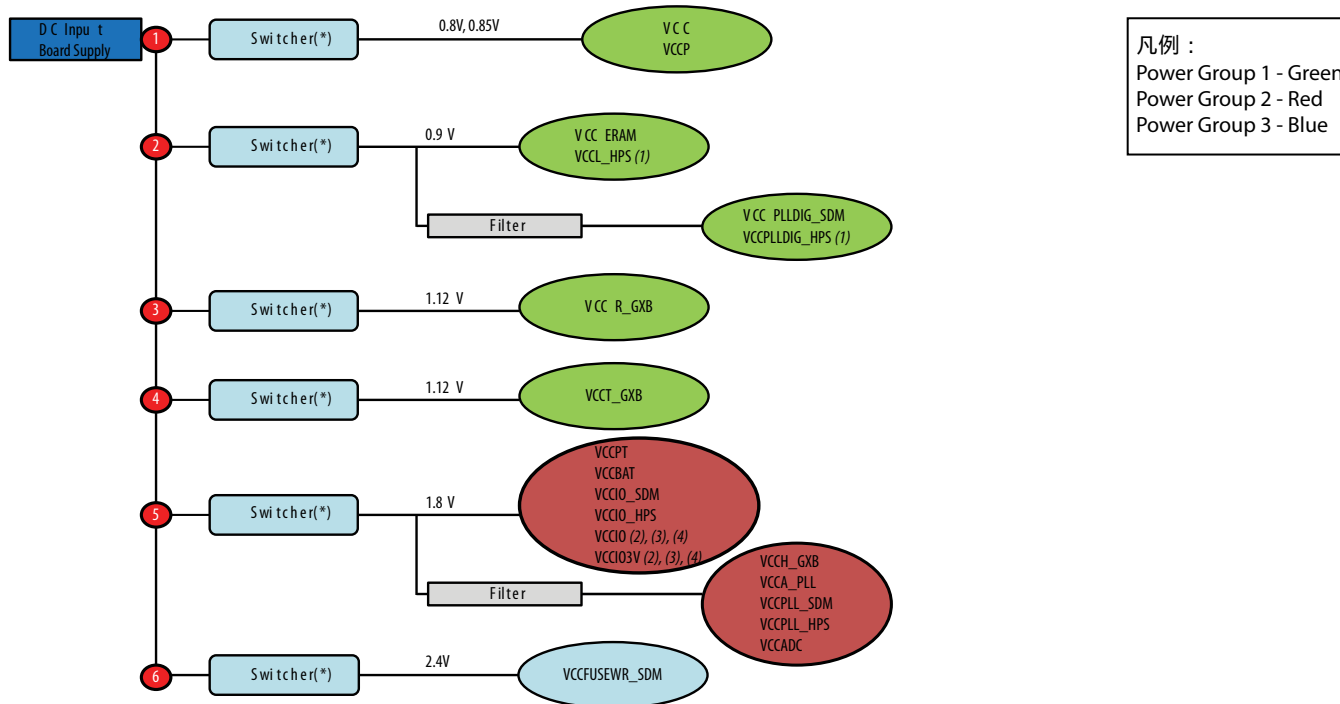
(\*\*)VCCIO 電源装置でサポートされている許容誤差は、I/O 規格によって異なります。詳細については、インテル Stratix 10 デバイス・データシートの I/O 規格の仕様を参照してください。EPE (Early Power Estimator) および インテル Quartus PrimePower Analyzer ツールを使用して、特定のデザインに必要な電力を決定するのに役立ててください。



各ボードのデザインでは、特定のボードデザイン要件を満たすのに必要な電力レギュレーターを決定するため、独自の電力解析を必要とします。インテル Stratix 10 SX デバイスを使用したブロック図の例を図 6 に示します。

各電源レールの電圧レベルは暫定です。

図 -6: インテル Stratix 10 SX(-2L および-3X 部品)の電源共有ガイドライン (15 Gbps < トランシーバー・データ・レート <= 28.3 Gbps) (暫定)



注:  
 (1) VCCL\_HPS と VCCPLLDIG\_HPS は、より高い性能のために 0.94 V で動作できます。  
 (2) VCCIO および VCCIO3V バンクは、1.8 V の場合はすべて、Group 2 の電源レールと同じ 1.8 V レギュレーターを共有できます。  
 (3) VCCIO および VCCIO3V バンクは、1.8 V かつ別のレギュレーターから駆動される場合はすべて、Group 3 の電源レールにある必要があります。  
 (4) VCCIO および VCCIO3V バンクは、1.8 V 以外の場合はすべて、Group 3 の電源レールにある必要があります。

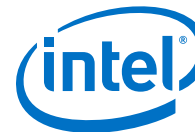
## 例 7 - インテル Stratix 10 MX(-1V、-2V、および-3V 部品)

表 36. インテル Stratix 10 MX(-1V、-2V、および-3V 部品)の電源共有ガイドライン (トランシーバー・データ・レート &lt;= 15 Gbps) (暫定)

7つのパワー・レギュレーターを必要とする例

電源ピン名	レギュレーターのグループ	電圧レベル(V)	電源許容範囲	電源	レギュレーターの共有	注
VCC	1	SmartVID	±30 mV	スイッチャー (*)	共有	<p>VCCとVCCPは、同じ電圧プレーンを共有している同じレギュレーターから調達してください。電源レベルに同じ電圧レベルが必要な場合は、VCCL_HPSをVCCおよびVCCPと同じレギュレーターに接続することもできます。適切なアイソレーション・フィルタリングを使用して、VCCPLLDIG_HPS電源を共有VCC、VCCP、およびVCCL_HPS電源プレーンに接続することもできます。</p> <p>フィルター電源のトポロジーを実装する場合には、フィルターにまたがるIRドロップについて考慮してください。</p> <p>インテル Stratix 10 MX デバイスでHPSを利用するつもりがない場合でも、HPS電源に電力を供給する必要があります。VCCL_HPSおよびVCCPLLDIG_HPSをフローティングにしたり、GNDに接続したりしないでください。</p>
VCCP						
VCCL_HPS						
VCCPLLDIG_HPS						
VCCERAM	2	0.9	±30 mV	スイッチャー (*)	分離	<p>VCCERAMを専用の0.9 V電源に接続してください。適切なアイソレーション・フィルタリングを使用して、VCCPLLDIG_SDM電源をVCCERAM電源プレーンに接続することができます。</p> <p>フィルター電源のトポロジーを実装する場合には、フィルターにまたがるIRドロップについて考慮してください。</p>
VCCPLLDIG_SDM					フィルター	
VCCR_GXB[L,R]	3	1.03	±30mV	スイッチャー (*)	共有	<p>すべての電源レベルに同じ電圧レベルが必要な場合は、VCCR_GXBとVCCT_GXBを同じレギュレーターから調達することもできます。性能を向上させ、PCIe Gen 3のジッター仕様を満たすには、1 MHz - 100 MHzの帯域幅に対して最低でも30 dBのアイソレーションでVCCR_GXBとVCCT_GXBを互いにアイソレートしてください。</p>
VCCT_GXB[L,R]						

continued...



電源ピン名	レギュレーターのグループ	電圧レベル(V)	電源許容範囲	電源	レギュレーターの共有	注
						VCCR_GXB と VCCT_GXB の電圧供給は、L タイルデバイスか H タイルデバイスか、また各タイルのチャンネルのコンフィグレーション(非結合チャンネルか結合チャンネルか)によって異なります。特定の使用例での電圧要件についての詳細は、インテル Stratix 10 デバイス・データシートを参照してください。
VCCPT	4	1.8	± 5% (**)	スイッチャー (*)	1.8 V の場合は共有	VCCPT と VCCIO_SDM は、同じレギュレーターから調達することができます。これらの電源レールの電圧レベルが同じ場合は、VCCIO、VCCIO3V、VCCIO_HPS、および VCCBAT を同じ電源プレーンに接続できます。適切なアイソレーション・フィルタを使用して、VCCCH_GXB、VCCA_PLL、VCCPLL_SDM、VCCIO_HPS、および VCCADC を同じ電源プレーンに接続することもできます。レギュレーターの能力に応じて、この供給を複数の インテル Stratix 10 デバイスで共有することができます。
VCCIO_SDM		1.8				
VCCIO		製品により異なる				
VCCIO3V		製品により異なる				
VCCIO_HPS		1.8				
VCCBAT		製品により異なる				
VCCCH_GXB[L,R]		1.8				
VCCA_PLL		1.8				
VCCPLL_SDM		1.8				
VCCPLL_HPS		1.8				
VCCADC		1.8				
					フィルター	インテル Stratix 10 MX デバイスで HPS を利用するつもりがない場合でも、HPS 電源に電力を供給する必要があります。VCCL_HPS および VCCPLLDIG_HPS をフローティングにしたり、GND に接続したりしないでください。フィルター電源のトポロジーを実装する場合には、フィルターにまたがる IR ドロップについて考慮してください。
VCCM_WORD_(BL, TL)	5	2.5	±100 mV	スイッチャー (*)	共有	VCCM_WORD_(BL,TL) を 2.5 V 電源に接続してください。該当する場合は、VCCM_WORD_(BL,TL) を 2.5 V VCCIO などの他の 2.5 V 電源と共有することもできます。
VCCIO_UIB_(BL, TL)	6	1.2	±30mV	スイッチャー (*)	分離	VCCIO_UIB_(BL,TL) は、1.2 V 電源に接続します。
VCCFUSEWR_SDM	7	2.4	±50 mV	スイッチャー (*)	分離	SDM ヒューズに書き込む必要がある場合は、VCCFUSEWR_SDM を専用の 2.4 V 電源に接続してください。SDM ヒューズに書き込む必要がない場合は、VCCFUSEWR_SDM を未接続のままにするか、VCCPT 1.8 V 電源に接続します。このピンを GND に接続しないでください。



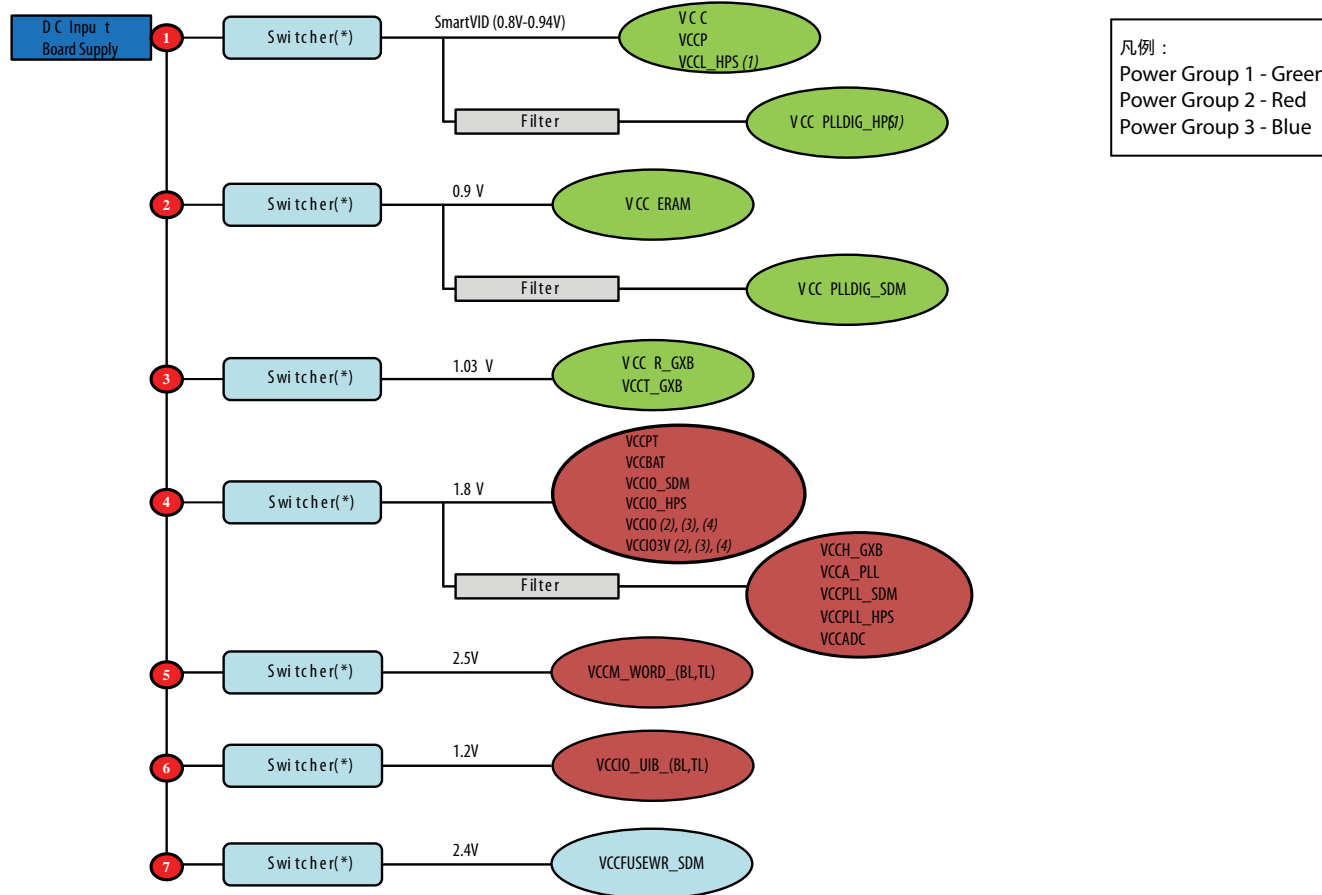
(\* )スイッチャーを使用してこれらの電圧を供給する場合は、インテル Stratix 10 MX ピン接続ガイドラインへの注記の注記 7 で定義されているように、スイッチャーは低ノイズのスイッチャーでなければなりません。

(\*\*)VCCIO 電源装置でサポートされている許容誤差は、I/O 規格によって異なります。詳細については、インテル Stratix 10 デバイス・データシートの I/O 規格の仕様を参照してください。EPE (Early Power Estimator) および インテル Quartus PrimePower Analyzer ツールを使用して、特定のデザインに必要な電力を決定するのに役立ててください。

各ボードのデザインでは、特定のボードデザイン要件を満たすのに必要な電力レギュレーターを決定するため、独自の電力解析を必要とします。インテル Stratix 10 MX デバイスを使用したブロック図の例を図 7 に示します。

各電源レールの電圧レベルは暫定です。

図 -7: インテル Stratix 10 MX(-1V, -2V, および-3V 部品)の電源共有ガイドライン (トランシーバー・データ・レート <= 15 Gbps) (暫定)



注:  
 (1) VCCL\_HPS と VCCPLLDIG\_HPS は、より高い性能のために 0.94 V で動作できます。この場合、これらの電圧は、専用の電圧レギュレーターから実行する必要があります。必要に応じて、VCCL\_HPS と VCCPLLDIG\_HPS を固定の 0.9 V に接続できます。VCCL\_HPS と VCCPLLDIG\_HPS を 0.9 V に接続している場合は、同じ電源レギュレータを VCCERAM と共有できます。  
 (2) VCCIO および VCCIO3V バンクは、1.8 V の場合はすべて、Group 2 の電源レールと同じ 1.8 V レギュレーターを共有できます。  
 (3) VCCIO および VCCIO3V バンクは、1.8 V かつ別のレギュレーターから駆動される場合はすべて、Group 3 の電源レールにある必要があります。  
 (4) VCCIO および VCCIO3V バンクは、1.8 V 以外の場合はすべて、Group 3 の電源レールにある必要があります。  
 (5) V デバイスを使用する場合は、デバイスと VCC 電圧レギュレーター間の SmartVID 接続を有効にする必要があります。詳細については、PWRMGT\_SCL、PWRMGT\_SDA、および PWRMGT\_ALERT ピン機能の接続ガイドラインを参照してください。



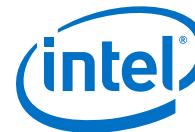
### 例 8 - インテル Stratix 10 MX(-1V、-2V、および-3V 部品)

表 37. インテル Stratix 10 MX(-1V、-2V、および-3V 部品)の電源共有ガイドライン (15 Gbps < トランシーバー・データ・レート <= 28.3 Gbps) (暫定)

8つのパワー・レギュレーターを必要とする例

電源ピン名	レギュレーターのグループ	電圧レベル(V)	電源許容範囲	電源	レギュレーターの共有	注
VCC	1	SmartVID	±30 mV	スイッチャー (*)	共有	<p>VCCとVCCPは、同じ電圧プレーンを共有している同じレギュレーターから調達してください。電源レベルに同じ電圧レベルが必要な場合は、VCCL_HPSをVCCおよびVCCPと同じレギュレーターに接続することもできます。適切なアイソレーション・フィルタリングを使用して、VCCPLLDIG_HPS電源を共有VCC、VCCP、およびVCCL_HPS電源プレーンに接続することもできます。</p> <p>フィルター電源のトポロジーを実装する場合には、フィルターにまたがるIRドロップについて考慮してください。</p> <p>インテル Stratix 10 MX デバイスでHPSを利用するつもりがない場合でも、HPS電源に電力を供給する必要があります。VCCL_HPSおよびVCCPLLDIG_HPSをフローティングにしたり、GNDに接続したりしないでください。</p>
VCCP					フィルター	
VCCL_HPS						
VCCPLLDIG_HPS						
VCCERAM	2	0.9	±30 mV	スイッチャー (*)	分離	<p>VCCERAMを専用の0.9V電源に接続してください。適切なアイソレーション・フィルタリングを使用して、VCCPLLDIG_SDM電源をVCCERAM電源プレーンに接続することができます。</p> <p>フィルター電源のトポロジーを実装する場合には、フィルターにまたがるIRドロップについて考慮してください。</p>
VCCPLLDIG_SDM					フィルター	
VCCR_GXB[L,R]	3	1.12	±20 mV	スイッチャー (*)	分離	<p>VCCR_GXBは、専用の1.12V電源に接続します。</p> <p>VCCR_GXBとVCCT_GXBの電圧供給は、LタイルデバイスかHタイルデバイスか、また各タイルのチャンネルのコンフィグレーション(非結合チャンネルか結合チャンネルか)によって異なります。特定</p>

continued...



電源ピン名	レギュレーターのグループ	電圧レベル(V)	電源許容範囲	電源	レギュレーターの共有	注
						の使用例での電圧要件についての詳細は、インテル Stratix 10 デバイス・データシートを参照してください。
VCCT_GXB[L,R]	4	1.12	±20 mV	スイッチャー (*)	分離	VCCR_GXB は、専用の 1.12 V 電源に接続します。 VCCR_GXB と VCCT_GXB の電圧供給は、L タイルデバイスか H タイルデバイスか、また各タイルのチャンネルのコンフィグレーション(非結合チャンネルか結合チャンネルか)によって異なります。特定の使用例での電圧要件についての詳細は、インテル Stratix 10 デバイス・データシートを参照してください。
VCCPT	5	1.8	± 5% (**)	スイッチャー (*)	1.8 V の場合は共有	VCCPT と VCCIO_SDM は、同じレギュレーターから調達することができます。これらの電源レールの電圧レベルが同じ場合は、VCCIO、VCCIO3V、VCCIO_HPS、および VCCBAT を同じ電源プレーンに接続できます。適切なアイソレーション・フィルターを使用して、VCCH_GXB、VCCA_PLL、VCCPLL_SDM、VCCIO_HPS、および VCCADC を同じ電源プレーンに接続することもできます。レギュレーターの能力に応じて、この供給を複数の インテル Stratix 10 デバイスで共有することができます。
VCCIO_SDM		1.8				
VCCIO		製品により異なる				
VCCIO3V		製品により異なる				
VCCIO_HPS		1.8				
VCCBAT		製品により異なる				
VCCH_GXB[L,R]		1.8			フィルター	インテル Stratix 10 MX デバイスで HPS を利用するつもりがない場合でも、HPS 電源に電力を供給する必要があります。VCCL_HPS および VCCPLLDIG_HPS をフローティングにしたり、GND に接続したりしないでください。 フィルター電源のトポロジーを実装する場合には、フィルターにまたがる IR ドロップについて考慮してください。
VCCA_PLL		1.8				
VCCPLL_SDM		1.8				
VCCPLL_HPS		1.8				
VCCADC	1.8					

continued...

電源ピン名	レギュレーターのグループ	電圧レベル(V)	電源許容範囲	電源	レギュレーターの共有	注
VCCM_WORD_(BL, TL)	6	2.5	±100 mV	スイッチャー (*)	共有	VCCM_WORD_(BL,TL) を 2.5 V 電源に接続してください。該当する場合は、VCCM_WORD_(BL,TL) を 2.5 V VCCIO などの他の 2.5 V 電源と共有することもできます。
VCCIO_UIB_(BL, TL)	7	1.2	±30 mV	スイッチャー (*)	分離	VCCIO_UIB_(BL,TL) は、1.2 V 電源に接続します。
VCCFUSEWR_SDM	8	2.4	±50 mV	スイッチャー (*)	分離	SDM ヒューズに書き込む必要がある場合は、VCCFUSEWR_SDM を専用の 2.4 V 電源に接続してください。SDM ヒューズに書き込む必要がない場合は、VCCFUSEWR_SDM を未接続のままにするか、VCCPT 1.8 V 電源に接続します。このピンを GND に接続しないでください。

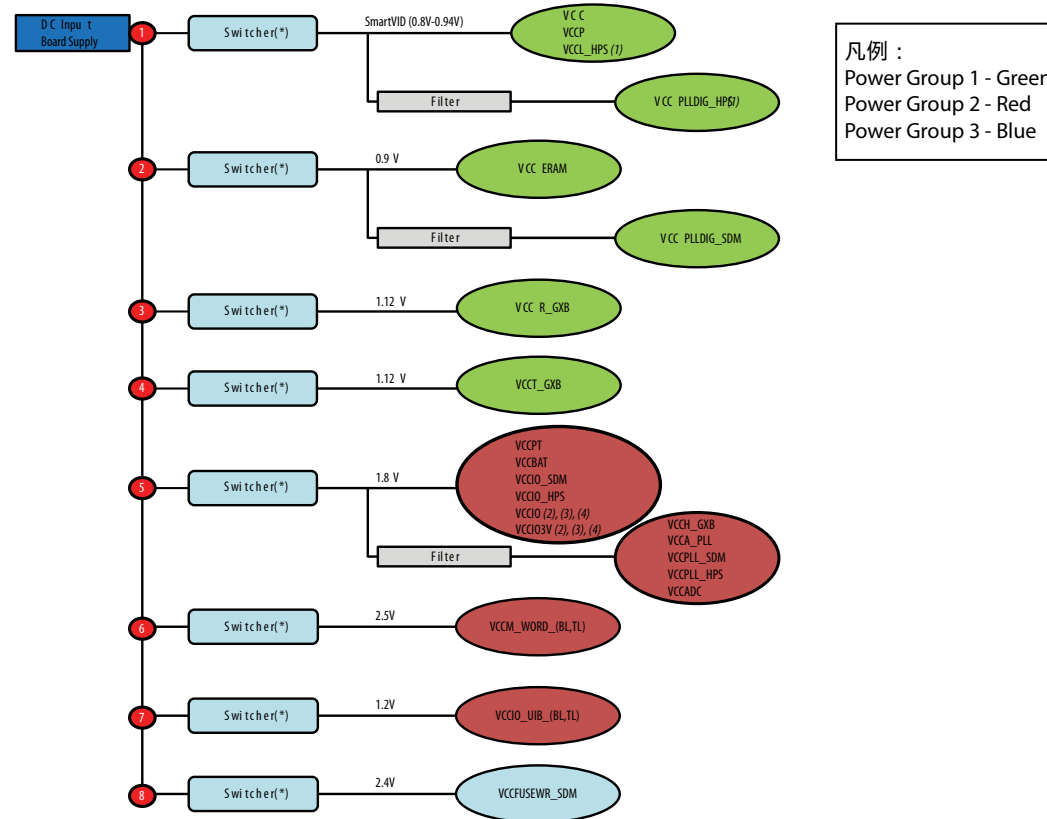
(\*)スイッチャーを使用してこれらの電圧を供給する場合は、インテル Stratix 10 MX ピン接続ガイドラインへの注記の注記 7 で定義されているように、スイッチャーは低ノイズのスイッチャーでなければなりません。

(\*\*)VCCIO 電源装置でサポートされている許容誤差は、I/O 規格によって異なります。詳細については、インテル Stratix 10 デバイス・データシートの I/O 規格の仕様を参照してください。EPE (Early Power Estimator) および インテル Quartus PrimePower Analyzer ツールを使用して、特定のデザインに必要な電力を決定するのに役立ててください。

各ボードのデザインでは、特定のボードデザイン要件を満たすのに必要な電力レギュレーターを決定するため、独自の電力解析を必要とします。インテル Stratix 10 MX デバイスを使用したブロック図の例を図 8 に示します。

各電源レールの電圧レベルは暫定です。

図 -8: インテル Stratix 10 MX(-1V、-2V、および-3V 部品)の電源共有ガイドライン (15 Gbps < トランシーバー・データ・レート <= 28.3 Gbps) (暫定)



注:  
 (1) VCC\_L\_HPS と VCCPLL\_DIG\_HPS は、より高い性能のために 0.94 V で動作できます。この場合、これらの電圧は、専用の電圧レギュレーターから実行する必要があります。必要に応じて、VCC\_L\_HPS と VCCPLL\_DIG\_HPS を固定の 0.9 V に接続できます。VCC\_L\_HPS と VCCPLL\_DIG\_HPS を 0.9 V に接続している場合は、同じ電圧レギュレータを VCCERAM と共有できます。  
 (2) VCCIO および VCCIO3V バンクは、1.8 V の場合はすべて、Group 2 の電源レールと同じ 1.8 V レギュレーターを共有できます。  
 (3) VCCIO および VCCIO3V バンクは、1.8 V かつ別のレギュレーターから駆動される場合はすべて、Group 3 の電源レールにある必要があります。  
 (4) VCCIO および VCCIO3V バンクは、1.8 V 以外の場合はすべて、Group 3 の電源レールにある必要があります。  
 (5) V デバイスを使用する場合は、デバイスと VCC 電圧レギュレーター間の SmartVID 接続を有効にする必要があります。詳細については、PWRMGT\_SCL、PWRMGT\_SDA、および PWRMGT\_ALERT ピン機能の接続ガイドラインを参照してください。

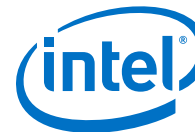
### 例 9 - インテル Stratix 10 TX(-1V、-2V、および-3V 部品)

表 38. インテル Stratix 10 TX(-1V、-2V、および-3V 部品)の電源共有ガイドライン (10 Gbps < トランシーバー・データ・レート <= 57.8 Gbps) (暫定)

10 つのパワー・レギュレーターを必要とする例

電源ピン名	レギュレーターのグループ	電圧レベル(V)	電源許容範囲	電源	レギュレーターの共有	注
VCC	1	SmartVID	±30 mV	スイッチャー (*)	共有	<p>VCCとVCCPは、同じ電圧プレーンを共有している同じレギュレーターから調達してください。電源レベルに同じ電圧レベルが必要な場合は、VCCL_HPSをVCCおよびVCCPと同じレギュレーターに接続することもできます。適切なアイソレーション・フィルタリングを使用して、VCCPLLDIG_HPS電源を共有VCC、VCCP、およびVCCL_HPS電源プレーンに接続することもできます。</p> <p>フィルター電源のトポロジーを実装する場合には、フィルターにまたがるIRドロップについて考慮してください。</p> <p>インテル Stratix 10 TX デバイスでHPSを利用するつもりがない場合でも、HPS電源に電力を供給する必要があります。VCCL_HPSおよびVCCPLLDIG_HPSをフローティングにしたり、GNDに接続したりしないでください。</p>
VCCP					フィルター	
VCCL_HPS					フィルター	
VCCPLLDIG_HPS					フィルター	
VCCERAM	2	0.9	±30 mV	スイッチャー (*)	分離	<p>VCCERAMを専用の0.9 V電源に接続してください。適切なアイソレーション・フィルタリングを使用して、VCCPLLDIG_SDM電源をVCCERAM電源プレーンに接続することができます。</p> <p>フィルター電源のトポロジーを実装する場合には、フィルターにまたがるIRドロップについて考慮してください。</p>
VCCPLLDIG_SDM					フィルター	
VCCRT_GXE					フィルター	
VCCRTPLL_GXE					フィルター	

*continued...*



電源ピン名	レギュレーターのグループ	電圧レベル(V)	電源許容範囲	電源	レギュレーターの共有	注
						フィルタリングは、この電圧レベルがノイズマスク要件を満たす場合はオプションになります。ノイズマスク要件の詳細については、インテル Stratix 10 電源管理ユーザーガイドを参照してください。
VCCR_GXB[L,R]	3	1.12	±20 mV	スイッチャー (*)	分離	VCCR_GXB は、専用の 1.12 V 電源に接続します。 VCCR_GXB と VCCT_GXB の電圧供給は、L タイルデバイスか H タイルデバイスか、また各タイルのチャンネルのコンフィグレーション(非結合チャンネルか結合チャンネルか)によって異なります。特定の使用例での電圧要件についての詳細は、インテル Stratix 10 デバイス・データシートを参照してください。
VCCT_GXB[L,R]	4	1.12	±20 mV	スイッチャー (*)	分離	VCCR_GXB は、専用の 1.12 V 電源に接続します。 VCCR_GXB と VCCT_GXB の電圧供給は、L タイルデバイスか H タイルデバイスか、また各タイルのチャンネルのコンフィグレーション(非結合チャンネルか結合チャンネルか)によって異なります。特定の使用例での電圧要件についての詳細は、インテル Stratix 10 デバイス・データシートを参照してください。
VCCH_GXE	5	1.1	± 5% (**)	スイッチャー (*)	分離	VCCH_GXE は、専用の 1.1 V 電源に接続します。
VCCM_WORD_(BL, TL)	6	2.5	±100 mV	スイッチャー (*)	共有	VCCM_WORD_(BL,TL) を 2.5 V 電源に接続してください。該当する場合は、VCCM_WORD_(BL,TL) を 2.5 V VCCIO などの他の 2.5 V 電源と共有することもできます。
VCCIO_UIB_(BL, TL)	7	1.2	±30 mV	スイッチャー (*)	分離	VCCIO_UIB_(BL,TL) は、1.2 V 電源に接続します。
VCCCLK_GXE	8	2.5	± 5% (**)	スイッチャー (*)	分離	VCCCLK_GXE は、専用の 2.5 V 電源に接続します。
VCCPT	9	1.8	± 5% (**)	スイッチャー (*)	1.8V の場合は共有	VCCPT と VCCIO_SDM は、同じレギュレーターから調達することができます。これらの電源レベルの電圧レベルが同じ場合は、VCCIO、VCCIO3V、VCCIO_HPS、および VCCBAT を同じ電源プレーンに接続できます。適切なアイソレーション・フ
VCCIO_SDM		1.8				
VCCIO		製品により異なる				

continued...

電源ピン名	レギュレーターのグループ	電圧レベル(V)	電源許容範囲	電源	レギュレーターの共有	注
VCCIO3V		製品により異なる				フィルター イルターを使用して、VCCH_GXB、VCCA_PLL、VCCPLL_SDM、VCCIO_HPS、およびVCCADCを同じ電源プレーンに接続することもできます。レギュレーターの能力に応じて、この供給を複数のインテル Stratix 10 デバイスで共有することができます。 インテル Stratix 10 TX デバイスで HPS を利用するつもりがない場合でも、HPS 電源に電力を供給する必要があります。VCCL_HPS およびVCCPLLDIG_HPS をフローティングにしたり、GND に接続したりしないでください。 フィルター電源のトポロジーを実装する場合には、フィルターにまたがる IR ドロップについて考慮してください。
VCCIO_HPS		1.8				
VCCBAT		製品により異なる				
VCCH_GXB[L,R]		1.8				
VCCA_PLL		1.8				
VCCPLL_SDM		1.8				
VCCPLL_HPS		1.8				
VCCADC		1.8				
VCCFUSEWR_SDM	10	2.4	±50 mV	スイッチャー (*)	分離	SDM ヒューズに書き込む必要がある場合は、VCCFUSEWR_SDM を専用の 2.4 V 電源に接続してください。SDM ヒューズに書き込む必要がない場合は、VCCFUSEWR_SDM を未接続のままにするか、VCCPT 1.8 V 電源に接続します。このピンを GND に接続しないでください。

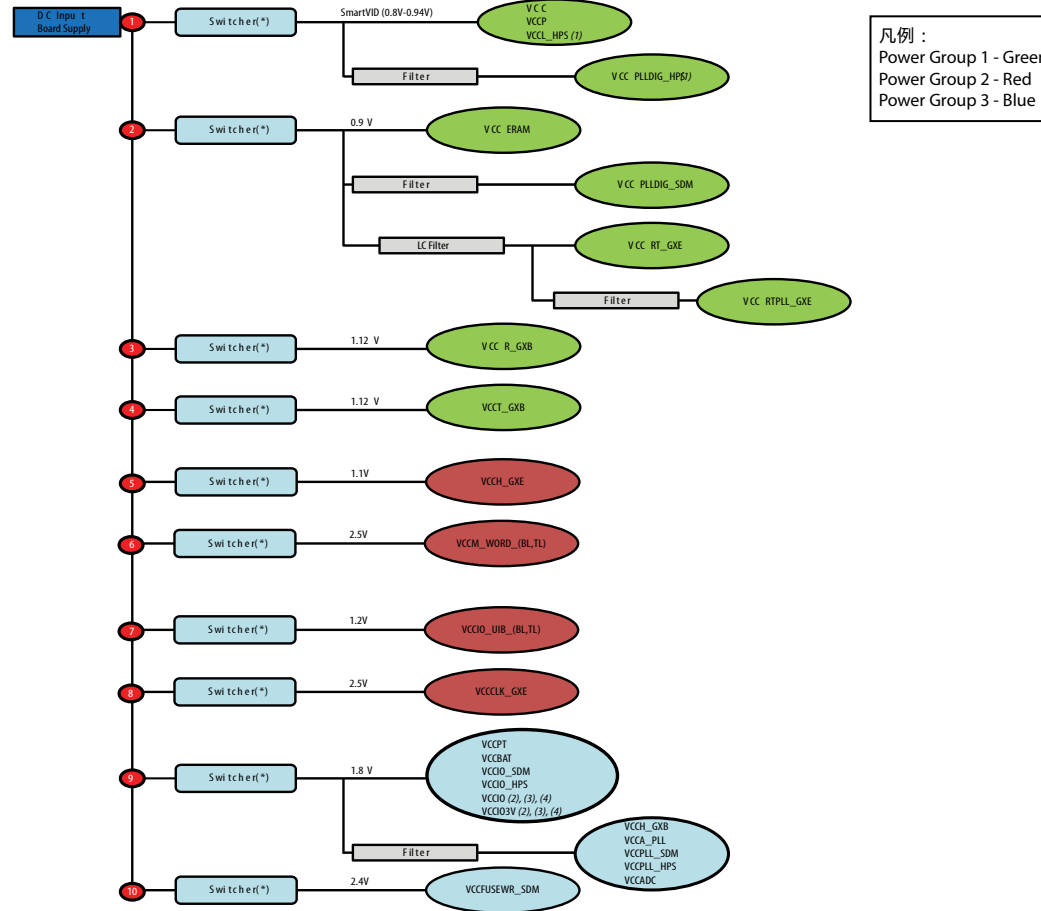
(\*)スイッチャーを使用してこれらの電圧を供給する場合は、インテル Stratix 10 TX ピン接続ガイドラインへの注記の注記 7 で定義されているように、スイッチャーは低ノイズのスイッチャーでなければなりません。

(\*\*)VCCIO 電源装置でサポートされている許容誤差は、I/O 規格によって異なります。詳細については、インテル Stratix 10 デバイス・データシートの I/O 規格の仕様を参照してください。EPE (Early Power Estimator) および インテル Quartus PrimePower Analyzer ツールを使用して、特定のデザインに必要な電力を決定するのに役立ててください。

各ボードのデザインでは、特定のボードデザイン要件を満たすのに必要な電力レギュレーターを決定するため、独自の電力解析を必要とします。インテル Stratix 10 TX デバイスを使用したブロック図の例を図 9 に示します。

各電源レールの電圧レベルは暫定です。

図 -9: インテル Stratix 10 TX(-1V、-2V、および-3V 部品)の電源共有ガイドライン (10 Gbps < トランシーバー・データ・レート <= 57.8 Gbps) (暫定)



注:  
 (1) VCCL\_HPS と VCCLLDIG\_HPS は、より高い性能のために 0.94 V で動作できます。この場合、これらの電圧は、専用の電圧レギュレーターから実行する必要があります。必要に応じて、VCCL\_HPS と VCCLLDIG\_HPS を固定の 0.9 V に接続できます。VCCL\_HPS と VCCLLDIG\_HPS を 0.9 V に接続している場合は、同じ電源レギュレータを VCCERAM と共有できます。  
 (2) VCCIO および VCCIO3V バンクは、1.8 V の場合はすべて、Group 2 の電源レールと同じ 1.8 V レギュレーターを共有できます。  
 (3) VCCIO および VCCIO3V バンクは、1.8 V かつ別のレギュレーターから駆動される場合はすべて、Group 3 の電源レールにある必要があります。  
 (4) VCCIO および VCCIO3V バンクは、1.8 V 以外の場合はすべて、Group 3 の電源レールにある必要があります。  
 (5) V デバイスを使用する場合は、デバイスと VCC 電圧レギュレーター間の SmartVID 接続を有効にする必要があります。  
 詳細については、PWRMGT\_SCL、PWRMGT\_SDA、および PWRMGT\_ALERT ピン機能の接続ガイドラインを参照してください。



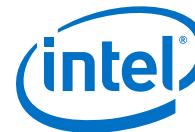
### 例 10 - インテル Stratix 10 TX(-2L および-3X 部品)

表 39. インテル Stratix 10 TX(-2L および-3X 部品)の電源共有ガイドライン (10 Gbps < トランシーバー・データ・レート <= 57.8 Gbps) (暫定)

10 つのパワーレギュレーターを必要とする例

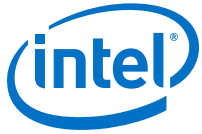
電源ピン名	レギュレーターのグループ	電圧レベル(V)	電源許容範囲	電源	レギュレーターの共有	注
VCC	1	0.8	±30 mV	スイッチャー (*)	共有	VCCとVCCPは、同じ電圧プレーンを共有している同じレギュレーターから調達してください。フィルター電源のトポロジーを実装する場合には、フィルターにまたがるIRドロップについて考慮してください。
VCCP		0.85				
VCCERAM	2	0.9	±30 mV	スイッチャー (*)	共有	VCCERAMを専用の0.9V電源に接続します。電源レールが同じ電圧レベルを必要とする場合、VCCERAMと同じレギュレーターにVCCL_HPSを接続するオプションがあります。また、適切なアイソレーション・フィルターを使用して、VCCPLLDIG_SDMとVCCPLLDIG_HPSの電源レールをVCCERAMの電源プレーンに接続することもできます。フィルター電源のトポロジーを実装する場合には、フィルターにまたがるIRドロップについて考慮してください。 インテル Stratix 10 TX デバイスでHPSを利用するつもりがない場合でも、HPS電源に電力を供給する必要があります。VCCL_HPSおよびVCCPLLDIG_HPSをフローティングにしたり、GNDに接続したりしないでください。
VCCL_HPS						
VCCPLLDIG_SDM						
VCCPLLDIG_HPS						
VCCRT_GXE					フィルター	VCCRT_GXELCのVCCERAMへの接続をLCフィルターを介して行います。LCフィルターデザインの詳細については、インテル Stratix 10 電源管理ユーザーガイドを参照してください。
VCCRTPLL_GXE					フィルター	フェライトビーズを介してVCCRT_GXEと同じレギュレーターからVCCRTPLL_GXEを調達することができます。フィルタリングは、この電圧レールがノイズマスク要件を満たす場合はオプションになります。ノイズマスク要件の詳細については、インテル Stratix 10 電源管理ユーザーガイドを参照してください。

continued...



電源ピン名	レギュレーターのグループ	電圧レベル(V)	電源許容範囲	電源	レギュレーターの共有	注
VCCR_GXB[L,R]	3	1.12	±20 mV	スイッチャー (*)	分離	VCCR_GXB は、専用の 1.12 V 電源に接続します。 VCCR_GXB と VCCT_GXB の電圧供給は、L タイルデバイスか H タイルデバイスか、また各タイルのチャンネルのコンフィグレーション(非結合チャンネルか結合チャンネルか)によって異なります。特定の使用例での電圧要件についての詳細は、インテル Stratix 10 デバイス・データシートを参照してください。
VCCT_GXB[L,R]	4	1.12	±20 mV	スイッチャー (*)	分離	VCCR_GXB は、専用の 1.12 V 電源に接続します。 VCCR_GXB と VCCT_GXB の電圧供給は、L タイルデバイスか H タイルデバイスか、また各タイルのチャンネルのコンフィグレーション(非結合チャンネルか結合チャンネルか)によって異なります。特定の使用例での電圧要件についての詳細は、インテル Stratix 10 デバイス・データシートを参照してください。
VCCH_GXE	5	1.1	± 5% (**)	スイッチャー (*)	分離	VCCH_GXE は、専用の 1.1 V 電源に接続します。
VCCM_WORD_(BL, TL)	6	2.5	±100 mV	スイッチャー (*)	共有	VCCM_WORD_(BL,TL) を 2.5 V 電源に接続してください。該当する場合は、VCCM_WORD_(BL,TL) を 2.5 V VCCIO などの他の 2.5 V 電源と共有することもできます。
VCCIO_UIB_(BL, TL)	7	1.2	±30 mV	スイッチャー (*)	分離	VCCIO_UIB_(BL,TL) は、1.2 V 電源に接続します。
VCCCLK_GXE	8	2.5	± 5% (**)	スイッチャー (*)	分離	VCCCLK_GXE は、専用の 2.5 V 電源に接続します。
VCCPT	9	1.8	± 5% (**)	スイッチャー (*)	1.8V の場合は共有	VCCPT と VCCIO_SDM は、同じレギュレーターから調達することができます。これらの電源レールの電圧レベルが同じ場合は、VCCIO、VCCIO3V、VCCIO_HPS、および VCCBAT を同じ電源プレーンに接続できます。適切なアイソレーション・フィルタを使用して、VCCH_GXB、VCCA_PLL、VCCPLL_SDM、VCCIO_HPS、および VCCADC を同じ電源プレーンに接続することも
VCCIO_SDM		1.8				
VCCIO		製品により異なる				
VCCIO3V		製品により異なる				
VCCIO_HPS		1.8				

continued...



電源ピン名	レギュレーターのグループ	電圧レベル(V)	電源許容範囲	電源	レギュレーターの共有	注
VCCBAT		製品により異なる			フィルター	できます。レギュレーターの能力に応じて、この供給を複数の インテル Stratix 10 デバイスで共有することができます。 インテル Stratix 10 TX デバイスで HPS を利用するつもりがない場合でも、HPS 電源に電力を供給する必要があります。VCC <sub>L</sub> _HPS および VCCPLLDIG_HPS をフローティングにしたり、GND に接続したりしないでください。 フィルター電源のトポロジーを実装する場合には、フィルターにまたがる IR ドロップについて考慮してください。
VCCH_GXB[L,R]		1.8				
VCCA_PLL		1.8				
VCCPLL_SDM		1.8				
VCCPLL_HPS		1.8				
VCCADC		1.8				
VCCFUSEWR_SDM	10	2.4	±50 mV	スイッチャー (*)	分離	SDM ヒューズに書き込む必要がある場合は、VCCFUSEWR_SDM を専用の 2.4 V 電源に接続してください。SDM ヒューズに書き込む必要がない場合は、VCCFUSEWR_SDM を未接続のままにするか、VCCPT 1.8 V 電源に接続します。このピンを GND に接続しないでください。

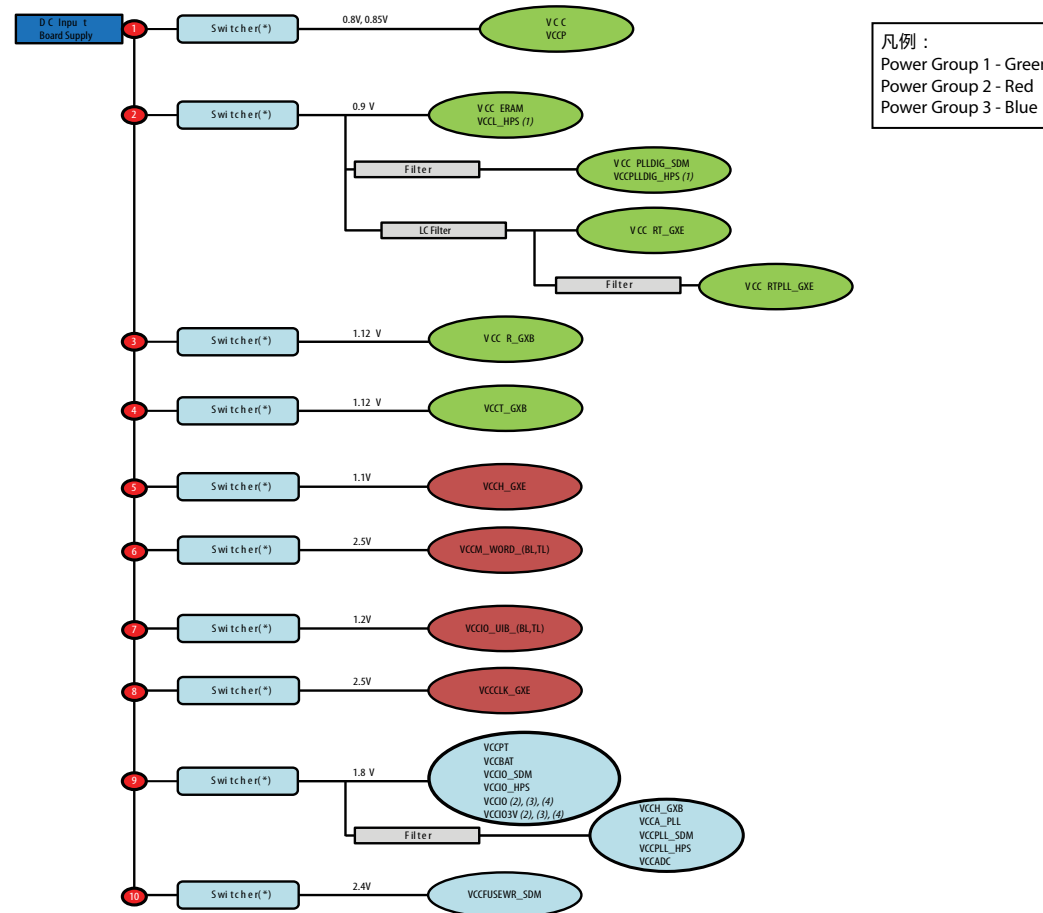
(\*) スwitchャーを使用してこれらの電圧を供給する場合は、インテル Stratix 10 TX ピン接続ガイドラインの注記内の注記 7 で定義されているように、スイッチャーは低ノイズのスイッチャーでなければなりません。

(\*\*)VCCIO 電源装置でサポートされている許容誤差は、I/O 規格によって異なります。詳細については、インテル Stratix 10 デバイス・データシートの I/O 規格の仕様を参照してください。EPE (Early Power Estimator) および インテル Quartus PrimePower Analyzer ツールを使用して、特定のデザインに必要な電力を決定するのに役立ててください。

各ボードのデザインでは、特定のボードデザイン要件を満たすのに必要な電力レギュレーターを決定するため、独自の電力解析を必要とします。インテル Stratix 10 TX デバイスを使用したブロック図の例を図 10 に示します。

各電源レールの電圧レベルは暫定です。

図 -10: インテル Stratix 10 TX(-2L および-3X 部品)の電源共有ガイドライン (10 Gbps < トランシーバー・データ・レート <= 57.8 Gbps) (暫定)



- 注:
- (1) VCCL\_HPS と VCCPLLDIG\_HPS は、より高い性能のために 0.94 V で動作できます。
  - (2) VCCIO および VCCIO3V バンクは、1.8 V の場合はすべて、Group 2 の電源レールと同じ 1.8 V レギュレーターを共有できます。
  - (3) VCCIO および VCCIO3V バンクは、1.8 V かつ別のレギュレーターから駆動される場合はすべて、Group 3 の電源レールにある必要があります。
  - (4) VCCIO および VCCIO3V バンクは、1.8 V 以外の場合はすべて、Group 3 の電源レールにある必要があります。



## インテル Stratix 10 デバイスファミリー・ピン接続ガイドラインの改訂履歴

ドキュメント・バージョン	変更内容
2019.01.03	<ul style="list-style-type: none"> <li>• VCCR_GXB[L1,R4] [C,D,E,F,G,H,I,J,K,L,M,N] および VCCT_GXB[L1,R4] [C,D,E,F,G,H,I,J,K,L,M,N] ピンの接続ガイドラインを更新しました。</li> <li>• 次の電源共有ガイドラインの VCCR_GXB[L,R] および VCCT_GXB[L,R] の注記を更新しました。 <ul style="list-style-type: none"> <li>– 例 1 - インテル Stratix 10 GX の電源共有ガイドライン(トランシーバー・データ・レート &lt;= 15 Gbps)</li> <li>– 例 2 - インテル Stratix 10 GX の電源共有ガイドライン( 15 Gbps &lt; トランシーバー・データ・レート &lt;= 28.3 Gbps)</li> <li>– 例 3 - インテル Stratix 10 SX (-1V,-2V,および-3V 部品) の電源共有ガイドライン(トランシーバー・データ・レート &lt;= 15 Gbps)</li> <li>– 例 4 - インテル Stratix 10 SX (-2L および-3X 部品) の電源共有ガイドライン(トランシーバー・データ・レート &lt;= 15 Gbps)</li> <li>– 例 5 - インテル Stratix 10 SX (-1V,-2V,および-3V 部品) の電源共有ガイドライン 15 Gbps) &lt; トランシーバー・データ・レート &lt;= 28.3 Gbps)</li> <li>– 例 6 - インテル Stratix 10 SX (-2L および-3X 部品)の電源共有ガイドライン(15 Gbps &lt; トランシーバー・データ・レート &lt;= 28.3 Gbps)</li> <li>– 例 7 - インテル Stratix 10 MX (-1V,-2V,および-3V 部品) の電源共有ガイドライン(トランシーバー・データ・レート &lt;= 15 Gbps)</li> <li>– 例 8 - インテル Stratix 10 MX (-1V,-2V,および-3V 部品) の電源共有ガイドライン (15 Gbps &lt; トランシーバー・データ・レート &lt;= 28.3 Gbps)</li> <li>– 例 9 - インテル Stratix 10 TX (-1V,-2V,および-3V 部品) の電源共有ガイドライン(10 Gbps &lt; トランシーバー・データ・レート &lt;= 57.8 Gbps)</li> <li>– 例 10 - インテル Stratix 10 TX (-2L および-3X 部品) の電源共有ガイドライン(10 Gbps &lt; トランシーバー・データ・レート &lt;= 57.8 Gbps)</li> </ul> </li> </ul>
2018.12.14	<ul style="list-style-type: none"> <li>• Direct to Factory Image ピン機能を次のピンに追加しました。SDM_IO0、SDM_IO10、SDM_IO11、SDM_IO12、SDM_IO13、SDM_IO14、SDM_IO15、および SDM_IO16。</li> <li>• SEU_ERROR、および CVP_CONFDONE ピン機能を次のピンに追加しました。SDM_IO0、SDM_IO10、SDM_IO11、SDM_IO12、SDM_IO13、SDM_IO14、SDM_IO15、および SDM_IO16。</li> <li>• トランシーバー・ピンの項に OSC_CLK_1 ピンへの参照を追加しました。</li> <li>• OSC_CLK_1 ピンの説明と接続ガイドラインを更新しました。</li> <li>• nCONFIG ピンの接続ガイドラインを更新しました。</li> <li>• nSTATUS ピンの機能と接続ガイドラインを更新しました。</li> <li>• IO3V[0,1,2,3,4,5,6,7]_[10,12,20,22] ピンの説明と接続ガイドラインを更新しました。</li> <li>• VCCFUSEWR_SDM ピンの説明と接続ガイドラインを更新しました。</li> <li>• 次のピンの接続ガイドラインを更新しました。VCCR_GXB[L1,R4] [C,D,E,F,G,H,I,J,K,L,M,N]、VCCT_GXB[L1,R4] [C,D,E,F,G,H,I,J,K,L,M,N]、および VCCH_GXB[L1,R4][C,D,E,F,G,H,I,J,K,L,M,N]。</li> <li>• ピンの接続ガイドラインを更新しました。REFCLK_GXB[L1,R4][C,D,E,F,G,H,I,J,K,L,M,N]_CH[B,T]p および REFCLK_GXB[L1,R4][C,D,E,F,G,H,I,J,K,L,M,N]_CH[B,T]n。</li> <li>• 次のピンの INIT_DONE 機能のピンの説明を更新しました。SDM_IO0、SDM_IO5、および SDM_IO16。</li> <li>• 次のピンの接続ガイドラインを更新しました。VCCRT_GXE(L2, L3, R1, R2, R3) および VCCRTPLL_GXE(L2, L3, R1, R2, R3)。</li> <li>• 次のピンの HPS_COLD_nRESET 機能の接続ガイドラインを更新しました。SDM_IO0、SDM_IO10、SDM_IO11、SDM_IO12、SDM_IO13、SDM_IO14、SDM_IO15、および SDM_IO16。</li> <li>• 次のピンの接続ガイドラインを更新しました。CLK_ESRAM_[0,1]p および CLK_ESRAM_[0,1]n。</li> </ul>

continued...



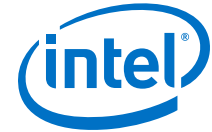
ドキュメントバージョン	変更内容
	<ul style="list-style-type: none"> <li>次の電源共有ガイドラインを更新しました。                     <ul style="list-style-type: none"> <li>例 7 - インテル Stratix 10 MX (-1V, -2V, および -3V 部品)</li> <li>例 8 - インテル Stratix 10 MX (-1V, -2V, および -3V 部品)</li> <li>例 9 - インテル Stratix 10 TX (-1V, -2V, および -3V 部品)</li> <li>例 10 - インテル Stratix 10 TX (-2L および -3X 部品)</li> </ul> </li> <li>次の電源共有ガイドラインを削除しました。                     <ul style="list-style-type: none"> <li>インテル Stratix 10 MX (-2L および -3X 部品)</li> </ul> </li> <li>パルス幅変調 (PWM) モードのサポートを削除しました。</li> <li>SEU_ERROR および CvP_CONFDONE ピンに関する注記を <i>インテル Stratix 10 GX ピン接続ガイドラインの注記</i> から削除し、SEU_ERROR および CvP_CONFDONE ピンの接続ガイドラインをそれぞれの SDM ピン機能に追加しました。</li> </ul>
2018.08.16	<ul style="list-style-type: none"> <li>これらのピンが HPS に次のピンで使用できるという説明を追加しました。TCK、TMS、TDO、TDI、JTAG_TCK、JTAG_TMS、JTAG_TDO、および JTAG_TDI。</li> <li>注記 13 を <i>インテル Stratix 10 GX ピン接続ガイドラインの注記</i> の項に追加しました。</li> <li>HPS_COLD_nRESET 機能を次のピンに追加しました。SDM_IO0、SDM_IO10、SDM_IO11、SDM_IO12、SDM_IO13、SDM_IO14、SDM_IO15、および SDM_IO16。</li> <li>トランシーバー・ピンの項に説明を追加して、nPERST[L,R][0:2] ピンへの参照としました。</li> <li>次のピンで PWRMGT_ALERT ピン機能を追加しました。SDM_IO0 および SDM_IO12。</li> <li>ピンの接続ガイドラインを更新しました。VCCR_GXB[L1,R4] [C,D,E,F,G,H,I,J,K,L,M,N] および VCCT_GXB[L1,R4] [C,D,E,F,G,H,I,J,K,L,M,N]。</li> <li>VCCH_GXB[L,R] のピン名を更新して VCCH_GXB[L1,R4][C,D,E,F,G,H,I,J,K,L,M,N] としました。</li> <li>次のピンの接続ガイドラインを更新しました。GXB[L1,R4][C,D,E,F,G,H,I,J,K,L,M,N]_RX_CH[0:5]p、GXB[L1,R4][C,D,E,F,G,H,I,J,K,L,M,N]_REFCLK[0:5]p、GXB[L1,R4][C,D,E,F,G,H,I,J,K,L,M,N]_RX_CH[0:5]n、および GXB[L1,R4][C,D,E,F,G,H,I,J,K,L,M,N]_REFCLK[0:5]n。</li> <li>次のピンの接続ガイドラインを更新しました。REFCLK_GXB[L1,R4][C,D,E,F,G,H,I,J,K,L,M,N]_CH[B,T]p および REFCLK_GXB[L1,R4][C,D,E,F,G,H,I,J,K,L,M,N]_CH[B,T]n。</li> <li>VCCIO3V ピンの接続ガイドラインを更新しました。</li> <li>SDM_IO ピンの PWRMGT_SCL、PWRMGT_SDA、および PWRMGT_PWM0 機能のために -V デバイスの接続ガイドラインを更新しました。</li> <li>VCCRTPLL_GXE(L2, L3, R1, R2, R3) ピンの接続ガイドラインを更新しました。</li> <li>未使用のピンをフローティングのままにするように次のピンの接続ガイドラインを更新しました。GXE(L8, R9)(A, B, C)_RX_CH[0:23]p および GXE(L8, R9)(A, B, C)_RX_CH[0:23]n。</li> <li>次のピンの接続ガイドラインを更新しました。REFCLK_GXE(L8,R9)(A,B,C)_CH[0:8]p および REFCLK_GXE(L8,R9)(A,B,C)_CH[0:8]n。</li> <li>VCCL_HPS ピンの接続ガイドラインを更新しました。</li> <li>インテル Stratix 10 GX ピン接続ガイドラインの注記内の注記 12 を更新しました。</li> <li>インテル Stratix 10 デバイスの <i>電源共有ガイドライン</i> の項を更新し、パワーアップおよびパワーダウンのシーケンスの要件に関する参考資料を含めました。</li> </ul>



ドキュメント・バージョン	変更内容
	<ul style="list-style-type: none"> <li>• NAND コンフィグレーション手法のサポートを削除しました。</li> <li>• 次の電源共有ガイドラインを追加しました。               <ul style="list-style-type: none"> <li>– 例 4 - インテル Stratix 10 SX (-2L および-3X 部品)</li> <li>– 例 6 - インテル Stratix 10 SX (-2L および-3X 部品)</li> <li>– 例 8 - インテル Stratix 10 MX (-2L および-3X 部品)</li> <li>– 例 10 - インテル Stratix 10 MX (-2L および-3X 部品)</li> <li>– 例 12 - インテル Stratix 10 TX (-2L および-3X 部品)</li> </ul> </li> <li>• 次の電源共有ガイドラインを追加しました。               <ul style="list-style-type: none"> <li>– 例 3 - インテル Stratix 10 SX (-1V、-2V、および-3V 部品)</li> <li>– 例 5 - インテル Stratix 10 SX (-1V、-2V、および-3V 部品)</li> <li>– 例 7 - インテル Stratix 10 MX (-1V、-2V、および-3V 部品)</li> <li>– 例 9 - インテル Stratix 10 MX (-1V、-2V、および-3V 部品)</li> <li>– 例 11 - インテル Stratix 10 TX (-1V、-2V、および-3V 部品)</li> </ul> </li> </ul>

日付	バージョン	変更内容
2017 年 12 月	2017.12.21	<ul style="list-style-type: none"> <li>• 次の インテル Stratix 10 TX を追加しました。               <ul style="list-style-type: none"> <li>– VCCH_GXE(L2, L3, R1, R2, R3)</li> <li>– VCCRT_GXE(L2, L3, R1, R2, R3)</li> <li>– VCCRTPLL_GXE(L2, L3, R1, R2, R3)</li> <li>– VCCCLK_GXE(L2, L3, R1, R2, R3)</li> <li>– GXE(L8, R9)(A, B, C)_RX_CH[0:23]p</li> <li>– GXE(L8, R9)(A, B, C)_RX_CH[0:23]n</li> <li>– GXE(L8, R9)(A, B, C)_TX_CH[0:23]p</li> <li>– GXE(L8, R9)(A, B, C)_TX_CH[0:23]n</li> <li>– REFCLK_GXE(L8,R9)(A,B,C)_CH[0:8]p</li> <li>– REFCLK_GXE(L8,R9)(A,B,C)_CH[0:8]n</li> <li>– IO_AUX_RREF(11, 12, 20, 21, 22)</li> </ul> </li> </ul>

*continued...*



日付	バージョン	変更内容
		<ul style="list-style-type: none"> <li>• 次の HPS セクションを追加しました。                         <ul style="list-style-type: none"> <li>– HPS Oscillator Clock 入力ピン</li> <li>– HPS JTAG ピン</li> <li>– HPS GPIO ピン</li> <li>– HPS SDMMC ピン</li> <li>– HPS NAND ピン</li> <li>– HPS USB ピン</li> <li>– HPS EMAC ピン</li> <li>– HPS I2C_EMAC および MDIO ピン</li> <li>– HPS I2C ピン</li> <li>– HPS SPI ピン</li> <li>– HPS UART ピン</li> <li>– HPS Trace ピン</li> </ul> </li> <li>• インテル Stratix 10 TX の電源共有ガイドライン(10 Gbps &lt; トランシーバー・データ・レート &lt;= 57.8 Gbps)を追加しました。</li> <li>• 次のピン名を更新しました。                         <ul style="list-style-type: none"> <li>– CLK_ESRAM_[0,1] p</li> <li>– CLK_ESRAM_[0,1] n</li> <li>– RREF_ESRAM_[0,1]</li> </ul> </li> <li>• 次のピンの接続ガイドラインを更新しました。                         <ul style="list-style-type: none"> <li>– CLK_ESRAM_[0,1]p</li> <li>– CLK_ESRAM_[0,1]n</li> <li>– UIB_PLL_REF_CLK_[00,01]p</li> <li>– UIB_PLL_REF_CLK_[00,01]n</li> </ul> </li> <li>• 次のピンの接続ガイドラインを更新しました。VREFP_ADC および VREFN_ADC。</li> <li>• 次のピンの接続ガイドラインを更新しました。TEMPDIODEp[0..6] および TEMPDIODEn[0..6]。</li> <li>• 次のピンの接続ガイドラインを更新しました。VCCLSENSE および GNDSENSE。</li> <li>• 次のピンの接続ガイドラインを更新しました。OSC_CLK_1。</li> <li>• 次のピンの接続ガイドラインを更新しました。VCCR_GXB[L1,R4] [C,D,E,F,G,H,I,J,K,L,M,N] および VCCT_GXB[L1,R4] [C,D,E,F,G,H,I,J,K,L,M,N]。</li> <li>• 次のピン名を更新しました。VCCM_WORD_(BL,TL) および VCCIO_UIB_(BL,TL)。</li> <li>• SDM_IO ピンの説明を更新して、デバイスパワーアップ時の抵抗の情報を含めました。</li> <li>• 次のピンの INIT_DONE 機能のピンの説明を更新しました。SDM_IO0、SDM_IO5、および SDM_IO16。</li> <li>• 次のピンの PWRMGT_SCL 機能のピンの説明を更新しました。SDM_IO0 および SDM_IO14。</li> <li>• 次のピンの PWRMGT_SDA 機能のピンの説明を更新しました。SDM_IO11、SDM_IO12、および SDM_IO16。</li> <li>• インテル Stratix 10 GX ピン接続ガイドラインの注記内の注記 12 を更新しました。</li> </ul>

continued...





日付	バージョン	変更内容
		<ul style="list-style-type: none"> <li>Added a note for the VCCL_HPS、VCCPLL_HPS、VCCIO_HPS、および VCCPLLDIG_HPS 電源レールの注記を次の電源共有ガイドラインに追加しました。               <ul style="list-style-type: none"> <li>インテル Stratix 10 SX の電源共有ガイドライン(トランシーバー・データ・レート &lt;= 15Gbps</li> <li>インテル Stratix 10 SX の電源共有ガイドライン(15 Gbps &lt; トランシーバー・データ・レート &lt;= 28.3 Gbps</li> </ul> </li> </ul>
2017年7月	2017.07.14	次のピンを追加しました。TEMPDIODEp[0..6] および TEMPDIODEn[0..6]。
2017年6月	2017.06.16	<ul style="list-style-type: none"> <li>次のピンに INIT_DONE 機能を追加しました。SDM_IO5 および SDM_IO16。</li> <li>External Memory Interface Pin Information for インテル Stratix 10 Devices へのリンクを追加しました。</li> <li>次のピンの接続ガイドラインを更新しました。PLL_[2][A,B,C,F,G,H,I,J,K,L,M,N]_FB[0]、PLL_[3][A,B,C,F,G,H,I,J,K,L,M,N]_FB[0]、PLL_[2][A,B,C,F,G,H,I,J,K,L,M,N]_FBp、PLL_[3][A,B,C,F,G,H,I,J,K,L,M,N]_FBp、PLL_[2][A,B,C,F,G,H,I,J,K,L,M,N]_FBn、PLL_[3][A,B,C,F,G,H,I,J,K,L,M,N]_FBn、PLL_[2][A,B,C,F,G,H,I,J,K,L,M,N]_CLKOUT[0:1]、PLL_[3][A,B,C,F,G,H,I,J,K,L,M,N]_CLKOUT[0:1]、PLL_[2][A,B,C,F,G,H,I,J,K,L,M,N]_CLKOUT[0:1]p、PLL_[3][A,B,C,F,G,H,I,J,K,L,M,N]_CLKOUT[0:1]p、および PLL_[2][A,B,C,F,G,H,I,J,K,L,M,N]_CLKOUT[0:1]n、および PLL_[3][A,B,C,F,G,H,I,J,K,L,M,N]_CLKOUT[0:1]n。</li> <li>OSC_CLK_1 ピンの説明と接続ガイドラインを更新しました。</li> <li>IO3V[0,1,2,3,4,5,6,7]_[10,12,20,22] ピンの説明でサポートされている I/O 規格を更新しました。</li> <li>次のピンの機能と接続ガイドラインを更新しました。RZQ_[2][A,B,C,F,G,H,I,J,K,L,M,N] および RZQ_[3][A,B,C,D,E,F,G,H,I,J,K,L]。</li> <li>VCCIO([2][A,B,C,F,L,M,N],[3][A,B,C,I,J,K,L]) ピンの接続ガイドラインを更新しました。</li> <li>VCCERAM のピンの説明を更新しました。</li> <li>VCCFUSEWR_SDM ピンの接続ガイドラインを更新しました。</li> <li>次のピンの接続ガイドラインを更新しました。VCCR_GXB[L1,R4][C,D,E,F,G,H,I,J,K,L,M,N] および VCCT_GXB[L1,R4][C,D,E,F,G,H,I,J,K,L,M,N]。</li> <li>SDM_IO5 ピンの CONF_DONE 機能のピンの説明と接続ガイドラインを更新しました。</li> <li>次のピンに INIT_DONE 機能を追加しました。SDM_IO5 および SDM_IO16。</li> <li>Stratix 10 GX および MX のピン接続ガイドラインへの注記内の注記 12 を更新しました。</li> <li>VCCL_HPS および VCCPLLDIG_HPS の供給を 0.94V に更新しました。</li> <li>VCCL_HPS ピンの接続ガイドラインを更新しました。</li> <li>VCC および VCCP 電源レールに関する注記を次の表で更新しました。               <ul style="list-style-type: none"> <li>Stratix 10 GX の電源共有ガイドライン(トランシーバー・データ・レート &lt;= 15 Gbps)</li> <li>Stratix 10 GX の電源共有ガイドライン(15 Gbps &lt; トランシーバー・データ・レート &lt;= 28.3 Gbps)</li> </ul> </li> </ul>

continued...



日付	バージョン	変更内容
		<ul style="list-style-type: none"> <li>• V<sub>CC</sub>、V<sub>CCP</sub>、V<sub>CCCL_HPS</sub>、and V<sub>CCPLLDIG_HPS</sub> 電源レベルに関する注記を次の例で更新しました。 <ul style="list-style-type: none"> <li>– Stratix 10 SX の電源共有ガイドライン(トランシーバー・データ・レート &lt;= 15 Gbps)</li> <li>– Stratix 10 Sx の電源共有ガイドライン(15 Gbps &lt; トランシーバー・データ・レート &lt;= 28.3 Gbps)</li> <li>– Stratix 10 MX の電源共有ガイドライン(トランシーバー・データ・レート &lt;= 15 Gbps)</li> <li>– Stratix 10 MX の電源共有ガイドライン(15 Gbps &lt; トランシーバー・データ・レート &lt;= 28.3 Gbps)</li> </ul> </li> <li>• 注記 1 の V<sub>CCCL_HPS</sub> および V<sub>CCPLLDIG_HPS</sub> の電圧供給を次の図で更新しました。 <ul style="list-style-type: none"> <li>– Stratix 10 Sx の電源共有ガイドライン(トランシーバー・データ・レート &lt;= 15 Gbps)の例</li> <li>– Stratix 10 SX の電源共有ガイドライン(15 Gbps &lt; (トランシーバー・データ・レート &lt;= 28.3 Gbps)の例</li> <li>– Stratix 10 MX の電源共有ガイドライン(トランシーバー・データ・レート &lt;= 15 Gbps 例)の例</li> <li>– Stratix 10 MX の電源共有ガイドライン (15 Gbps &lt; トランシーバー・データ・レート &lt;= 28.3 Gbps)の例</li> </ul> </li> <li>• VCCM の許容誤差を±100 mV に更新しました。</li> <li>• ツール名から PowerPlay のテキストを削除しました。</li> </ul>
2017年2月	2017.02.24	<ul style="list-style-type: none"> <li>• MX デバイスのバリエーションに次のピンを追加しました。 <ul style="list-style-type: none"> <li>– VCCM[B, T]</li> <li>– VCCIO_UIB_[B, T]</li> <li>– ESRAM_PLL_REF_CLK_[0, 1]p</li> <li>– ESRAM_PLL_REF_CLK_[0, 1]n</li> <li>– UIB_PLL_REF_CLK_[00, 01, 10, 11]p</li> <li>– UIB_PLL_REF_CLK_[00, 01, 10, 11]n</li> <li>– ESRAM_RREF_[B, T]</li> <li>– UIB_RREF_[00, 01, 10, 11]</li> </ul> </li> <li>• 次の MX デバイスの電源共有ガイドラインを追加しました。 <ul style="list-style-type: none"> <li>– 例 5. Stratix 10 MX の電源共有ガイドライン(トランシーバー・データ・レート &lt;= 15 Gbps)</li> <li>– 例 6. Stratix 10 MX の電源共有ガイドライン(15 Gbps &lt; トランシーバー・データ・レート &lt;= 28.3 Gbps)</li> </ul> </li> <li>• IO3V[0, 1, 2, 3, 4, 5, 6, 7]_[10, 12, 20, 22] ピン名を更新しました。</li> <li>• SDM_IO13 のピンの接続ガイドラインを更新しました。</li> <li>• 次のピンの CONF_DONE 機能のピンの説明を更新しました。SDM_IO5 および SDM_IO16。</li> <li>• Stratix 10 GX および MX のピン接続ガイドラインへの注記内の注記 7 を更新しました。</li> <li>• Stratix 10 GX のピン接続ガイドラインへの注記内の注記 6 を更新しました。</li> <li>• トランシーバー・データ・レートを 30 Gbps から 28.3 Gbps に更新しました。</li> </ul>
2016年10月	2016.10.31	初版