

# インテル® Cyclone® 10 GX デバイスファミリー・ピン接続ガイド ドライン



## 目次

---

インテル® Cyclone® 10 GX デバイスファミリー・ピン接続ガイドライン.....	3
インテル® Cyclone® 10 GX ピン接続ガイドライン.....	4
クロックおよび PLL ピン.....	4
専用コンフィグレーション / JTAG ピン.....	5
オプション / 兼用コンフィグレーション・ピン.....	8
差動 I/O ピン.....	9
外部メモリー・インターフェイス・ピン.....	10
電圧センサーピン.....	12
リファレンス・ピン.....	13
電源供給ピン.....	13
トランシーバー・ピン.....	17
インテル Cyclone 10 GX ピン配置ガイドラインの備考.....	19
インテル Cyclone 10 GX デバイスの電源共有ガイドライン.....	21
例 1— インテル Cyclone 10 GX .....	21
例 2— インテル Cyclone 10 GX .....	23
インテル Cyclone 10 GX デバイスファミリー・ピン接続ガイドラインの改訂履歴.....	25



## インテル® Cyclone® 10 GX デバイスファミリー・ピン接続ガイドライン

### Disclaimer

© 2017 Intel Corporation. All rights reserved. Intel, the Intel logo, Altera, Arria, Cyclone, Enpirion, MAX, Megacore, NIOS, Quartus Prime and Stratix words and logos are trademarks of Intel Corporation in the US and/or other countries. Other marks and brands may be claimed as the property of others. Intel warrants performance of its FPGA and semiconductor products to current specifications in accordance with Intel's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Intel assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Intel. Intel customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

These pin connection guidelines, and your use thereof, are subject to and governed by Intel's terms and conditions below. By using these pin connection guidelines, you indicate your acceptance of all such terms and conditions. If you do not agree with such terms and conditions, you may not use the pin connection guidelines, and you are required to promptly and irrevocably destroy the pin connection guidelines and any copies or portions thereof in your possession or under your control.

### Terms and Conditions:

1. These pin connection guidelines are provided as examples only, and should not be deemed to be technical specifications or recommendations. The use of the pin connection guidelines for any particular design should be verified for device operation with the applicable datasheet and Intel.
2. Subject to these terms and conditions, Intel grants to you the use of these pin connection guidelines as examples of possible pin connections of an Intel programmable logic device-based design. You may not use these pin connection guidelines for any other purpose except as expressly permitted in these terms and conditions. Intel does not recommend, suggest, or require that these pin connection guidelines be used in conjunction or combination with any other software or product, and makes no representations, warranties or guaranties, implied or express as well as any warranties arising from course of performance, course of dealing, or usage in trade including but not limited to the accuracy, completeness or genuineness thereof.
3. Intel will not be liable for any lost revenue, lost profits, or other consequential, indirect, or special damages caused by your use of these pin connection guidelines even if advised of the possibility of such damages occurring.
4. This agreement shall be governed in all respects by the laws of the State of Delaware, without regard to conflict of law or choice of law principles. You agree to submit to the exclusive jurisdiction of the federal and state courts in the State of Delaware for the resolution of any dispute or claim arising out of or relating to these terms of use.

Intel Corporation.無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/ またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

\*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO  
9001:2008  
登録済



## インテル® Cyclone® 10 GX ピン接続ガイドライン

### クロックおよび PLL ピン

**注意:** インテル® は インテル Quartus® Prime 開発ソフトウェア・デザインの作成、デバイス I/O 割り当て、およびデザインのコンパイルを推奨していません。インテル Quartus Prime 開発ソフトウェアは I/O 割り当てと配置の規則に応じてピン接続を確認します。規則は、デバイス集積度、パッケージ、I/O 割り当て、電圧割り当て、および本資料またはデバイス・ハンドブックで説明されていないその他の要因に基づいてデバイスごとに異なります。

**表 1.** クロックおよび PLL ピン

ピン名	ピンの機能	ピンの説明	接続ガイドライン
CLK_[2,3] [A,B,J,K,L]_[0,1]p	I/O、クロック入力	データの入力または出力に使用できる専用の高速クロック入力ピンです。差動入力 OCT R <sub>D</sub> 、シングルエンド入力 OCT R <sub>T</sub> 、およびシングルエンド出力 OCT R <sub>S</sub> はこれらのピンでサポートされています。	未使用のピンを GND に接続するか、未接続のままにします。 ピンが接続されていない場合は、インテル Quartus Prime 開発ソフトウェアでプログラム可能なオプションを使用して、これらのピンを内部にバイアスします。これらのピンは、ウィークプルアップ抵抗を有効にしてトライステート入力として、または GND を駆動する出力として予約できません。
CLK_[2,3] [A,B,J,K,L]_[0,1]n	I/O、クロック入力	データの入力または出力に使用できる専用の高速クロック入力ピンです。差動入力 OCT R <sub>D</sub> 、シングルエンド入力 OCT R <sub>T</sub> 、およびシングルエンド出力 OCT R <sub>S</sub> はこれらのピンでサポートされています。	未使用のピンを GND に接続するか、未接続のままにします。 ピンが接続されていない場合は、インテル Quartus Prime 開発ソフトウェアでプログラム可能なオプションを使用して、これらのピンを内部にバイアスします。これらのピンは、ウィークプルアップ抵抗を有効にしてトライステート入力として、または GND を駆動する出力として予約できません。
PLL_[2,3] [A,B,J,K,L]_FB[0,1]	I/O、クロック	シングルエンド入力、シングルエンド出力、または外部フィードバックピンとして使用できる兼用 I/O ピンです。サポートされるピンについて詳しくは、デバイスのピンアウトファイルを参照してください。	未使用のピンを GND に接続するか、未接続のままにします。 ピンが接続されていない場合は、インテル Quartus Prime 開発ソフトウェアでプログラム可能なオプションを使用して、これらのピンを内部にバイアスします。これらのピンは、ウィークプルアップ抵抗を有効にしてトライステート入力として、または GND を駆動する出力として予約できません。
PLL_[2,3] [A,B,J,K,L]_CLKOUT[0:1] ], PLL_[2,3] [A,B,J,K,L]_CLKOUT[0:1] ]p	I/O、クロック	2 本のシングルエンド・クロック出力ピンまたは 1 本の差動クロック出力ペアとして使用できる I/O ピンです。サポートされるピンについては、デバイスのピンアウトファイルを参照してください。	未使用のピンを GND に接続するか、未接続のままにします。 ピンが接続されていない場合は、インテル Quartus Prime 開発ソフトウェアでプログラム可能なオプションを使用して、これらのピンを内部にバイアスします。これらのピンは、ウィークプルアップ抵抗を有効にしてトライステート入力として、または GND を駆動する出力として予約できません。
PLL_[2,3] [A,B,J,K,L]_CLKOUT[0:1] ]n	I/O、クロック	2 本のシングルエンド・クロック出力ピンまたは 1 本の差動クロック出力ペアとして使用できる I/O ピンです。サポートされるピンについては、デバイスのピンアウトファイルを参照してください。	未使用のピンを GND に接続するか、未接続のままにします。

*continued...*



ピン名	ピンの機能	ピンの説明	接続ガイドライン
			ピンが接続されていない場合は、インテル Quartus Prime 開発ソフトウェアでプログラム可能なオプションを使用して、これらのピンを内部にバイアスします。これらのピンは、ウィークプルアップ抵抗を有効にしてトライステート入力として、または GND を駆動する出力として予約できます。

## 専用コンフィグレーション / JTAG ピン

**注意:** インテル は、インテル Quartus Prime 開発ソフトウェア・デザインの作成、デバイス I/O 割り当て、およびデザインのコンパイルを推奨しています。インテル Quartus Prime 開発ソフトウェアは I/O 割り当てと配置の規則に応じてピン接続を確認します。規則は、デバイス集積度、パッケージ、I/O 割り当て、電圧割り当て、および本資料またはデバイス・ハンドブックで説明されていないその他の要因に基づいてデバイスごとに異なります。

表 2. 専用 コンフィグレーション / JTAG ピン

ピン名	ピンの機能	ピンの説明	接続ガイドライン
nIO_PULLUP	入力	コンフィグレーション実行前および実行中に、ユーザー I/O ピンおよび専用 I/O ピン (DATA[0:31]、CLKUSR、INIT_DONE、DEV_OE、および DEV_CLRn) の内部のプルアップをオンまたはオフのどちらにするかを決定する専用入力ピンです。 ロジック High はウィークプルアップをオフにし、ロジック Low はウィークプルアップをオンにします。	nIO_PULLUP ピンは、1 kΩ のプルアップ抵抗を使用して VCC に直接接続するか、GND に直接接続します。このピンは 25 kΩ の内部プルダウン抵抗を備えています。 このピンを VCC に接続する場合は、コンフィグレーション実行前および実行中に、すべてのユーザー I/O ピンと兼用 I/O ピンがロジック 0 である必要があります。
TEMPDIODEp	入力	FPGA 内部の温度検知ダイオード (バイアス High 入力) で使用されるピンです。	温度検知ダイオードを外付けの温度センサーデバイスとともに使用しない場合は、このピンを GND に接続します。
TEMPDIODEn	入力	FPGA 内部の温度検知ダイオード (バイアス High 入力) で使用されるピンです。	温度検知ダイオードを外付けの温度センサーデバイスとともに使用しない場合は、このピンを GND に接続します。
MSEL[0:2]	入力	FPGA デバイスのコンフィグレーション手法を設定するコンフィグレーション入力ピンです。	これらのピンは 25 kΩ のプルアップ抵抗を介して内部的に GND に接続されます。これらのピンをフローティング状態のままにしないでください。これらのピンが未使用の場合は、GND に接続します。 使用するコンフィグレーション手法に応じて、これらのピンを VCCPGM または GND に接続します。コンフィグレーション手法のオプションについて詳しくは、インテル Cyclone® 10 GX デバイスのコンフィグレーション、デザイン・セキュリティ、およびリモートシステムのアップグレードの章を参照してください。 JTAG コンフィグレーション手法を使用する場合は、これらのピンを GND に接続します。

continued...



ピン名	ピンの機能	ピンの説明	接続ガイドライン
nCE	入力	専用のアクティブ Low チップ・イネーブル・ピンです。nCE ピンが Low の場合、デバイスはイネーブルです。nCE ピンが High の場合、デバイスはディスエーブルです。	マルチデバイスのコンフィグレーションでは、最初のデバイスの nCEO ピンがチェーンの次のデバイスの nCE を駆動している間、最初のデバイスの nCE を Low に固定します。 単一デバイスのコンフィグレーションと JTAG プログラミングでは、nCE を GND に接続します。
nCONFIG	入力	専用のコンフィグレーション・コントロール入力ピンです。ユーザーモード中にこのピンを Low にすると FPGA はコンフィグレーション・データを失って、リセット状態に入り、すべての I/O ピンをトライステートにします。このピンをロジック High レベルに戻すと、再コンフィグレーションが開始されます。	FPGA がパッシブ・コンフィグレーション手法を使用する場合は、nCONFIG ピンをコンフィグレーション・コントローラーに直接接続します。 FPGA が AS ( アクティブシリアル ) コンフィグレーション手法を使用する場合は、nCONFIG ピンを 10 kΩ のプルアップ抵抗を介して VCCPGM に接続します。 このピンを使用しない場合は、直接または 10 kΩ のプルアップ抵抗を介して VCCPGM に接続します。
CONF_DONE	双方向 ( オープンドレイン )	コンフィグレーション専用設定済みのピンです。 出力ステータスとして、CONF_DONE ピンはコンフィグレーション実行前および実行中に Low に駆動します。すべてのコンフィグレーション・データがエラーなしで受信され、初期化サイクルが開始されると、CONF_DONE は解放されます。 入力ステータスとして、CONF_DONE ピンはすべてのデータを受信した後に High になります。次に、デバイスは初期化され、ユーザーモードに入ります。このピンはユーザー I/O ピンとして使用できません。	外部 10 kΩ のプルアップ抵抗を VCCPGM に接続します。VCCPGM は、デバイスおよび外部ホストの I/O の VIH 仕様を満たすように十分な高さである必要があります。 パッシブ・コンフィグレーション手法を使用すると、コンフィグレーション・コントローラーがこのピンを監視します。
nCEO	I/O、出力 ( オープンドレイン )	デバイス・コンフィグレーションが完了すると、nCEO ピンは Low に駆動します。 このピンは、コンフィグレーション・ピンとして使用しない場合はユーザー I/O ピンとして使用できます。	マルチデバイスでは、nCEO ピンは後続の FPGA の nCE ピンに供給されます。 このピンを外部 10 kΩ のプルアップ抵抗を介して VCCPGM に接続します。 シングルデバイス・コンフィグレーションでは、このピンをフローティング状態のままにします。
nSTATUS	双方向 ( オープンドレイン )	専用のコンフィグレーション・ステータス・ピンです。FPGA はパワーアップ後すぐに nSTATUS ピンを Low に駆動し、POR ( パワーオン・リセット ) 時間後にピンを解放します。 出力ステータスとして、コンフィグレーション中にエラーが発生すると、nSTATUS は Low に引き下げられます。 入力ステータスとしては、nSTATUS ピンがコンフィグレーション時または初期化時に外部ソースによって Low に駆動されると、デバイスがエラー状態になります。	外部 10 kΩ のプルアップ抵抗を VCCPGM に接続します。VCCPGM は、デバイスおよび外部ホストの I/O の VIH 仕様を満たすように十分な高さである必要があります。 パッシブ・コンフィグレーション手法を使用すると、コンフィグレーション・コントローラーがこのピンを監視します。
TCK	入力	専用 JTAG テストクロック入力ピンです。	このピンを 1 kΩ のプルダウン抵抗を介して GND に接続します。このピンは 25 kΩ の内部プルダウンを備えています。

continued...



ピン名	ピンの機能	ピンの説明	接続ガイドライン
			TCK ピンへの VCCPGM 電源を 1.8 V、1.5 V、または 1.2 V 以上の電圧で駆動しないでください。TCK 入力ピンは VCCPGM 電源から供給されます。
TMS	入力	専用の JTAG テストモード選択入力ピンです。	このピンは 1-10 kΩ のプルアップ抵抗を介して VCCPGM に接続します。 JTAG インターフェイスを使用しない場合は、TMS を 1 kΩ の抵抗を介して VCCPGM に接続します。このピンは 25 kΩ の内部プルアップ抵抗を備えています。 TMS ピンへの VCCPGM 電源を 1.8 V、1.5 V、または 1.2 V 以上の電圧で駆動しないでください。TMS 入力ピンは VCCPGM 電源から供給されます。
TDI	入力	専用の JTAG テストデータ入力ピン	このピンは 1 ~ 10 kΩ のプルアップ抵抗を介して VCCPGM に接続します。 JTAG インターフェイスを使用しない場合は、TDI を 1 kΩ の抵抗を介して VCCPGM に接続します。このピンは 25 kΩ の内部プルアップ抵抗を備えています。 TDI ピンへの VCCPGM 電源を 1.8 V、1.5 V、または 1.2 V 以上の電圧で駆動しないでください。TDI 入力ピンは VCCPGM 電源から供給されます。
TDO	出力	専用の JTAG テストデータ出力ピンです。	JTAG インターフェイスを使用しない場合は、TDO ピンを未接続のままにします。
TRST	入力	専用のアクティブ Low の JTAG テストリセット入力ピンです。TRST ピンは JTAG バウンダリー・スキャン回路を非同期でリセットために使用されます。	TRST ピンの使用はオプションです。このピンを使用しない場合は、1 kΩ のプルアップ抵抗を介して VCCPGM に接続します。 このピンを使用する場合は、TRST ピンが Low から High に変化する際に、TMS ピンが High に保たれているか、TCK ピンがスタティックである必要があります。 JTAG 回路を無効にするためにこのピンを GND に接続します。このピンは 25 kΩ の内部プルアップ抵抗を備えています。 TRST ピンへの VCCPGM 電源を 1.8 V、1.5 V、または 1.2 V 以上の電圧で駆動しないでください。TRST 入力ピンは VCCPGM 電源から供給されます。
nCSO[0:2]	出力	EPCQ-L デバイスを有効にする AS コンフィグレーション手法で FPGA から EPCQ-L デバイスへの専用出力コントロール信号です。	FPGA を AS コンフィグレーション手法でプログラミングしない場合、nCSO ピンを使用しません。このピンを出力ピンとして使用しない場合は、未接続のままにします。



## オプション / 兼用コンフィグレーション・ピン

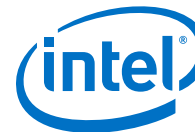
**注意:** インテルはインテル Quartus Prime 開発ソフトウェア・デザインの作成、デバイス I/O 割り当て、およびデザインのコンパイルを推奨しています。インテル Quartus Prime 開発ソフトウェアは I/O 割り当てと配置の規則に応じてピン接続を確認します。規則は、デバイス集積度、パッケージ、I/O 割り当て、電圧割り当て、および本資料またはデバイス・ハンドブックで説明されていないその他の要因に基づいてデバイスごとに異なります。

**表 3. オプション / 兼用コンフィグレーション・ピン**

ピン名	ピンの機能	ピンの説明	接続ガイドライン
DCLK	入力 (PS、FPP); 出力 (AS)	専用コンフィグレーション・クロック・ピンです。パッシブシリアル (PS) およびファースト・パッシブ・パラレル (FPP) コンフィグレーション手法では、DCLK を外部ソースから FPGA へのコンフィグレーション・データのクロックに使用します。 AS コンフィグレーション手法では、DCLK はコンフィグレーション・インターフェイスのタイミングを提供する FPGA からの出力です。	このピンはフローティングのままにしないでください。このピンは High または Low のどちらかで駆動します。
CRC_ERROR	I/O、出力 (オープンドレイン)	エラー検出回路がコンフィグレーション RAM (CRAM) ビットでエラーを検出したことを示すアクティブ High 信号です。 この信号の立ち下りエッジは、エラー・メッセージ・レジスター (EMR) で提供されるエラー位置とタイプについての情報を示します。 この兼用ピンは、ユーザーモードでエラー検出を有効にした場合にのみ使用されます。 このピンはユーザー I/O ピンとして使用されます。	CRC_ERROR 専用のオープンドレイン出力がオプションで使用される場合、10 kΩ の外部プルアップ抵抗を介して VCCPGM に接続します。 オープンドレイン出力の CRC_ERROR 兼用ピンをオプションとして使用せず、CRC_ERROR を I/O ピンとしても使用しない場合は、このピンをインテル Quartus Prime 開発ソフトウェアで定義されたとおりに接続します。
DEV_CLRn	I/O、入力	デバイスレジスターのすべてのクリアーを無効にできるオプションのピンです。 このピンを Low に駆動すると、すべてのレジスターがクリアーされます。 このピンを High (VCCPGM) に駆動すると、すべてのレジスターはプログラムどおりに動作します。	兼用 DEV_CLRn ピンを使用せず、このピンを I/O ピンとして使用しない場合は、このピンを GND に接続します。
DEV_OE	I/O、入力	デバイスのすべてのトリステートを無効にできるオプションのピンです。 このピンが Low に駆動するとすべての I/O ピンはトリステートになります。このピンを High (VCCPGM) に駆動すると、すべての I/O ピンはプログラムどおりに動作します。	兼用 DEV_OE ピンを使用せず、このピンを I/O ピンとして使用しない場合は、このピンを GND に接続します。
DATA0	I/O、入力	兼用のコンフィグレーション・データ入力ピンです。DATA0 ピンは、コンフィグレーションの完了後に PS または FPP コンフィグレーション手法、または I/O ピンとして使用できます。	専用 DATA0 入力ピンを使用せず、このピンを I/O ピンとして使用しない場合は、未接続のままにします。
DATA[1:31]	I/O、入力	兼用コンフィグレーション・データ入力ピンです。	兼用 DATA[1:31] ピンを使用せず、これらのピンを I/O ピンとして使用しない場合は、これらのピンを未接続のままにします。

*continued...*





ピン名	ピンの機能	ピンの説明	接続ガイドライン
		FPP x8 コンフィグレーションでは DATA [1:7] ピン、FPP x16 コンフィグレーションでは DATA [1:15]、FPP x32 コンフィグレーションでは DATA [1:31] ピン、または通常の I/O ピンとして使用します。これらのピンは、コンフィグレーション後にユーザー I/O ピンとして使用できます。	
INIT_DONE	I/O、出力 ( オープンドレイン )	兼用ピンであり、INIT_DONE ピンとして有効でない場合に I/O ピンとして使用できます。 このピンを有効にする場合、Low から High への遷移によりデバイスがユーザーモードに入ったことを示します。INIT_DONE 出力が有効になっている場合、INIT_DONE ピンはコンフィグレーション後にユーザー I/O ピンとして使用できません。	オープンドレイン出力の INIT_DONE 専用ピンをオプションとして使用する場合、10 kΩ の外部プルアップ抵抗を介して VCCPGM に接続します。 このピンを AS または PS マルチデバイス・コンフィグレーション・モードで使用する際は、INIT_DONE ピンが インテル Quartus Prime 開発ソフトウェア・デザインで有効である必要があります。オプションの INIT_DONE 専用オープンドレイン出力ピンを使用せず、このピンを I/O ピンとして使用しない場合は、このピンを インテル Quartus Prime 開発ソフトウェアで定義されている通りに接続します。
nPERSTL0	I/O、入力	PCI Express® (PCIe®) ハード IP (HIP) と併せて使用する場合にのみ使用可能な兼用基本リセットピンです。 このピンが Low に駆動すると、トランシーバーはリセット状態になります。ピンが High の場合、トランシーバーはリセット状態以外になります。このピンを基本リセットピンとして使用しない場合は、このピンをユーザー I/O ピンとして使用できます。	このピンを インテル Quartus Prime 開発ソフトウェアで定義されているとおりに接続します。このピンは 1.8 V 電源を供給されており、1.8 V と互換する I/O 規格により駆動される必要があります。 このピンとインターフェイスさせるために、PCIe nPERST ピンをレベル変換器に接続して電圧を 3.3 V LVTTL から 1.8 V へシフトダウンします。
AS_DATA0/ASDO	双方向	専用 AS コンフィグレーション・ピンです。EPCQ-L デバイス (x1 モード) 使用時、このピンは ASDO ピンであり、アドレス信号およびコントロール信号を FPGA デバイスと EPCQ-L デバイスの間で送信するために使用されます。	AS コンフィグレーション・モードでデバイスをプログラムしない場合は、ASDO ピンは使用されません。このピンを使用しない場合は、未接続のままにします。
AS_DATA[1:3]	双方向	専用 AS コンフィグレーション・ピンです。EPCQ-L デバイスに接続されている場合、コンフィグレーション・データはこのピン上で転送されます。	このピンを使用しない場合は、未接続のままにします。

## 差動 I/O ピン

**注意:** インテル は インテル Quartus Prime 開発ソフトウェア・デザインの作成、デバイス I/O 割り当て、およびデザインのコンパイルを推奨しています。インテル Quartus Prime 開発ソフトウェアは I/O 割り当てと配置の規則に応じてピン接続を確認します。規則は、デバイス集積度、パッケージ、I/O 割り当て、電圧割り当て、および本資料またはデバイス・ハンドブックで説明されていないその他の要因に基づいてデバイスごとに異なります。



表 4. 差動 I/O ピン

ピン名	ピンの機能	ピンの説明	接続ガイドライン
LVDS[2,3] [A,B,J,K,L]_[1:24]p、 LVDS[2,3] [A,B,J,K,L]_[1:24]n	I/O、TX/RX チャンネル	カラムの I/O バンクに、真の LVDS レシーバーおよびトランスミッター・チャンネルがあります。各 I/O のペアを、LVDS レシーバーまたは LVDS トランスミッターとしてコンフィギュレーションできます。末尾が「p」のピンは、差動チャンネルの正の信号を伝達します。末尾が「n」のピンは、差動チャンネルの負の信号を伝達します。差動信号として使用しない場合は、これらのピンはユーザー I/O ピンとして使用できます。	未使用ピンを インテル Quartus Prime 開発ソフトウェアで定義されているとおりに接続します。

### 外部メモリー・インターフェイス・ピン

注意: インテル は インテル Quartus Prime 開発ソフトウェア・デザインの作成、デバイス I/O 割り当て、およびデザインのコンパイルを推奨しています。インテル Quartus Prime 開発ソフトウェアは I/O 割り当てと配置の規則に応じてピン接続を確認します。規則は、デバイス集積度、パッケージ、I/O 割り当て、電圧割り当て、および本資料またはデバイス・ハンドブックで説明されていないその他の要因に基づいてデバイスごとに異なります。

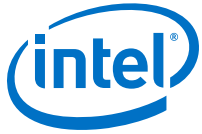
表 5. 外部メモリー・インターフェイス・ピン

ピン名	ピンの機能	ピンの説明	接続ガイドライン
DQS[#]	I/O、双方向	外部メモリー・インターフェイスで使用するオプション・データ・ストロープ信号です。これらのピンは DQS 専用の位相シフト回路に駆動します。	未使用ピンを インテル Quartus Prime 開発ソフトウェアで定義されているとおりに接続します。
DQSn[#]	I/O、双方向	外部メモリー・インターフェイスで使用する相補データ・ストロープ信号です。これらのピンは DQS 専用の位相シフト回路に駆動します。	未使用ピンを インテル Quartus Prime 開発ソフトウェアで定義されているとおりに接続します。
DQ[#]	I/O、双方向	外部メモリー・インターフェイスで使用するオプションのデータ信号です。デザインされた DQ バス内の DQ ビットの順序は重要ではありません。ただし、DQ バスの幅の異なるメモリー・インターフェイスへの移行を予定している場合は、ピン割り当ての際に注意が必要です。ピンリストで関連するすべての DQS カラムにわたって使用可能な DQ ピンを解析します。	未使用ピンを インテル Quartus Prime 開発ソフトウェアで定義されているとおりに接続します。
DQS[#]_[#]	I/O、双方向	外部メモリー・インターフェイスで使用するオプションのデータストロープ信号です。これらのピンは DQS 専用の位相シフト回路に駆動します。シフトされた DQS 信号は内部ロジックに駆動されます。	未使用ピンを インテル Quartus Prime 開発ソフトウェアで定義されているとおりに接続します。
DQSn[#]_[#]	I/O、双方向	外部メモリー・インターフェイスで使用するオプションの相補データストロープ信号です。これらのピンは DQS 専用の位相シフト回路に駆動します。	未使用ピンを インテル Quartus Prime 開発ソフトウェアで定義されているとおりに接続します。
DQ[#]_[#]_[#]	I/O、双方向	外部メモリー・インターフェイスで使用するオプションのデータ信号です。デザインされた DQ バス内の DQ ビットの順序は重要ではありません。ただし、DQ バスの幅の異なるメモリー・インターフェイスへの移行を予	未使用ピンを インテル Quartus Prime 開発ソフトウェアで定義されているとおりに接続します。

continued...



ピン名	ピンの機能	ピンの説明	接続ガイドライン
		定している場合は、ピン割り当ての際に注意が必要です。ピンリストで関連するすべての DQS カラムにわたって使用可能な DQ ピンを解析します。	
DM[#]_[#]	I/O、出力	オプションの書き込みデータマスクで、書き込み時に DQ にエッジで整列します。	未使用ピンを インテル Quartus Prime 開発ソフトウェアで定義されているとおりに接続します。
RESET_N_0	I/O、出力	アクティブ Low のリセット信号です。	未使用ピンを インテル Quartus Prime 開発ソフトウェアで定義されているとおりに接続します。
A_[#]	I/O、出力	DDR3 SDRAM のアドレス入力です。	未使用ピンを インテル Quartus Prime 開発ソフトウェアで定義されているとおりに接続します。
BA_[#]	I/O、出力	DDR3 SDRAM のバンクアドレス入力です。	未使用ピンを インテル Quartus Prime 開発ソフトウェアで定義されているとおりに接続します。
CK_[#]	I/O、出力	外部メモリーデバイスの入力クロックです。	未使用ピンを インテル Quartus Prime 開発ソフトウェアで定義されているとおりに接続します。
CK_N_[#]	I/O、出力	外部メモリーデバイスの入力クロック、反転 CK です。	未使用ピンを インテル Quartus Prime 開発ソフトウェアで定義されているとおりに接続します。
CKE_[#]	I/O、出力	High 信号イネーブルクロック、Low 信号ディスエーブルクロックです。	未使用ピンを インテル Quartus Prime 開発ソフトウェアで定義されているとおりに接続します。
CS_N_[#]	I/O、出力	アクティブ Low のチップセレクトです。	未使用ピンを インテル Quartus Prime 開発ソフトウェアで定義されているとおりに接続します。
CA_[#]_[#]	I/O、出力	LPDDR3 SDRAM のコマンドおよびアドレス入力です。	未使用ピンを インテル Quartus Prime 開発ソフトウェアで定義されているとおりに接続します。
ODT_[#]	I/O、出力	終端抵抗を各ピンに設定するダイ終端信号です。	未使用ピンを インテル Quartus Prime 開発ソフトウェアで定義されているとおりに接続します。
WE_N_0	I/O、出力	DDR3 SDRAM およびすべてのサポートされているプロトコル用の書き込みイネーブル入力です。	未使用ピンを インテル Quartus Prime 開発ソフトウェアで定義されているとおりに接続します。
CAS_N_0	I/O、出力	DDR3 のカラム・アドレス・ストローブです。	未使用ピンを インテル Quartus Prime 開発ソフトウェアで定義されているとおりに接続します。
RAS_N_0	I/O、出力	DDR3 SDRAM のロウ・アドレス・ストローブ信号です。	未使用ピンを インテル Quartus Prime 開発ソフトウェアで定義されているとおりに接続します。
ALERT_N_0	I/O、入力	特定のアラートまたはイベントが発生したことをシステムのメモリー・コントローラーに示すアラート入力です。	未使用ピンを インテル Quartus Prime 開発ソフトウェアで定義されているとおりに接続します。
<i>continued...</i>			



ピン名	ピンの機能	ピンの説明	接続ガイドライン
PAR_0	I/O、出力	コマンドとアドレスのパリティ出力です。	未使用ピンを インテル Quartus Prime 開発ソフトウェアで定義されているとおりに接続します。
CFG_N_0	I/O、出力	コンフィグレーション・ビットです。	未使用ピンを インテル Quartus Prime 開発ソフトウェアで定義されているとおりに接続します。
LBK[#]_N_0	I/O、出力	ループバック・モードです。	未使用ピンを インテル Quartus Prime 開発ソフトウェアで定義されているとおりに接続します。

## 電圧センサーピン

**注意:** インテル は インテル Quartus Prime 開発ソフトウェア・デザインの作成、デバイス I/O 割り当て、およびデザインのコンパイルを推奨しています。インテル Quartus Prime 開発ソフトウェアは I/O 割り当てと配置の規則に応じてピン接続を確認します。規則は、デバイス集積度、パッケージ、I/O 割り当て、電圧割り当て、および本資料またはデバイス・ハンドブックで説明されていないその他の要因に基づいてデバイスごとに異なります。

表 6. 電圧センサーピン

ピン名	ピンの機能	ピンの説明	接続ガイドライン
VREFP_ADC	入力	専用の高精度アナログ電圧リファレンスです。	より良い ADC 性能を得るために、VREFP_ADC ピンを 1.25V の正確な外部リファレンス・ソース (+/- 0.2%) に接続します。VREFP_ADC ピンを VREFN_ADC 信号とともにアナログ信号として扱うことで、差動 1.25 V 電圧が出力できます。外部リファレンスが供給できない場合は、VREFP_ADC を常に GND に接続します。オンチップ・リファレンス・ソース (+/-10%) はそのピンを GND に接続することでアクティブ化されます。損傷を防ぐために、VREFP_ADC は VCCA_PLL 電源レールは以下である必要があります。
VREFN_ADC	入力		より良い ADC 性能を得るために、VREFN_ADC ピンを to the GND1.25V の正確な外部リファレンス・ソース (+/- 0.2%) に接続します。VREFN_ADC ピンを VREFP_ADC 信号とともにアナログ信号として扱うことで、差動 1.25 V 電圧が出力できます。外部リファレンスが供給できない場合は、VREFN_ADC を常に GND に接続します。
VSIGP_[0,1]	入力	外部アナログ電圧を監視するために、FPGA 内部の電圧センサーとともに使用するアナログ差動入力ピンのペア 2 つです。	これらのピンを使用しない場合は、電圧センサー機能の GND に接続します。これらのピンの使用について詳しくは、インテル Cyclone 10 GX デバイスの消費電力管理の章を参照してください。デバイスの損傷を防ぐために、VSIGP と VSIGN ピンは、VCCA_PLL 電源レールが 1.62 V に達するまで駆動しないでください。
VSIGN_[0,1]	入力		



## リファレンス・ピン

**注意:** インテル は インテル Quartus Prime 開発ソフトウェア・デザインの作成、デバイス I/O 割り当て、およびデザインのコンパイルを推奨しています。インテル Quartus Prime 開発ソフトウェアは I/O 割り当てと配置の規則に応じてピン接続を確認します。規則は、デバイス集積度、パッケージ、I/O 割り当て、電圧割り当て、および本資料またはデバイス・ハンドブックで説明されていないその他の要因に基づいてデバイスごとに異なります。

**表 7. リファレンス・ピン**

ピン名	ピンの機能	ピンの説明	接続ガイドライン
RZQ_[#]	I/O	I/O バンクのリファレンス・ピンです。RZQ ピンはこれらが配置された I/O バンクと同じ VCCIO を共有します。外部精度抵抗をバンク内の指定されたピンに接続する必要があります。不要な場合は、このピンは通常の I/O ピンになります。	OCT を使用する場合は、このピンを目的の OCT のインピーダンスに応じて、240 Ω または 100 Ω の抵抗を介して GND に接続します。目的の OCT 手法向けの OCT インピーダンス・オプションについては、インテル Cyclone 10 GX デバイス・ハンドブックを参照してください。
DNU	未使用	未使用 (DNU) です。	このピンを電源、GND または他の信号に接続しないでください。このピンは未接続のままにしておく必要があります。
NC	未接続	このピンに信号を駆動しないでください。	デバイス・マイグレーション向けにデザインする場合は、マイグレーションするデバイスのピンの割り当てに応じて、このピンを電源、GND または信号トレースに接続するためのオプションがあります。ただし、デバイス・マイグレーションを考慮しない場合、このピンをフローティングのままにしてください。

## 電源供給ピン

**注意:** インテル は、インテル Quartus Prime 開発ソフトウェア・デザインの作成、デバイス I/O 割り当て、およびデザインのコンパイルを推奨しています。インテル Quartus Prime 開発ソフトウェアは I/O 割り当てと配置の規則に応じてピン接続を確認します。規則は、デバイス集積度、パッケージ、I/O 割り当て、電圧割り当て、および本資料またはデバイス・ハンドブックで説明されていないその他の要因に基づいてデバイスごとに異なります。

**表 8. 電源供給ピン**

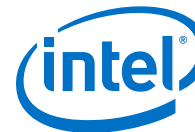
ピン名	ピンの機能	ピンの説明	接続ガイドライン
VCCP	電源	ペリフェラルへの VCCP 電源です。	VCC、VCCP、および VCCERAM は、同一の電圧レベルで動作し、ボード上の同じ電源プレーンを共有し、同じレギュレーターから供給される必要があります。 VCCP ピンを 0.9 V の電源に接続します。パフォーマンスと消費電力について詳しくは、インテル Quartus Prime 開発ソフトウェアのタイミングレポートおよび インテル Cyclone 10 GX Early Power Estimator (EPE) を参照してください。

*continued...*



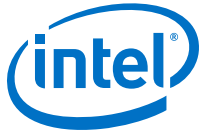
ピン名	ピンの機能	ピンの説明	接続ガイドライン
			<p>電源レールに同じ電圧レベルが必要な場合、VCCP または VCC と同じレギュレーターから VCCR_GXB、VCCT_GXB および VCCERAM へ供給するためのオプションがあります。</p> <p>推奨動作条件について詳しくは、デバイス・データシートの Electrical Characteristics を参照してください。</p> <p>インテル Cyclone 10 GX Early Power Estimator (EPE) を使用して、VCCP とその他の電源の電流要件を求めます。これらのピンのデカップリングは、特定のボードのデカップリング要件に依存します。備考 2、3、4、5、6 および 10 を参照してください。</p>
VCC	電源	コアへの VCC 電源です。VCC は PCI Express ハード IP コアにも電力を供給します。	<p>VCC、VCCP、および VCCERAM は、同一の電圧レベルで動作し、ボード上の同じ電源プレーンを共有し、同じレギュレーターから供給される必要があります。</p> <p>VCC ピンを 0.9 V の電源に接続します。パフォーマンスと消費電力について詳しくは、インテル Quartus Prime 開発ソフトウェアのタイミングレポートおよび インテル Cyclone 10 GX Early Power Estimator (EPE) を参照してください。</p> <p>電源レールに同じ電圧レベルが必要な場合、VCC または VCCP と同じレギュレーターから VCCR_GXB、VCCT_GXB および VCCERAM へ供給するためのオプションがあります。</p> <p>推奨動作条件について詳しくは、デバイス・データシートの Electrical Characteristics を参照してください。</p> <p>インテル Cyclone 10 GX Early Power Estimator (EPE) を使用して、VCC とその他の電源の電流要件を求めます。これらのピンのデカップリングは、特定のボードのデカップリング要件に依存します。備考 2、3、4、5、6 および 10 を参照してください。</p>
VCCPT	電源	プログラマブル・パワー・テクノロジーおよび I/O プリドライバ向けの電源供給です。	<p>VCCPT を 1.8 V の低ノイズ・スイッチング・レギュレーターに接続します。以下を VCCPT と同じレギュレーターから供給することができます。</p> <ul style="list-style-type: none"> <li>適切なアイソレーション・フィルターでの VCCH_GXB および VCCA_PLL</li> <li>同一の電圧レベルを使用し、デザイン・セキュリティ・キー機能が不要な場合の VCCBAT</li> </ul> <p>VCCPT 電源レール向けに VCCPT ピンに近接させて最小で 1 nF のデカップリングが必要です。</p> <p>電源レールの共有について詳しくは、インテル Cyclone 10 GX デバイスの電源共有ガイドラインを参照してください。</p> <p>備考 2、3、4、7、10 を参照してください。</p>

**continued...**



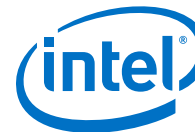
ピン名	ピンの機能	ピンの説明	接続ガイドライン
VCCA_PLL	電源	PLL アナログ電源電圧です。	VCCA_PLL は 1.8 V の低ノイズ・スイッチング・レギュレーターに接続します。適切なアイソレーション・フィルタを使用して、VCCA_PLL に VCCPT と同じレギュレーターから供給することができます。 備考 2、3、4、7、10 を参照してください。
VCCIO([2][A,J,K,L], [3][A,B])	電源	これらは、バンク 1 ~ 12 の I/O 電源電圧ピンです。各デバイスは異なる電圧レベルをサポートすることができます。Diff HSTL/HSTL(12、15、18)、Diff SSTL/SSTL(12、125、135、15、18)、Diff HSUL/HSUL(12)、Diff POD 12、LVDS/Mini_LVDS/RSDS、1.2 V、1.5 V、1.8 V、2.5 V、3.0 V I/O 規格を含む VCCIO 規格をサポートします。	指定されたバンクに必要な I/O 規格に応じて、これらのピンを 1.2 V、1.25 V、1.35 V、1.5 V、1.8 V、2.5 V または 3.0 V の電源に接続します。これらのピンに VCCPGM と同じ電圧レベルが必要である場合、これらのピンを VCCPGM と同じレギュレーターに接続することもできます。すべての I/O バンクが 2.5 V または 3.0 V 電源でサポートされるわけではありません。詳しくは、インテル Cyclone 10 GX デバイスの I/O および高速 I/O を参照してください。 電源レギュレーターの共有について詳しくは、インテル Cyclone 10 GX デバイスの電源共有ガイドラインを参照してください。 備考 2、3、4、8、10 を参照してください。
VCCPGM	電源	コンフィグレーション・ピン電源電圧です。	これらのピンを 1.2 V、1.5 V、または 1.8 V 電源に接続します。兼用コンフィグレーション・ピンをコンフィグレーションに使用する際は、バンクの VCCIO を VCCPGM と同じ 1.2 V、1.5 V、または 1.8 V の範囲のレギュレーターに接続します。兼用コンフィグレーション・ピンをコンフィグレーションに使用しない場合は、VCCIO を 1.2 V、1.25 V、1.35 V、1.5 V または 1.8 V に接続します。 これらのピンに VCCIO と同じ電圧レベルが必要である場合、これらのピンを VCCIO と同じレギュレーターに接続することもできます。 VCCPGM 電源レール向けに、VCCPGM ピンに近接させて最小で 47 nF のデカップリングが必要です。 電源レギュレーターの共有について詳しくは、インテル Cyclone 10 GX デバイスの電源共有ガイドラインを参照してください。 備考 2、3、4、10 を参照してください。
VCCERAM	電源	メモリー電源ピンです。	すべての VCCERAM ピンを 0.9 V のリニアもしくは低ノイズのスイッチング・パワー・サブライに接続します。 VCC、VCCP、および VCCERAM は、電圧レベルで動作し、ボード上の同じ電源プレーンを共有し、同じレギュレーターから供給される必要があります。 備考 2、3、7、10 を参照してください。
VCCBAT	電源	デザイン・セキュリティ・揮発性キーレジスター用のバッテリー・バックアップ電源電圧です。	このピンを 1.2 V ~ 1.8 V の不揮発性のバッテリー電源に接続します。揮発性キーを使用しない場合は、このピンを 1.5 V ~ 1.8 V 以上の範囲の電源に接続します。デザイン・セキュリティ・キーを使用しない場合で 1.8 V を使用する場合には、このピンに VCCPT と同じレギュレーターから供給できます。

continued...



ピン名	ピンの機能	ピンの説明	接続ガイドライン
			<p>このピンは、VCCBAT を監視する インテル Cyclone 10 GX デバイスの POR 回路として、推奨電圧範囲に沿った適切な電源を供給する必要があります。</p> <p>VCCBAT を監視する電源レール向けに、VCCBAT ピンに近接させて最小で 47 nF のデカップリングが必要です。</p> <p>電源レギュレーターの共有について詳しくは、インテル Cyclone 10 GX デバイスの電源共有ガイドラインを参照してください。</p>
GND	グラウンド	デバイス・グラウンド・ピンです。	すべての GND ピンはボードの GND プレーンに接続してください。
VREFB[[2][A,J,K,L], [3][A,B]]N0	電源	各 I/O バンクの入力リファレンス電圧です。バンクが電圧リファレンス I/O 規格を使用する場合は、これらのピンはその I/O バンクの電圧リファレンス・ピンとして使用されます。	VREF ピンを使用しない場合には、これらのピンをピンが位置しているバンクの VCCIO あるいは GND のどちらかに接続します。備考 2、8、10、11 を参照してください。
VCCLSENSE	電源	外部レギュレーターとの差動検出ラインです。	<p>VCCLSENSE および GNDSENSE は、VCC 電源向け差動リモート検出ピンです。レギュレーターの差動リモート検出ラインをそれぞれ VCCLSENSE および GNDSENSE ピンに接続します。これにより、PCB およびデバイスパッケージに関連する VCC 電源からの DC IR ドロップが補償されます。これらの接続は差動ペアトレースとして配線し、また、これらをあらゆるノイズ発生源から分離します。</p> <p><math>I_{CC}</math> 電流 &gt; 30A の場合、VCCLSENSE および GNDSENSE ラインをレギュレーターのリモート検出入力に接続します。</p> <p><math>I_{CC}</math> 電流 ≤ 30A の場合、VCCLSENSE および GNDSENSE ラインの接続はオプションです。ただし、インテル はリモート検出ライン機能をサポートしているレギュレーター向けに VCCLSENSE および GNDSENSE を接続することを推奨します。</p> <p>VCCLSENSE および GNDSENSE ピンを使用していない場合は、VCCLSENSE および GNDSENSE ピンを未接続のままにします。</p>
GNDSENSE	グラウンド		
ADCGND	グラウンド	専用の非ノイズグラウンドです。	<p>電圧センサーを使用する場合、ADCGND を適切なフェライトビーズを用いる分離フィルターを介してボードの GND に接続する必要があります。フェライトビーズは、最大ノイズレベルを示した際のノイズ・プロファイルの周波数に応じて選択します。あるいは、ADCGND の最大電流値である 10 mA に基づいてフェライトビーズを選択することができます。</p> <p>電圧センサーを使用しない場合は、GND ボードのフェライトビーズを用いる分離フィルターはオプションです。</p>





## トランシーバー・ピン

**注意:** インテル は、インテル Quartus Prime 開発ソフトウェア・デザインの作成、デバイス I/O 割り当て、およびデザインのコンパイルを推奨しています。インテル Quartus Prime 開発ソフトウェアは I/O 割り当てと配置の規則に応じてピン接続を確認します。規則は、デバイス集積度、パッケージ、I/O 割り当て、電圧割り当て、および本資料またはデバイス・ハンドブックで説明されていないその他の要因に基づいてデバイスごとに異なります。

**表 9. トランシーバー・ピン**

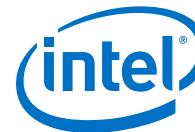
ピン名	ピンの機能	ピンの説明	接続ガイドライン
VCCR_GXB[L1] [C,D]	電源	レシーバーのアナログ電源であり、デバイスの左側 (L) の各トランシーバー・バンクに特化しています。	VCCR_GXB ピンを 0.95 V、1.0 V、または 1.03 V の低ノイズ・スイッチング・レギュレーターに接続します。 VCCP および VCC 電源の電圧と同じレベルである際に、VCCR_GXB を、適切な分離フィルターを使用してこれら電源と共有できます。 すべてのトランシーバー・バンクのすべての VCCR_GXB は適切なデバイス動作のためにパワーオンする必要があります。 VCCR_GXB および VCCT_GXB は同じ電圧レベルで供給する必要があります。 備考 2、3、4、7、10 を参照してください。
VCCT_GXB[L1] [C,D]	電源	レシーバーのアナログ電源であり、デバイスの左側 (L) の各トランシーバー・バンクに特化しています。	VCCT_GXB ピンを 0.95 V、1.0 V、または 1.03 V の低ノイズ・スイッチング・レギュレーターに接続します。 VCCP および VCC 電源の電圧と同じレベルである際に、VCCT_GXB を、適切な分離フィルターを使用してこれら電源と共有できます。 すべてのトランシーバー、fPLL、および IOPLL が使用されていない場合は、VCCT_GXB 電源レールは内部または外部バンクに関係なく、消費電力削減のために GND に接続できます。 VCCR_GXB および VCCT_GXB は同じ電圧レベルで供給する必要があります。 備考 2、3、4、7、10 を参照してください。
VCCH_GXB[L]	電源	ブロックレベルのトランスミッター・バッファーのアナログ電源であり、デバイスの左側 (L) に特化しています。	VCCH_GXB は 1.8 V の低ノイズ・スイッチング・レギュレーターに接続します。適切な分離フィルターを使用して、VCCH_GXB を VCCPT と同じレギュレーターから供給するオプションがあります。 すべてのトランシーバー・バンクのすべての VCCH_GXB は適切なデバイス動作のためにパワーオンする必要があります。 デバイスと同じ側にある VCCH_GXB ピンは、必ず同じ電圧である必要があります。 VCCH_GXB 電源レール向けに、VCCH_GXB ピンに近接させて最小で 2.2 nF のデカップリングが必要です。 備考 2、3、4、7、10 を参照してください。

*continued...*



ピン名	ピンの機能	ピンの説明	接続ガイドライン
GXB[L1] [C,D]_RX_[0:5]p, GXB[L][1] [C,D]_REFCLK_CH[0:5]p	入力	高速差動レシーバーの正のチャンネルです。デバイスの左側 (L) の各トランシーバー・バンクに特化しています。	これらのピンは、使用時に AC カップリングまたは DC カップリングします。すべての未使用の GXB_RXp ピンを GND、VCCR_GXB、または VCCT_GXB ピンに直接接続します。
GXB[L1] [C,D]_RX_[0:5]n, GXB[L][1] [C,D]_REFCLK_CH[0:5]n	入力	高速差動レシーバーの負のチャンネルです。デバイスの左側 (L) の各トランシーバー・バンクに特化しています。	これらのピンは、使用時に AC カップリングまたは DC カップリングします。すべての未使用の GXB_RXn ピンを GND ピンに直接接続します。
GXB[L1] [C,D]_TX_CH[0:5]p	出力	高速差動レシーバーの負のチャンネルです。デバイスの左側 (L) の各トランシーバー・バンクに特化しています。	未使用の GXB_TXp ピンはすべてフローティングのままにします。
GXB[L1] [C,D]_TX_CH[0:5]n	出力	高速差動レシーバーの負のチャンネルです。デバイスの左側 (L) の各トランシーバー・バンクに特化しています。	未使用の GXB_TXn ピンはすべてフローティングのままにします。
REFCLK_GXB[L1] [C,D]_CH[B,T]p	入力	高速差動リファレンス・クロックの正のレシーバーチャンネルで、デバイスの左側 (L) の各トランシーバー・バンクに特化しています。 REFCLK_GXB は、トランシーバー・チャンネルが無効である場合でも、コアクロック生成向けの fPLL の専用クロック入力ピンとして使用できます。	これらのピンは、選択されている REFCLK I/O 規格が HCSSL の場合、AC カップリングする必要があります。 PCI Express コンフィグレーションでは、選択された REFCLK I/O 規格が HCSSL の場合、REFCLK の DC カップリングが可能です。 すべての未使用ピンをそれぞれ GND に接続するか、まとめて 1 つの 10 kΩ 抵抗を介して GND に接続します。ピンから抵抗までの配線を可能な限り短くする必要があります。 備考 9 を参照してください。
REFCLK_GXB[L1] [C,D]_CH[B,T]n	入力	高速差動リファレンス・クロックでありレシーバーチャンネルと相互的で、デバイスの左側 (L) の各トランシーバー・バンクに特化しています。 REFCLK_GXB は、トランシーバー・チャンネルが無効である場合でも、コアクロック生成向けの fPLL の専用クロック入力ピンとして使用できます。	これらのピンは、選択されている REFCLK I/O 規格が HCSSL ではない場合、AC カップリングする必要があります。 PCI Express コンフィグレーションでは、選択された REFCLK I/O 規格が HCSSL の場合、REFCLK の DC カップリングが可能です。 すべての未使用ピンをそれぞれ GND に接続するか、まとめて 1 つの 10 kΩ 抵抗を介して GND に接続します。ピンから抵抗までの配線を可能な限り短くする必要があります。 備考 9 を参照してください。
CLKUSR	I/O	このピンはトランシーバー・キャリブレーション用のクロックとして使用し、トランシーバーを使用する際の必要条件です。このピンは EMIF HMC キャリブレーションに使用することもでき、複数のデバイスの初期化を同期させるためのコンフィグレーション・クロック入力としても使用できます。これは、ユーザー供給のクロックおよび入力の周波数の範囲は、100 MHz から 125 MHz です。	CLKUSR ピンをコンフィグレーションやトランシーバー・キャリブレーションに使用する場合は、デバイス・コンフィグレーションの開始時かつデバイスがユーザーモードに入っている場合に CLKUSR ピンに外部の自走式かつ安定したクロックを供給する必要があります。デバイスのパワーアップ時にクロックが存在していなければ、クロックが使用できるようになるまでトランシーバー・キャリブレーションが遅れます。

continued...



ピン名	ピンの機能	ピンの説明	接続ガイドライン
		このピンは、トランシーバーや EMIF HMC を使用せず、ユーザー供給のコンフィグレーション・クロックとしても使用しない場合のみ、ユーザー GPIO ピンとして使用できます。	<p>CLKUSR ピンに、コンフィグレーション・モードおよびトランシーバー・キャリブレーション両方に適用可能な標準的なクロック周波数を供給する必要があります。</p> <p>CLKUSR ピンをコンフィグレーションに使用しないが、トランシーバー・キャリブレーションに CLKUSR ピンを使用する場合は、デバイス・コンフィグレーションの開始時かつデバイスがユーザーモードに入っている場合に CLKUSR ピンに外部の自走式かつ安定したクロックを供給する必要があります。デバイスのパワーアップ時にクロックが存在していなければ、クロックが使用できるようになるまでトランシーバー・キャリブレーションが遅れます。これはプロトコルのコンプライアンスに影響する可能性があります。</p> <p>CLKUSR ピンをコンフィグレーションに使用するが、CLKUSR をトランシーバー・キャリブレーションに使用しない場合は、ユーザー供給クロック入力を使用する必要があります。</p> <p>詳しくは、<a href="#">インテル Cyclone 10 GX GX デバイスのコンフィグレーション、デザイン・セキュリティ、およびリモートシステムのアップグレードの章</a>を参照してください。</p> <p>以下のいずれかで CLKUSR ピンを使用しない場合は、CLKUSR ピンを GND に接続します。</p> <ul style="list-style-type: none"> <li>• コンフィグレーション・クロック入力</li> <li>• トランシーバー・キャリブレーション・ブロック</li> <li>• I/O ピン</li> </ul>
RREF_[T,B][L]	入力	fPLL、IOPLL、およびトランシーバーのリファレンス抵抗であり、デバイスのトップ (T)、またはボトム (B) および左側 (L) に特化します。	デバイスの片側または IOPLL のいずれかの REFCLK ピンまたはトランシーバー・チャンネルを使用している場合は、デバイスの同じ側の各 RREF ピンを個別の 2kΩ の抵抗を介して GND に接続します。それ以外の場合は、デバイスの同じ側にある各 RREF ピンを GND に直接接続できます。レイアウトでは、このピンから抵抗までのトレースは、アグレッサ信号を避けるように配線される必要があります。

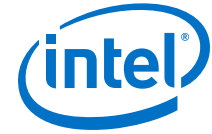
## インテル Cyclone 10 GX ピン配置ガイドラインの備考

**注意:** インテル は、インテル Quartus Prime 開発ソフトウェア・デザインの作成、デバイス I/O 割り当て、およびデザインのコンパイルを推奨しています。インテル Quartus Prime 開発ソフトウェアは I/O 割り当てと配置の規則に応じてピン接続を確認します。規則は、デバイス集積度、パッケージ、I/O 割り当て、電圧割り当て、および本資料またはデバイス・ハンドブックで説明されていないその他の要因に基づいてデバイスごとに異なります。



インテル はこれらのガイドライン推奨事項としてのみ提供しています。設計者は、適切なデバイスの機能性の検証のためにデザインにシミュレーション結果を適用する義務があります。

1. これらのピン接続ガイドラインは、インテル Cyclone 10 GX デバイスバリエーションに基づいて作成されます。
2. 電源のキャパシタンスの値は、デカップリングされる回路の動作周波数全体に供給する必要がある電力量を検討した後に選択します。パワープレーンのターゲット・インピーダンスを、デバイス / 電源の消費電力および電圧降下の要件に基づいて計算します。次に、適切な数のコンデンサーを使用してパワープレーンをデカップリングします。パッケージで上乗せされる等価直列インダクタンス (Equivalent Series Inductance / ESL) の影響により、オンボードのコンデンサーは 100 MHz 以上の周波数ではデカップリングができません。高い周波数でデカップリングをするためには、これに適したボードデザイン手法、たとえばインダクタンスが低いプレーン間 (interplane) キャパシタンスなどを検討する必要があります。
3. インテル Cyclone 10 GX Early Power Estimator (EPE) を使用して、VCC とその他の電源の電流要件を求めます。インテル Quartus Prime 開発ソフトウェア Power Analyzer を使用して、これとその他の電源の電流要件を求めます。
4. これらの電源は、複数の インテル Cyclone 10 GX デバイスとパワープレーンを共有できます。
5. 電源ピンは BGA からのブレイクアウト・ピアを共有できません。BGA の各ボールが、それぞれ専用のブレイクアウト・ピアを持つ必要があります。
6. 例 1 および例 2 では、インテル Cyclone 10 GX デバイスの電源共有ガイドラインが示されています。
7. 低ノイズ・スイッチング・レギュレーターは、スイッチ・コントローラー、パワー FET、インダクターおよびその他のサポート・コンポーネントを備えた薄面パッケージのスイッチング・レギュレーター回路です。スイッチング周波数は通常 800 kHz ~ 1 MHz であり、高速な過渡応答を有します。スイッチング周波数範囲は、インテル の要件ではありません。ただし、インテル は以下の仕様を満たすライン・レギュレーションおよびロード・レギュレーションを必要とします。
  - Line Regulation < 0.4%
  - Load Regulation < 1.2%
8. インテル Cyclone 10 GX デバイスのモジュラー I/O バンク数は、デバイス集積度によって異なります。特定のデバイスのインデックスについて詳しくは、インテル Cyclone 10 GX デバイス・ハンドブックの「I/O バンク」の項を参照してください。
9. AC カップリングのリンクでは、AC カップリングのコンデンサーをチャンネルの任意の位置に配置できます。PCI Express プロトコルでは、アダプターの脱着を可能にするために、AC カップリングのコンデンサーをインターフェイスのトランスミッター側に配置する必要があります。
10. これらのピンに対するデカップリングは、それぞれのボードのデザインにおけるデカップリング要件に依存します。
11. 1.8V 以上の電圧を VREFB[[2][A, J, K, L], [3][A, B]]N0 ピンに接続しないでください。3V I/O バンクでは、未使用の VREF ピンを GND に接続してください。



## インテル Cyclone 10 GX デバイスの電源共有ガイドライン

### 例 1— インテル Cyclone 10 GX

表 10. インテル Cyclone 10 GX のトランシーバー・データ・レート <= 11.3 Gbps ( チップ - チップ間アプリケーション向け ) の電源共有ガイドライン

3 つの電源レギュレーターでの必要な例

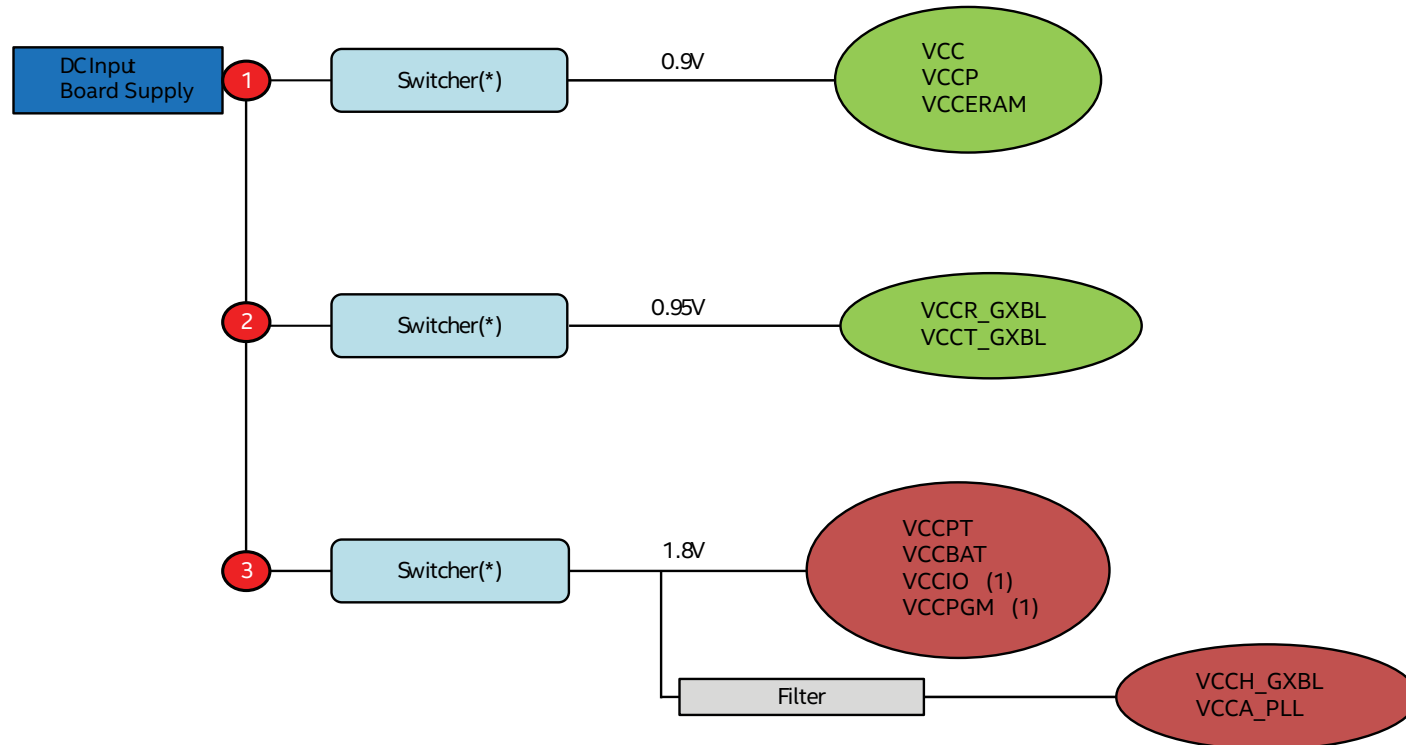
電源ピン名	レギュレーター・グループ	電圧レベル (V)	電源許容範囲	電源ソース	レギュレーターの共有	備考		
VCC	1	0.9	±30 mV	スイッチャー (*)	共有	—		
VCCP								
VCCERAM								
VCCR_GXBL	2	0.95	±30 mV	スイッチャー (*)	共有	パフォーマンス改善のために、VCCR_GXB および VCCT_GXB を互いに分離します。 DisplayPort TX の電氣的な完全な準拠を満たすには、VCCT_GXB は 1.03 V またはそれ以上である必要があります。		
VCCT_GXBL								
VCCBAT	3	Varies	± 5% (**)	スイッチャー (*)	1.8V の場合は共有	すべての電源レールで 1.8 V が必要な場合に、VCCBAT、VCCPT、VCCIO および VCCPGM が同じレギュレーターで共有するためのオプションです。レギュレーター・キャパシティーに応じて、複数の インテル Cyclone 10 GX デバイスでこの電源を共有するオプションがあります。		
VCCPT		1.8						
VCCIO		可変						
VCCPGM								
VCCH_GXBL		1.8			分		離	すべての電源レールに適切な分離フィルターを使用して 1.8 V が必要な場合に、VCCH_GXB と VCCA_PLL を VCCBAT、VCCPT、VCCIO および VCCPGM と同じレギュレーターで共有するためのオプションです。
VCCA_PLL								

(\*) これらの電圧を供給するためにスイッチャーを使用する場合、スイッチャーは インテル Cyclone 10 GX ピン接続ガイドラインの備考の備考 7 で定義されているとおり、低ノイズ・スイッチャーでなければなりません。

(\*\*) VCCIO 電源のサポートされている許容差は、I/O 規格によって異なります。詳しくは、インテル Cyclone 10 GX デバイス・データシートの I/O 規格の仕様を参照してください。EPE (Early Power Estimation) ツールを使用して、特定のデザインに必要な電力の決定します。

各ボードデザインは、特定のボードデザイン要件を満たすために必要な電源レギュレーターを決定する独自の電力解析が必要です。インテル Cyclone 10 GX デバイスを使用したブロック図の例を図 1 に示します。

図 -1: トランシーバー・データ・レートの インテル Cyclone 10 GX の電源共有のガイドライン例 <= チップ - チップ間アプリケーション向けの 11.3 Gbps



注:

(1) VCCIOとVCCPGMが1.8Vであると仮定します。これらの電源レールがVCCPTと同じレギュレーターを共有する場合のみ、グループ2のVCCPTで電源シーケンスをランプアップできます。これらのレールのいずれかが1.8V以外である場合、これらのレールは別々に調整する必要があり、グループ3の電源シーケンス要件に従う必要があります。電源シーケンス要件の詳細については、「インテル Cyclone 10 GXデバイスの電源管理」を参照してください。



## 例 2— インテル Cyclone 10 GX

**表 11.** インテル Cyclone 10 GX のトランシーバー・データ・レート <= チップ - チップ間アプリケーション向け 12.5 Gbps ( トランシーバー・データ・レート <= バックプレーン・アプリケーション向け 6.6 Gbps) の電源共有のガイドライン

3 つの電源レギュレーターでの必要な例

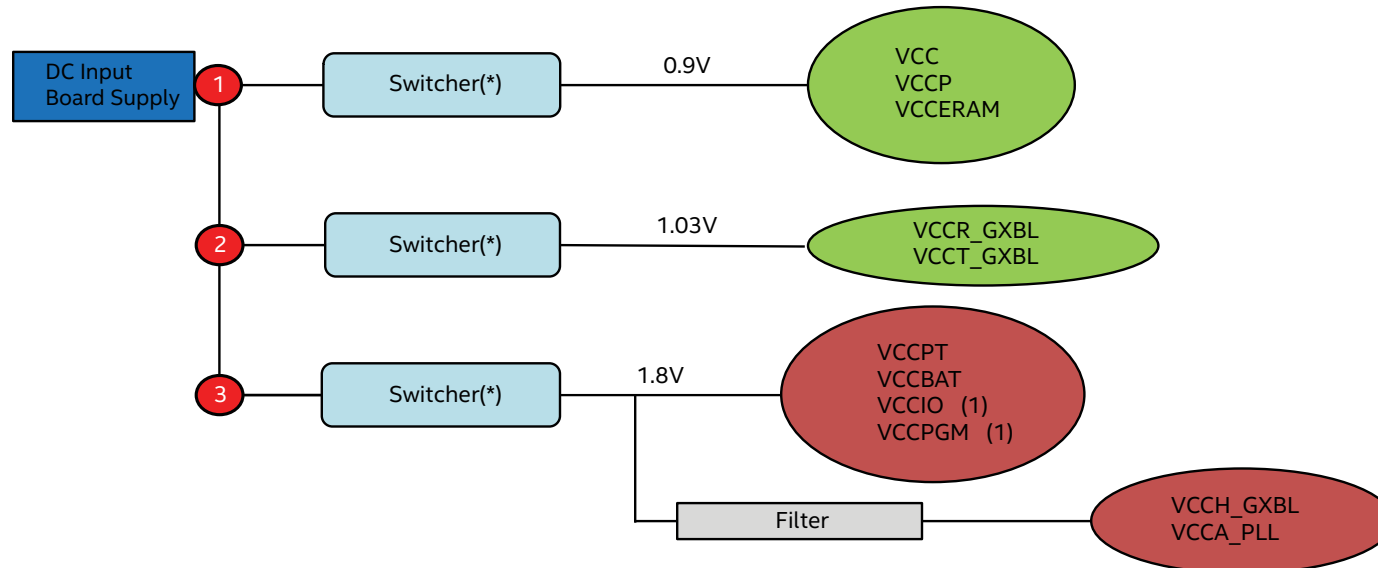
電源ピン名	レギュレーター・グループ	電圧レベル (V)	電源許容範囲	電源ソース	レギュレーターの共有	備考		
VCC	1	0.9	±30 mV	スイッチャー (*)	共有	—		
VCCP								
VCCERAM								
VCCR_GXBL	2	1.03	±30 mV	スイッチャー (*)	共有	VCCR_GXB および VCCT_GXB を同じレギュレーターで共有するためのオプションです。パフォーマンス改善のために、VCCR_GXB および VCCT_GXB を 1MHz ~ 100MHz の帯域幅で少なくとも 30dB の分離で互いに分離します。 VCCR_GXB または VCCT_GXB 向けに高電流を有するデザインでは、電源プレーンを介する IR ドロップについて考慮し、これを補償する必要があります。		
VCCT_GXBL								
VCCBAT	3	可変	± 5% (**)	スイッチャー (*)	1.8 V の場合は共有	すべての電源レールで 1.8 V が必要な場合に、VCCBAT、VCCPT、VCCIO および VCCPGM が同じレギュレーターで共有するためのオプションです。レギュレーター・キャパシティーに応じて、複数の インテル Cyclone 10 GX デバイスでこの電源を共有するオプションがあります。		
VCCPT		1.8						
VCCIO		可変						
VCCPGM								
VCCH_GXBL		1.8			分	離		すべての電源レールに適切な分離フィルターを使用して 1.8 V が必要な場合に、VCCH_GXB と VCCA_PLL を VCCBAT、VCCPT、VCCIO および VCCPGM と同じレギュレーターで共有するためのオプションです。
VCCA_PLL								

(\*) これらの電圧を供給するためにスイッチャーを使用する場合、スイッチャーは インテル Cyclone 10 GX ピン接続ガイドラインの備考の備考 7 で定義されているとおり、低ノイズ・スイッチャーでなければなりません。

(\*\*) VCCIO 電源のサポートされている許容差は、I/O 規格によって異なります。詳しくは、インテル Cyclone 10 GX デバイス・データシートの I/O 規格の仕様を参照してください。EPE (Early Power Estimation) ツールを使用して、特定のデザインに必要な電力の決定します。

各ボードデザインは、特定のボードデザイン要件を満たすために必要な電源レギュレーターを決定する独自の電力解析が必要です。インテル Cyclone 10 GX デバイスを使用したブロック図の例を図 2 に示します。

図 -2: インテル Cyclone 10 GX のトランシーバー・データ・レート <= チップ - チップ間アプリケーション向け 12.5 Gbps (トランシーバー・データ・レート <= バックプレーン・アプリケーション向け 6.6 Gbps) の電源共有のガイドライン



注:

(1) VCCIOとVCCPGMが1.8Vであると仮定します。これらの電源レールがVCCPTと同じレギュレーターを共有する場合のみ、グループ2のVCCPTで電源シーケンスをランプアップできます。これらのレールのいずれかが1.8V以外である場合、これらのレールは別々に調整する必要があり、グループ3の電源シーケンス要件に従う必要があります。電源シーケンス要件の詳細については、「インテル Cyclone 10 GXデバイスの電源管理」を参照してください。





## インテル Cyclone 10 GX デバイスファミリー・ピン接続ガイドラインの改訂履歴

表 12. 改訂履歴

日付	バージョン	変更内容
2017 年 11 月	2017.11.06	<ul style="list-style-type: none"> <li>本資料は現在暫定的ではありません。</li> <li>VCCR_GXB と VCCT_GXB が VCCR_GXB[L1] [C,D] と VCCT_GXB[L1] [C,D] ピンの接続ガイドラインに同じ電圧レベルで供給する必要がある旨を追加。</li> <li>VCCR_GXB[L1] [C,D] と VCCT_GXB[L1] [C,D] ピンの接続ガイドラインでサポートされる電圧レベルを更新。</li> <li>VCCIO([2][A,J,K,L], [3][A,B]) ピンの接続ガイドラインを更新。</li> </ul>
2017 年 6 月	2017.06.21	<ul style="list-style-type: none"> <li>チップ - チップ間のアプリケーション向けの インテル Cyclone 10 GX のトランシーバー・データレート &lt;= 12.5 Gbps ( バックプレーン・アプリケーション向けはトランシーバー・データレート &lt;= 6.6 Gbps ) の電源共有ガイドラインを追加。</li> <li>nPERSTL0 ピン名を更新。</li> <li>RZQ_[#] ピンのピン機能と接続ガイドラインを更新。</li> <li>CLKUSR ピンのピン機能を更新。</li> <li>チップ間のアプリケーション向けのトランシーバー・データレート &lt;= 11.3 Gbps の インテル Cyclone 10 GX における電源共有ガイドラインを追加。</li> <li>チップ間のアプリケーション向けのトランシーバー・データレート &lt;= 11.3 Gbps の インテル Cyclone 10 GX における電源共有ガイドラインを DisplayPort TX 電気的な完全な準拠に関する内容を追記し、追加。</li> <li>0.95V サポートを VCCERAM から削除。</li> <li>パーシャル・リコンフィグレーションのサポートを削除。</li> </ul>
2017 年 2 月	2017.02.13	初版