



インテル® Cyclone® 10 LP デバイスファミリーのピン接続ガイドライン

この翻訳版は参照用であり、翻訳版と英語版の内容に相違がある場合は、英語版が優先されるものとします。翻訳版は、資料によっては英語版の更新に対応していない場合があります。最新情報につきましては、必ず[英語版の最新資料](#)をご確認ください。



目次

インテル® Cyclone® 10 LP デバイスファミリーのピン接続ガイドライン.....	3
インテル® Cyclone® 10 LP のピン接続ガイドライン.....	4
クロックピンおよび PLL ピン.....	4
コンフィグレーション/JTAG ピン.....	5
差動 I/O ピン.....	8
リファレンス・ピン.....	8
電源供給ピン.....	9
インテル Cyclone 10 LP のピン接続ガイドラインに関する注意事項.....	10
電源共有ガイドライン.....	12
インテル Cyclone 10 LP デバイスファミリーのピン接続ガイドライン改訂履歴.....	13

インテル® Cyclone® 10 LP デバイスファミリーのピン接続ガイドライン

Disclaimer

© 2020 Intel Corporation. All rights reserved. Intel, the Intel logo, Agilix, Altera, Arria, Cyclone, Enpirion, MAX, Megacore, NIOS, Quartus Prime and Stratix words and logos are trademarks of Intel Corporation in the US and/or other countries. Other marks and brands may be claimed as the property of others. Intel warrants performance of its FPGA and semiconductor products to current specifications in accordance with Intel's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Intel assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Intel. Intel customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

These pin connection guidelines, and your use thereof, are subject to and governed by Intel's terms and conditions below. By using these pin connection guidelines, you indicate your acceptance of all such terms and conditions. If you do not agree with such terms and conditions, you may not use the pin connection guidelines, and you are required to promptly and irrevocably destroy the pin connection guidelines and any copies or portions thereof in your possession or under your control.

Terms and Conditions:

1. These pin connection guidelines are provided as examples only, and should not be deemed to be technical specifications or recommendations. The use of the pin connection guidelines for any particular design should be verified for device operation with the applicable datasheet and Intel.
2. Subject to these terms and conditions, Intel grants to you the use of these pin connection guidelines as examples of possible pin connections of an Intel programmable logic device-based design. You may not use these pin connection guidelines for any other purpose except as expressly permitted in these terms and conditions. Intel does not recommend, suggest, or require that these pin connection guidelines be used in conjunction or combination with any other software or product, and makes no representations, warranties or guaranties, implied or express as well as any warranties arising from course of performance, course of dealing, or usage in trade including but not limited to the accuracy, completeness or genuineness thereof.
3. Intel will not be liable for any lost revenue, lost profits, or other consequential, indirect, or special damages caused by your use of these pin connection guidelines even if advised of the possibility of such damages occurring.
4. This agreement shall be governed in all respects by the laws of the State of Delaware, without regard to conflict of law or choice of law principles. You agree to submit to the exclusive jurisdiction of the federal and state courts in the State of Delaware for the resolution of any dispute or claim arising out of or relating to these terms of use.

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、その他のインテルの名称やロゴは、Intel Corporation またはその子会社の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

インテル® Cyclone® 10 LP のピン接続ガイドライン

クロックピンおよび PLL ピン

注意: インテル® では、インテル Quartus® Prime デザインを作成し、デバイスの I/O 割り当てを入力し、デザインをコンパイルすることを推奨しています。インテル Quartus Prime 開発ソフトウェアでは、I/O 割り当ておよび配置規則に従いピンの接続をチェックします。この規則は、デバイスの集積度、パッケージ、I/O 割り当て、電圧割り当て、およびこのドキュメントまたはデバイス・ハンドブックに記載されていないその他の要因によって異なります。

表 1. クロックピンおよび PLL ピン

ピン名	ピンの機能	ピンの説明	接続ガイドライン
CLK[0, 2, 4, 6, 9, 11, 13, 15]、DIFFCLK_[0..7]p (注 7)	クロック、入力	専用のグローバルクロック入力ピンで、差動グローバルクロック入力またはユーザー入力ピンの正の端子入力にも使用できます。	未使用の CLK または DIFFCLK ピンは GND に接続します。
CLK[1, 3, 5, 7, 8, 10, 12, 14]、DIFFCLK_[0..7]n (注 7)	クロック、入力	専用のグローバルクロック入力ピンで、差動グローバルクロック入力またはユーザー入力ピンの負の端子入力にも使用できます。	未使用の CLK または DIFFCLK ピンは GND に接続します。
PLL[1..4]_CLKOUTp (注 8)	I/O、出力	PLL [1..4] からの外部クロック出力に向けたオプションの正の端子です。各ピンは、PLL 出力から供給されている場合はシングルエンドまたは差動 I/O 規格に割り当てることができます。	このピンをクロック出力として使用しない場合は、ユーザー I/O として使用できます。これらのピンを使用しない場合は、インテル Quartus Prime 開発ソフトウェアで定義されるとおりに接続します。
PLL[1..4]_CLKOUTn (注 8)	I/O、出力	PLL [1..4] からの外部クロック出力に向けたオプションの負の端子です。各ピンは、PLL 出力から供給されている場合はシングルエンドまたは差動 I/O 規格に割り当てることができます。	このピンをクロック出力として使用しない場合は、ユーザー I/O として使用できます。これらのピンを使用しない場合は、インテル Quartus Prime 開発ソフトウェアで定義されるとおりに接続します。
DPCLK[0..11]	DPCLK	兼用 DPCLK ピンは、クロック、非同期クリア、プリセット、クロックイネーブルなどのファンアウトの多い制御信号のグローバル・クロック・ネットワークに接続できます。	これらの I/O ピンを使用しない場合は、GND に接続することができます。
CDPCLK[0..7]	CDPCLK	兼用 CDPCLK ピンは、クロック、非同期クリア、プリセット、クロックイネーブルなどのファンアウトの多い制御信号のグローバル・クロック・ネットワークに接続できます。各コーナーにある 2 つの CDPCLK のうち、1 つのみがクロック制御ブロックに供給できます。もう一方のピンは汎用 I/O ピンとして使用できます。CDPCLK 信号は、クロック制御ブロックに駆動される前に多重化されるため、クロック制御ブロックに対する遅延がより大きくなります。	これらの I/O ピンを使用しない場合は、GND に接続することができます。

コンフィグレーション/JTAG ピン

注意: インテル では、インテル Quartus Prime デザインを作成し、デバイスの I/O 割り当てを入力し、デザインをコンパイルすることを推奨しています。インテル Quartus Prime 開発ソフトウェアでは、I/O 割り当ておよび配置規則に従いピンの接続をチェックします。この規則は、デバイスの集積度、パッケージ、I/O 割り当て、電圧割り当て、およびこのドキュメントまたはデバイス・ハンドブックに記載されていないその他の要因によって異なります。

表 2. コンフィグレーション/JTAG ピン

ピン名	ピンの機能	ピンの説明	接続ガイドライン
MSEL[0..3]	入力	コンフィグレーション入力ピンで、コンフィグレーション・スキームを設定します。一部の小さいインテル Cyclone® 10 LP デバイスまたはパッケージのオプションでは、高速遅延 (3.0V/2.5V) の AS コンフィグレーションをサポートしておらず、MSEL[3] ピンがありません。	これらのピンは 9KΩ の抵抗を介して内部で GND に接続されます。これらのピンはフローティングで維持しないでください。これらのピンを使用しない場合は、GND に接続します。使用するコンフィグレーション・スキームに応じて、これらのピンを VCCA または GND に接続します。Intel Cyclone 10 LP Handbook の「Configuration and Remote System Upgrades in Intel Cyclone 10 LP Devices」の章を参照してください。JTAG コンフィグレーションのみを使用する場合は、これらのピンを GND に接続します。
nCE	入力	専用のアクティブ Low チップイネーブルです。nCE が Low の場合、デバイスは有効になります。nCE が High の場合は、デバイスは無効になります。	マルチデバイスのコンフィグレーションでは、最初のデバイスの nCE が Low に接続されている際に、nCEO ピンでチェーン内の次のデバイスの nCE を駆動します。シングルデバイスのコンフィグレーションおよび JTAG プログラミングでは、nCE を GND に接続する必要があります。
nCONFIG	入力	専用のコンフィグレーション制御入力です。ユーザーモードでこのピンを Low にすると、FPGA はコンフィグレーション・データを失い、リセット状態に入ります。また、すべての I/O ピンがトライステートになります。このピンをロジック High のレベルに戻すと、リコンフィグレーションが開始します。	ダウンロード・ケーブルとともに PS コンフィグレーション・スキームを使用する場合は、このピンを 10KΩ の抵抗を介して VCCA に接続します。他のコンフィグレーション・スキームでは、このピンを使用しない場合に、このピンを直接、もしくは 10KΩ の抵抗を介して VCCIO に接続する必要があります。
CONF_DONE	双方向 (オープンドレイン)	専用のコンフィグレーション・ステータス・ピンです。ステータス出力として、CONF_DONE ピンはコンフィグレーション前およびコンフィグレーション中に Low を駆動します。すべてのコンフィグレーション・データがエラーなしで受信され、初期化サイクルが開始すると、CONF_DONE は解放されます。ステータス入力としては、CONF_DONE はすべてのデータが受信されると High になります。その後デバイスが初期化され、ユーザーモードに入ります。	このピンはユーザー I/O ピンとしては使用できません。CONF_DONE は、外部の 10KΩ プルアップ抵抗によって High に引き上げる必要があります。
nCEO	I/O、出力 (オープンドレイン)	デバイス・コンフィグレーションが完了すると Low を駆動する出力です。デバイスのコンフィグレーションに使用しない場合は、このピンを通常の I/O として使用できます。	このピンを使用しない場合は、未接続にしておくことができます。マルチデバイスのコンフィグレーション時は、このピンで後続デバイスの nCE ピンに供給します。その場合、10KΩ のプルアップ抵抗をチェーン内のすべてのデバイスの許容電圧に接続することで、受信デバイスの入力電圧を満たします。シングルデバイスのコンフィグレーション時には、このピンは通常の I/O として使用できます。

continued...

ピン名	ピンの機能	ピンの説明	接続ガイドライン
nSTATUS	双方向 (オープンドレイン)	専用のコンフィグレーション・ステータス・ピンです。FPGA は、電源投入後すぐに nSTATUS を Low に駆動し、POR 時間後に解放します。ステータス出力としては、コンフィグレーション時にエラーが発生した場合、nSTATUS は Low に引き下げられます。ステータス入力としては、コンフィグレーション時または初期化時に外部ソースによって nSTATUS が Low に駆動されると、デバイスはエラー状態になります。	このピンはユーザー I/O ピンとしては使用できません。nSTATUS は、外部の 10kΩ プルアップ抵抗によって High に引き上げる必要があります。
TCK	入力	専用の JTAG テストクロック入力ピンです。	このピンは、1kΩ のプルダウン抵抗を介して GND に接続します。JTAG 回路を無効にするには、TCK を GND に接続します。
TMS	入力	専用の JTAG テストモード選択入力ピンです。	2.5V、3.0V、または 3.3V のコンフィグレーション電圧規格とインターフェイス接続する場合は、このピンを 10kΩ の抵抗を介して VCCA に接続します。1.5V および 1.8V のコンフィグレーション電圧の場合は、このピンを 10kΩ の抵抗を介して VCCIO 電源に接続します。
TDI	入力	専用の JTAG テストデータ入力ピンです。	2.5V、3.0V、または 3.3V のコンフィグレーション電圧規格とインターフェイス接続する場合は、このピンを 10kΩ の抵抗を介して VCCA に接続します。1.5V および 1.8V のコンフィグレーション電圧の場合は、このピンを 10kΩ の抵抗を介して VCCIO 電源に接続します。
TDO	出力	専用の JTAG テストデータ出力ピンです。	TDO ピンを使用しない場合は、このピンを未接続のままにします。
nCSO	I/O、出力 (AS)	このピンは、AS モードで nCSO として機能します。 nCSO: AS モードにおける FPGA からシリアル・コンフィグレーション・デバイスへの出力制御信号で、コンフィグレーション・デバイスを有効にします。	デバイスを AS モードでプログラミングしない場合、nCSO は使用されません。このピンを I/O として使用しない場合は、ピンを未接続のままにします。
DATA1、ASDO	入力 (FPP)、出力 (AS)	このピンは、PS モードおよび FPP モードでは DATA1 として機能し、AS モードでは ASDO として機能します。 DATA1: 非 AS モードでのデータ入力です。バイト全体のコンフィグレーション・データは、DATA[0..7] でターゲットデバイスに提供されます。PS コンフィグレーション・スキームでは、DATA1 はコンフィグレーション時にユーザー I/O ピンとして機能します。つまり、トライステートになります。FPP コンフィグレーション後、DATA1 はユーザー I/O ピンとして使用可能です。このピンの状態は、兼用ピンの設定によって異なります。 ASDO: AS モードにおける FPGA からシリアル・コンフィグレーション・デバイスへの制御信号で、コンフィグレーション・データの読み出しに使用されます。	デバイスを AS モードでプログラミングしない場合は、このピンをユーザー I/O ピンとして使用できます。このピンを I/O として使用しない場合は、ピンを未接続のままにします。
DATA[2..7]	入力 (FPP)	データ入力です。バイト全体またはワード全体のコンフィグレーション・データは、DATA[0..7] でターゲットデバイスに提供されます。AS または PS のコンフィグレーション・スキームでは、これらのピンはコンフィグレーション時にユーザー I/O ピンとして機能します。つまり、トライステートになります。FPP コンフィグレーション後、DATA [2..7] はユーザー I/O ピンとして使用可能です。これらのピンの状態は、兼用ピンの設定によって異なります。	デバイスを FPP モードでプログラミングしない場合は、これらのピンをユーザー I/O ピンとして使用できます。これらのピンを I/O として使用しない場合は、ピンを未接続のままにします。

continued...

ピン名	ピンの機能	ピンの説明	接続ガイドライン
DCLK	入力 (PS、FPP)、出力 (AS)	専用のコンフィグレーション・クロック・ピンです。PS および FPP のコンフィグレーションでは、DCLK を使用してコンフィグレーション・データを外部ソースから FPGA に提供します。AS モードでは、DCLK は FPGA からの出力で、コンフィグレーション・インターフェイスのタイミングを提供します。	このピンはフローティングで維持しないでください。このピンは High または Low のいずれかに駆動します。DCLK は、アクティブ・シリアル・コンフィグレーション後にのみユーザー I/O としてコンフィグレーションすることができます。
CRC_ERROR (注 13 および 15)	I/O、出力	アクティブ High の信号で、エラー検出回路がコンフィグレーション SRAM ビットのエラーを検出したことを示します。このピンはオプションであり、CRC エラー検出回路が有効になっている場合に使用されます。このピンは、CRC のエラー検出に使用されない場合は、通常の I/O として使用できます。CRC_ERROR ピンは、デフォルトで専用の出力です。オプションで、インテル Quartus Prime 開発ソフトウェアの Device & Pin オプションのダイアログボックスで、CRC_ERROR ピンをオープンドレイン出力として有効にすることができます。	このピンを使用している場合は、チェーン内のすべてのデバイスで外部の 10KΩ プルアップ抵抗を介して許容電圧に接続することで、受信デバイスの入力電圧を満たします。このピンを使用しない場合は、フローティングの状態にしておくことができます。
DEV_CLRn	I/O (オプションがオフの場合)、入力 (オプションがオンの場合)	オプションのピンで、設計者はこのピンを使用してすべてのデバイスレジスターですべてのクリアをオーバーライドすることができます。このピンが Low に駆動されると、レジスターはすべてクリアされます。このピンが High に駆動されると、すべてのレジスターはプログラムされているとおりに動作します。このピンは、インテル Quartus Prime 開発ソフトウェアで Enable device-wide reset (DEV_CLRn) オプションをオンにすることで有効になります。	専用入力の DEV_CLRn を使用せず、I/O としても使用しない場合は、このピンを GND に接続します。
DEV_OE	I/O (オプションがオフの場合)、入力 (オプションがオンの場合)	オプションのピンで、設計者はこのピンを使用してデバイスのすべてのトライステートをオーバーライドすることができます。このピンが Low に駆動されると、すべての I/O ピンがトライステートになります。このピンが High に駆動されると、すべての I/O ピンはデザインで定義されているとおりに動作します。このピンは、インテル Quartus Prime 開発ソフトウェアで Enable device-wide output enable (DEV_OE) オプションをオンにすることで有効になります。	専用入力の DEV_OE を使用せず、I/O としても使用しない場合は、このピンを GND に接続する必要があります。
DATA0	入力 (PS、FPP、AS)	専用のコンフィグレーション・データ入力ピンです。シリアル・コンフィグレーション・モードでは、ビット全体のコンフィグレーション・データはこのピンを介して受信します。AS コンフィグレーション後は、DATA0 はオプションのユーザー・コントロールを備える専用の入力ピンです。PS または FPP のコンフィグレーション後は、DATA0 はユーザー I/O ピンとして使用可能であり、ピンの状態は兼用ピンの設定によって異なります。	AS コンフィグレーション・モードでシリアル・コンフィグレーション・デバイスを使用している場合は、DATA0 のシリアル・コンフィグレーション・デバイスの端近くに 25Ω の直列抵抗を接続する必要があります。DATA0 の専用入力を使用せず、このピンを I/O としても使用しない場合は、このピンを未接続のままにする必要があります。
INIT_DONE	I/O、出力 (オープンドレイン)	これは兼用ピンであり、INIT_DONE として有効になっていない場合は I/O ピンとして使用できます。有効になっている場合は、ピンでの Low から High への遷移はデバイスがユーザーモードに入ったことを示します。INIT_DONE 出力が有効になっている場合、コンフィグレーション後に INIT_DONE ピンをユーザー I/O ピンとして使用することはできません。このピンは、インテル Quartus Prime 開発ソフトウェアで Enable INIT_DONE 出力オプションをオンにすることで有効になります。	このピンを使用している場合は、チェーン内のすべてのデバイスで外部の 10KΩ プルアップ抵抗を介して許容電圧に接続することで、受信デバイスの入力電圧を満たします。このピンを使用しない場合は、フローティング状態にする、もしくは GND に接続することができます。
CLKUSR	I/O、入力	ユーザーによって提供されるオプションのクロック入力です。1 つ以上のデバイスの初期化を同期します。このピンをユーザー提供のコンフィグレーション・クロックとして使用しない場合は、ユーザー I/O ピンとして使用することができます。このピンは、インテル Quartus Prime 開発ソフトウェアで Enable user-supplied start-up clock (CLKUSR) オプションをオンにすることによって有効にします。	CLKUSR ピンをコンフィグレーション・クロック入力として使用せず、I/O としても使用しない場合は、このピンを GND に接続します。

差動 I/O ピン

注意: インテル では、インテル Quartus Prime デザインを作成し、デバイスの I/O 割り当てを入力し、デザインをコンパイルすることを推奨しています。インテル Quartus Prime 開発ソフトウェアでは、I/O 割り当ておよび配置規則に従いピンの接続をチェックします。この規則は、デバイスの集積度、パッケージ、I/O 割り当て、電圧割り当て、およびこのドキュメントまたはデバイス・ハンドブックに記載されていないその他の要因によって異なります。

表 3. 差動 I/O ピン

ピン名	ピンの機能	ピンの説明	接続ガイドライン
DIFFIO_[L,R,T,B] [0..61][p,n] (注 11)	I/O、TX/RX チャンネル	兼用の差動トランスミッター/レシーバーチャンネルです。これらのチャンネルは、LVDS 互換信号の送受信に使用できます。末尾が「p」のピンは、差動チャンネルの正の信号を伝送します。末尾が「n」のピンは、差動チャンネルの負の信号を伝送します。差動信号に使用しない場合は、これらのピンをユーザー I/O ピンとして使用できません。	未使用のピンは、インテル Quartus Prime 開発ソフトウェアで定義されるとおりに接続します。

リファレンス・ピン

注意: インテル では、インテル Quartus Prime デザインを作成し、デバイスの I/O 割り当てを入力し、デザインをコンパイルすることを推奨しています。インテル Quartus Prime 開発ソフトウェアでは、I/O 割り当ておよび配置規則に従いピンの接続をチェックします。この規則は、デバイスの集積度、パッケージ、I/O 割り当て、電圧割り当て、およびこのドキュメントまたはデバイス・ハンドブックに記載されていないその他の要因によって異なります。

表 4. リファレンス・ピン

ピン名	ピンの機能	ピンの説明	接続ガイドライン
RUP[1..4]	I/O、入力	I/O バンク 2、4、5、7 の OCT ブロックのリファレンス・ピンです。外部高精度抵抗 RUP は、使用する場合は同じバンク内の指定 RUP ピンに接続する必要があります。RUP ピンを使用しない場合は、このピンを通常の I/O ピンとして機能させることができます。	OCT を使用する場合は、必要な I/O 規格に応じて、25Ω または 50Ω の抵抗を介してこれらのピンを必要なバンクの VCCIO に接続します。デバイスでこの専用入力を外部高精度抵抗に使用しない場合、または I/O として使用しない場合は、RUP ピンが存在するバンクの VCCIO または GND にこのピンを接続することが推奨されます。
RDN[1..4]	I/O、入力	I/O バンク 2、4、5、7 の OCT ブロックのリファレンス・ピンです。外部高精度抵抗 RDN は、使用する場合は同じバンク内の指定 RDN ピンに接続する必要があります。RDN ピンを使用しない場合は、このピンを通常の I/O ピンとして機能させることができます。	OCT を使用する場合は、必要な I/O 規格に応じて、25Ω または 50Ω の抵抗を介してこれらのピンを GND に接続します。デバイスでこの専用入力を外部高精度抵抗に使用しない場合、または I/O として使用しない場合は、このピンを GND に接続することが推奨されます。
NC	接続なし	このピンに信号を駆動しないでください。	デバイスの移行に向けて設計を行う際に、これらのピンは、移行に選択されるデバイスのピンの割り当てに応じて、電源、グランド、または信号トレースに接続することができます。ただし、デバイスの移行が問題にならない場合は、これらのピンをフローティングにします。

電源供給ピン

(注 12 を参照)

注意: インテル では、インテル Quartus Prime デザインを作成し、デバイスの I/O 割り当てを入力し、デザインをコンパイルすることを推奨しています。インテル Quartus Prime 開発ソフトウェアでは、I/O 割り当ておよび配置規則に従いピンの接続をチェックします。この規則は、デバイスの集積度、パッケージ、I/O 割り当て、電圧割り当て、およびこのドキュメントまたはデバイス・ハンドブックに記載されていないその他の要因によって異なります。

表 5. 電源供給ピン

ピン名	ピンの機能	ピンの説明	接続ガイドライン
VCCINT	電源	これらは内部ロジックアレイの電圧供給ピンです。	すべての VCCINT ピンは、1.0V 電源または 1.2V 電源のいずれかに接続する必要があります。VCCINT 1.0V のインテル Cyclone 10 LP デバイスと VCCINT 1.2V のインテル Cyclone 10 LP デバイスでは、注文コードが異なります。注 15 を参照してください。 適切な絶縁フィルターを使用して、VCCD_PLL を VCCINT と共有するオプションがあります。デカップリングは、特定のボードのデザインのデカップリング要件によって異なります。注 2 および注 4 を参照してください。
VCCD_PLL[1..4]	電源	PLL[1..4] のデジタル電源です。これらのピンは、PLL を使用しない場合でも電源投入する必要があります。	PLL を使用しない場合でも、これらのピンを 1.0V (VCCINT が 1.0V の場合) または 1.2V (VCCINT が 1.2V の場合) のいずれかに接続する必要があります。VCCINT 1.0V のインテル Cyclone 10 LP デバイスと VCCINT 1.2V のインテル Cyclone 10 LP デバイスでは、注文コードが異なります。注 15 を参照してください。 適切な絶縁フィルターを使用することで、これらのピンには VCCINT と同じレギュレーターから供給することができます。最大電圧リップルが ± 3% の絶縁型スイッチング電源を使用します。注 11 を参照してください。 これらのピンのデカップリングは、特定のボードのデザインのデカップリング要件によって異なります。注 2、注 4、注 6 を参照してください。
VCCA[1..4]	電源	PLL[1..4] のアナログ電源です。すべての PLL を使用しない場合でも、すべての VCCA ピンに電源を投入する必要があります。また、VCCA ピンはすべて、同時に電源投入し、同時に切断する必要があります。設計者は、このピンを他の VCC ピンから分離し、ジッター性能を向上させることが推奨されます。	PLL を使用しない場合でも、これらのピンを 2.5V に接続する必要があります。最大電圧リップルが ± 3% の絶縁型リニアまたはスイッチング電源を使用します。注 11 を参照してください。 インテル では、このピンを他の VCC から分離し、ジッター性能を向上させることを推奨しています。
VCCIO[1..8]	電源	バンク 1 から 8 の I/O 電源電圧ピンです。各バンクでは異なる電圧レベルをサポートすることができます。VCCIO は、すべての I/O 規格の入力および出力バッファに電力を供給します。	これらのピンは、I/O バンクに割り当てられている I/O 規格に応じて、1.2V、1.5V、1.8V、2.5V、3.0V、3.3V の電源に接続します。デカップリングは、特定のボードのデザインのデカップリング要件によって異なります。注 2 および注 4 を参照してください。

continued...

ピン名	ピンの機能	ピンの説明	接続ガイドライン
GND	グラウンド	デバイスのグラウンドピンです。	GND ピンはすべて、ボードの GND プレーンに接続する必要があります。
GNDA[1..4]	グラウンド	PLL[1..4] およびデバイスのその他のアナログ回路のグラウンドです。	デジタル GND プレーンが安定しており、静かで、グラウンドバウンスの影響がない場合は、ボードのアナログ・グラウンド・プレーンを絶縁することなく GNDA ピンを GND プレーンに接続することを検討できます。
VREFB[1..8]N[0..2]	I/O	各 I/O バンクの入力リファレンス電圧です。バンクで電圧リファレンスの I/O 規格を使用する場合、これらのピンはそのバンクの電圧リファレンス・ピンとして使用されます。電圧リファレンスの I/O 規格がバンクで使用されない場合は、VREF ピンはユーザー I/O ピンとして利用可能です。	VREF ピンを使用しない場合は、それらをピンが存在するバンクの VCCIO または GND に接続する必要があります。デカップリングは、特定のボードのデザインのデカップリング要件によって異なります。注 2 を参照してください。

インテル Cyclone 10 LP のピン接続ガイドラインに関する注意事項

- FPP コンフィグレーションは、E144 パッケージを除くほとんどのデバイスでサポートされています。
- 電源のデカップリング・コンデンサの静電容量値は、デカップリングされる特定の回路の動作周波数に対して供給する必要がある電力量を考慮して選択する必要があります。電源プレーンのターゲット・インピーダンスは、デバイス/電源の電流引き込みと電圧降下の要件に基づき計算します。その後、適切な数のコンデンサーを使用して電源プレーンをデカップリングします。パッケージの実装の「等価直列インダクタンス」のため、オンボードのコンデンサーは 100MHz を超えるデカップリングを行いません。高周波数のデカップリングには、低インダクタンスのプレーン間静電容量などの適切なボードデザイン手法を検討する必要があります。デカップリング解析を支援するため、電源供給ネットワーク (PDN) デザインツールは優れたデカップリング解析ツールとして機能します。
- AC がカップリングされるリンクでは、AC カップリング・コンデンサーをチャネル沿いの任意の位置に配置することができます。PCI Express プロトコルでは、AC カップリング・コンデンサーをインターフェイスの送信機側に配置し、アダプターの脱着を可能にする必要があります。
- インテル Cyclone 10 LP Early Power Estimator を使用し、VCCINT とその他の電源の電流要件を特定します。
- これらの電源は、複数のインテル Cyclone 10 LP デバイス間で電源プレーンを共有できます。
- VCCA と VCCD_PLL には個別のパワー・レギュレーターを使用します。PLL 電源は、ボード上の別のプレーンから発生させることが可能ですが、フェライトビーズまたは他の同等の方法を使用して絶縁する必要があります。フェライトビーズを使用する場合は、0402 パッケージを選択します。これは、DC 抵抗が低く、接続する電源 (VCCA または VCCD_PLL) の最大定常電流よりも高い定格電流で、100MHz の高インピーダンスを備えます。
- それぞれのデバイス集積度に対する専用グローバルクロックの数は異なります。Intel Cyclone 10 LP Device Handbook の「Clock Networks and PLLs in Intel Cyclone 10 LP Devices」の章を参照してください。

8. GPLL と MPLL で構成される PLL の数は、デバイスの集積度によって異なります。10CL006 および 10CL010 は 2 つの PLL をサポートします。10CL016 および他のより大きなインテル Cyclone 10 LP の集積度では、4 つの PLL をサポートします。
9. VCCA では、最大 ± 3% の電圧リップルのスイッチングレギュレーターを使用することができます。VCCD_PLL では、最大 ± 3% の電圧リップルのスイッチング電源を使用することができます。
10. インテル Cyclone 10 LP デバイスを 2.5V/3.0V/3.3V のコンフィグレーション電圧規格に接続する場合は、特定の要件に従う必要があります。すべての I/O 入力では最大 AC 電圧の 4.1V を維持する必要があります。「Configuration and Remote System Upgrades in Intel Cyclone 10 LP Devices」の章で Configuration and JTAG Pin I/O Requirements を参照してください。
11. それぞれのデバイス集積度およびパッケージに対する差動 TX/RX チャンネルは異なります。Intel Cyclone 10 LP Device Handbook の「I/O Features in Intel Cyclone 10 LP Devices」の章を参照してください。
12. インテル では、パッケージ上の個々の電源または接地ボールそれぞれに、個別の PCB ビアを使用することを強く推奨しています。PCB で電源またはグランドピンのビアを共有すると、デバイスへのノイズ結合を引き起こし、ジッター・パフォーマンスが低下する可能性があります。
13. CRC エラー検出は、VCCINT 1.2V のインテル Cyclone 10 LP デバイスでのみサポートされています。VCCINT 1.0V のインテル Cyclone 10 LP デバイスではサポートされません。
14. インテル Quartus Prime 開発ソフトウェアでデザイン・プロジェクトをコンパイル後に作成されるインテル Quartus Prime*.pin ファイルは、未使用のクロック入力ピンを GND+ (未使用の入力クロックおよび PLL) として表示します。インテル Quartus Prime*.pin ファイルでそのように表示されているピンが、これらの推奨事項で示されているようにボードに接続されていることを確認します。
15. インテル Cyclone 10 LP デバイスには 2 つのバリエーションがあります。1 つはコア電圧 VCCINT 1.0V で給電され、もう 1 つはコア電圧 VCCINT 1.2V で給電されます。各バリエーションには異なる注文コードがあります。
16. それぞれのデバイス集積度に対するオプションの高速差動リファレンス・クロック入力の数は異なります。

関連情報

<http://www.altera.com/technology/signal/power-distribution-network/sgl-pdn.html>

電源共有ガイドライン

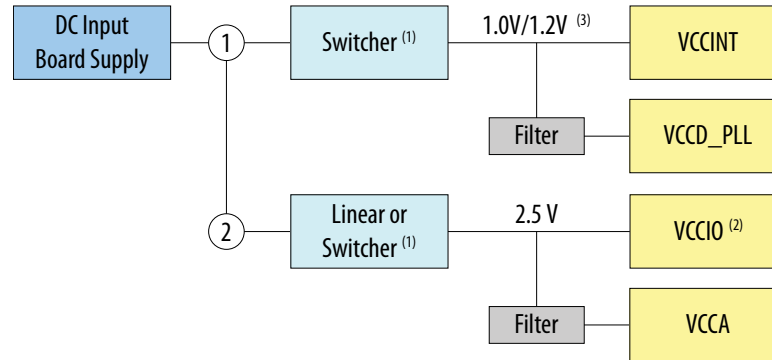
表 6. インテル Cyclone 10 LP デバイスの電源共有ガイドライン

2つのパワーレギュレーターを必要とする例を示します。

電源ピン名	レギュレーター数	電圧レベル (V)	電源許容範囲	電源ソース	レギュレーター・スイッチング	備考
VCCINT	1	1.0/1.2	± 30mV/± 50mV	スイッチャー (*)	共有	適切な絶縁フィルターを使用し、VCCD_PLL を VCCINT と共有するオプションがあります。適切な絶縁フィルターにより、VCCD_PLL 電源を±3%の最大リップル電圧に制限します。レギュレーター的能力によっては、この電源を複数のインテル Cyclone 10 LP デバイスと共有することができます。インテル Quartus Prime 開発ソフトウェア内の Early Power Estimation (EPE) ツールを使用し、特定のデザインに必要な電力の特定を支援します。
VCCD_PLL					分離	
VCCIO	2	不定	± 5%	リニアまたはスイッチャー (*)	2.5V の場合は共有	VCCIO に 2.5V が必要な場合は、適切な絶縁フィルターを使用して VCCA を VCCIO と共有するオプションがあります。ただし、他の VCCIO 電圧では、VCCA に 2.5V のレギュレーターが必要です。インテル Quartus Prime 開発ソフトウェア内の Early Power Estimation (EPE) ツールを使用し、特定のデザインに必要な電力の特定を支援します。
VCCA		2.5			分離	適切な絶縁フィルターを使用し、VCCA を VCCIO と共有するオプションがあります。適切な絶縁フィルターにより、VCCA 電源を±3%の最大リップル電圧に制限します。レギュレーター的能力によっては、この電源を複数のインテル Cyclone 10 LP デバイスと共有することができます。インテル Quartus Prime 開発ソフトウェア内の Early Power Estimation (EPE) ツールを使用し、特定のデザインに必要な電力の特定を支援します。

各ボードデザインでは、独自の電力解析により、特定のボードデザイン要件を満たすために必要なパワーレギュレーターを決定する必要があります。

図 -1: インテル Cyclone 10 LP デバイスの電源共有ガイドラインにおける例



注意:

1. VCCA にスイッチ電源を使用する場合は、この電源を±3%の最大リップル電圧に制限します。VCCD_PLL にスイッチ電源を使用する場合は、この電源を±3%の最大リップル電圧に制限します。
2. 指定されているバンクに接続している I/O 規格に応じて、バンク 4、5、6、7、8 の VCCIO ピンを 1.2V/1.5V/1.8V/2.5V/3.0V/3.3V の電源に接続します。
3. インテル Cyclone 10 LP デバイスには 2 つのバリエーションがあります。1 つはコア電圧 VCCINT 1.0V で給電され、もう 1 つはコア電圧 VCCINT 1.2V で給電されます。各バリエーションには異なる注文コードがあります。

インテル Cyclone 10 LP デバイスファミリーのピン接続ガイドライン改訂履歴

ドキュメント・バージョン	変更内容
2020.11.09	クロックピンおよび PLL ピンの表に、DPCLK[0..11] ピンと CDPCLK[0..7] ピンを追加しました。
2019.11.06	インテル Cyclone 10 LP デバイスの電源共有ガイドラインにおける例の図で、注 2 を更新しました。
2019.07.03	TMS および TDI ピンの接続ガイドラインを更新しました。

日付	バージョン	変更内容
2017年11月	2017.11.06	<ul style="list-style-type: none"> このドキュメントは暫定的なものではなくなりました。 VCCINT および VCCD_PLL[1..4] ピンの参照注記を更新しました。 TDI ピンの参照注記を更新しました。
2017年6月	2017.06.02	サポートされるコンフィグレーション・スキームを更新しました。
2017年2月	2017.02.13	初版