



インテル®

Quartus® Prime

開発ソフトウェア

デザイン構築への最短パス

インテル® Quartus® Prime 開発ソフトウェアは、FPGA、CPLD、および SoC 設計の性能と生産性に革命をもたらし、設計コンセプトを実現する最短パスを提供します。インテル® Quartus® Prime 開発ソフトウェアは、各種プラットフォームで、FPGA、CPLD、および SoC 設計のあらゆる段階における固有のニーズに容易に対応できます。

インテル® Quartus® Prime 開発ソフトウェアは、インテル® FPGA を使用したデザインに必要なあらゆる要素を備えています。主なツールと機能は以下のとおりです。

- プラットフォーム・デザイナー
- インターフェイス・プランナー
- インテル® HLS コンパイラー
- 消費電力アナライザー
- タイミング・アナライザー
- DSP Builder for インテル® FPGA
- ModelSim* - Intel® FPGA Edition

インテル® Quartus® Prime 開発ソフトウェアのエディション

インテル® Quartus® Prime 開発ソフトウェアには、デザイン要件に基づいて、プロ、スタンダード、ライトの3つのエディションが用意されています。

- **インテル® Quartus® Prime 開発ソフトウェア・プロ・エディション**: インテル® Stratix® 10 デバイス、インテル® Arria® 10 デバイス、インテル® Cyclone® 10 GX デバイスの各ファミリーを含むインテルの次世代 FPGA および SoC の先進的な機能をサポートするように最適化されています。
- **インテル® Quartus® Prime 開発ソフトウェア・スタンダード・エディション**: インテル® Cyclone® 10 LP デバイスファミリーに加えて、以前からのデバイスファミリーに対する広範なサポートが含まれています。
- **インテル® Quartus® Prime 開発ソフトウェア・ライト・エディション**: インテルの量産デバイスファミリーへの理想的なエントリーポイントであり、ライセンスファイルを必要としない無償ダウンロードで利用できます。

インテル® Quartus® Prime 開発ソフトウェアの主な利点



機能

パーシャル・リコンフィグレーション

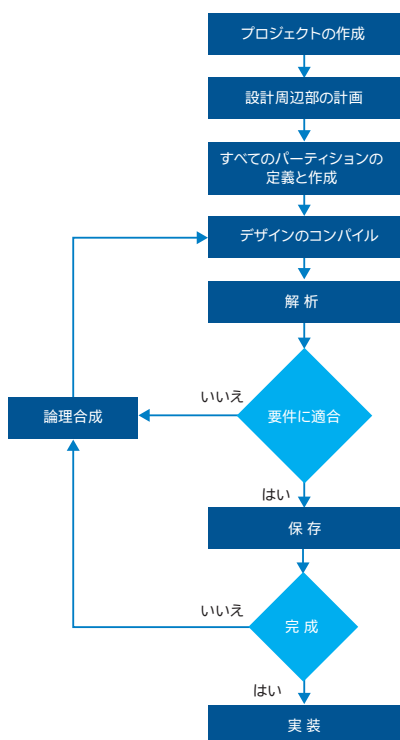
FPGAのパーシャル・リコンフィグレーションには複数の利点があり、新たなアプリケーションの実現が可能になります。インテル® Quartus® Prime 開発ソフトウェア・プロ・エディションは、インテル® Arria® 10 FPGAおよびSoCのパーシャル・リコンフィグレーションをサポートするグラフィカル・ユーザー・インターフェイスによる直感的なフローを備えています。設計者は、リコンフィグレーションを行う必要のあるダイナミック領域のフロアプランをチップランナーで視覚的に最適化できます。インテル® Quartus® Prime 開発ソフトウェア・プロ・エディションのロジックロック・リージョン機能を使用すれば、制約を容易に指定することができます。

パーシャル・リコンフィグレーションの主な利点は次のとおりです。

- コストの削減
- ボード面積の縮小
- 低消費電力

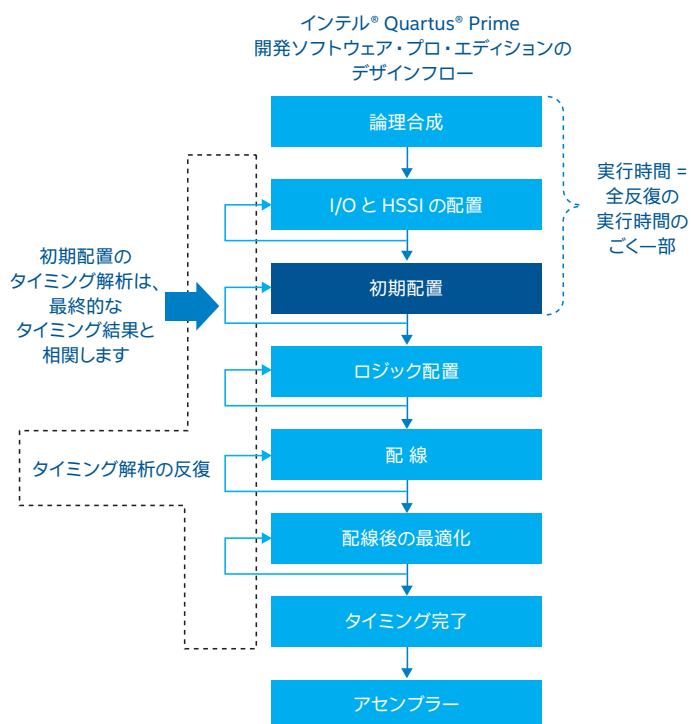
ブロックベースのデザイン

インテル® Quartus® Prime 開発ソフトウェア・プロ・エディションは、ブロックベースのデザインフローを提供します。ブロックベースのインクリメンタル・コンパイルとデザインブロック再利用の2種類のフローがあります。これらのフローにより、離れた拠点間のメンバーで構成されるチームがデザインを共同で開発することが可能になります。



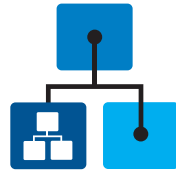
インクリメンタルな最適化によるフルデザイン繰り返し回数の低減

インテル® Quartus® Prime 開発ソフトウェア・プロ・エディションに含まれるインクリメンタル最適化機能は、デザイン完了へと収束を早める設計手法を提供します。インテル® Quartus® Prime 開発ソフトウェア・プロ・エディションは、初期配置ステージでインクリメンタル最適化機能を向上させます。このステージは、I/OとHSSIの配置、ロジック配置、配線、および配線後の最適化に加え、デザイン・クロージャーへのよりきめ細かい収束を提供します。



プラットフォーム・デザイナー

プラットフォーム・デザイナー・プロ・エディションは、インテル® Quartus® Prime 開発ソフトウェア・プロ・エディションに含まれる次世代システム統合ツールであり、インテル® Quartus® Prime 開発ソフトウェア・スタンダード・エディションでサポートされているプラットフォーム・デザイナー・スタンダード・エディションの機能を基盤としています。どちらのプラットフォーム・デザイナー・スタンダード・エディション/プロ・エディションも、Intellectual Property (IP) ファンクションとサブシステムを接続するインターコネクト・ロジックを自動的に生成することで、FPGA 設計プロセスの時間と労力を大幅に削減します。新しいプラットフォーム・デザイナー・プロ・エディション・ツールも、レジスタ転送レベル (RTL)、ブロックベースのデザインエントリー、回路図エントリー、ブラックボックスなどのさまざまなデザインエントリー方法をサポートしています。



階層フレームワーク

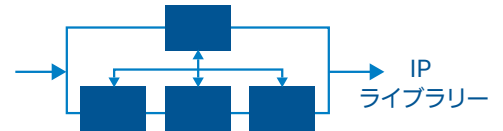
プラットフォーム・
デザイナー・
プロ・エディション

標準インターコネクト	
 AMBA <small>High-Speed Interconnect Standards from ARM</small>	AXI*、AHB*、APB*
インテル® FPGA	Avalon® インターフェイス
IP-XACT	デザイン・ディスクリプター

デザインの再利用

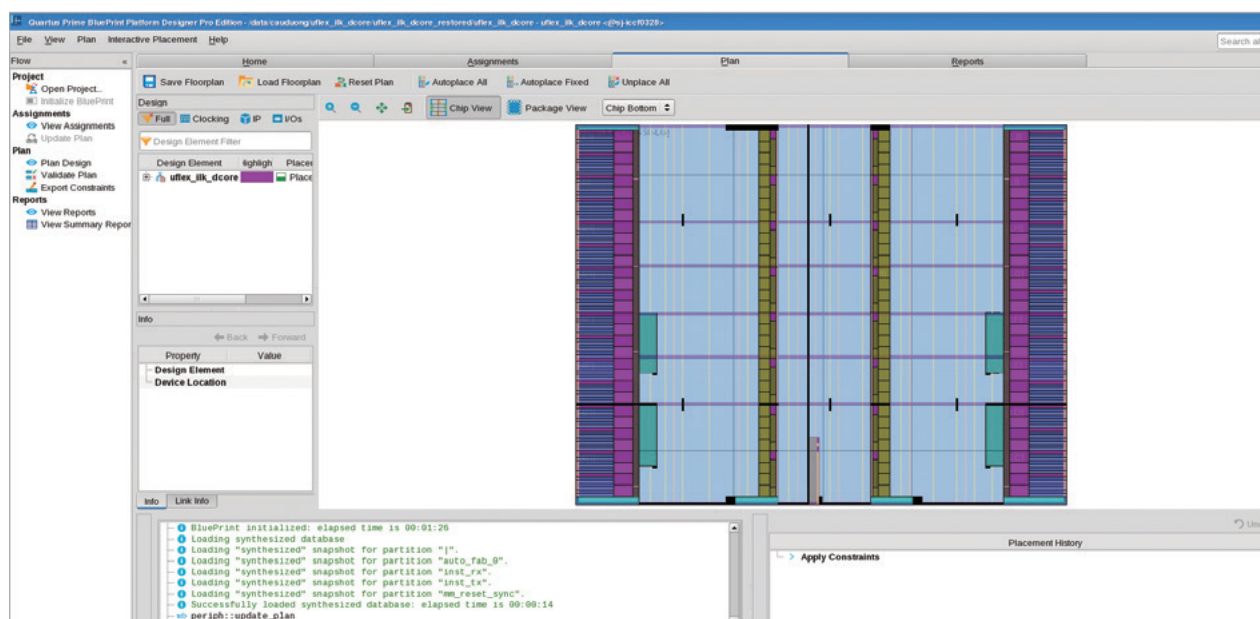
複数のソース

RTL
ブラックボックス
OpenCL* カーネル
DSP Builder for
インテル® FPGA サブシステム



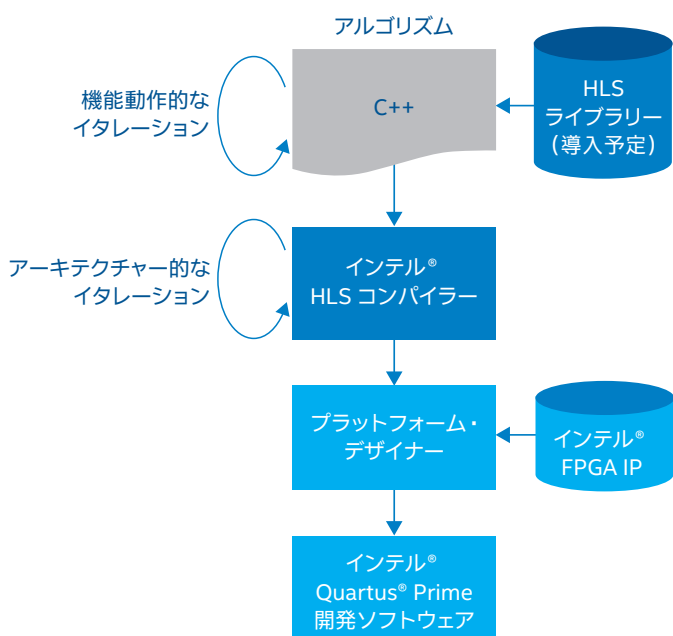
インターフェイス・プランナー

インターフェイス・プランナーはデバイスのペリフェラル・アーキテクチャーを詳細に調査し、インターフェイスを効率的に割り当てます。インターフェイス・プランナーは、フィッターチェックと制約チェックをリアルタイムで実行して不正なピン・アサインメントを防ぎます。このフローにより、複雑なエラーメッセージやフルコンパイルを待つ必要性が排除されるため、I/O デザインが約10倍に高速化されます。†



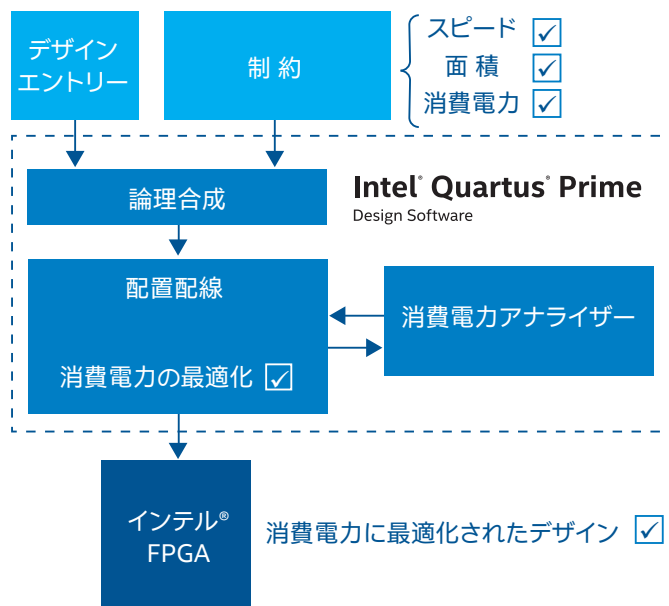
インテル® HLS コンパイラー

インテル® HLS コンパイラーは、時間規定のないC++による入力をもとに、インテル® FPGAに最適化された再利用可能な高品質のRTLを生成する、高位合成(HLS)ツールです。図1は、マニュアルで書かれたRTLに匹敵する開発で開発時間の短縮を実現する、インテル® HLS コンパイラー・ツールのフローを示しています。従来のRTLフローを引き続き利用しようとした場合、FPGAアクセラレーターの作成は煩雑になる可能性があります。そのため、インテル® HLS コンパイラー・ツールが開発されました。このツールは、高位設計からFPGAでのビットストリームの実行までのバックエンド・フローにすでに精通しているユーザーに最適です。この高位合成コンパイラーにより、C++を使用してプラットフォーム・デザイナーに読み込むことができるRTLコードを生成できます。



消費電力 アナライザー

消費電力解析テクノロジーには、Excel* ベースの Early Power Estimator (EPE) と、インテル® Quartus® Prime 開発ソフトウェアに搭載された消費電力アナライザー・ツールがあります。これらの消費電力解析ツールを使用すれば、初期デザインコンセプトからデザイン実装までの消費電力を見積もることができます。



タイミング・ アナライザー

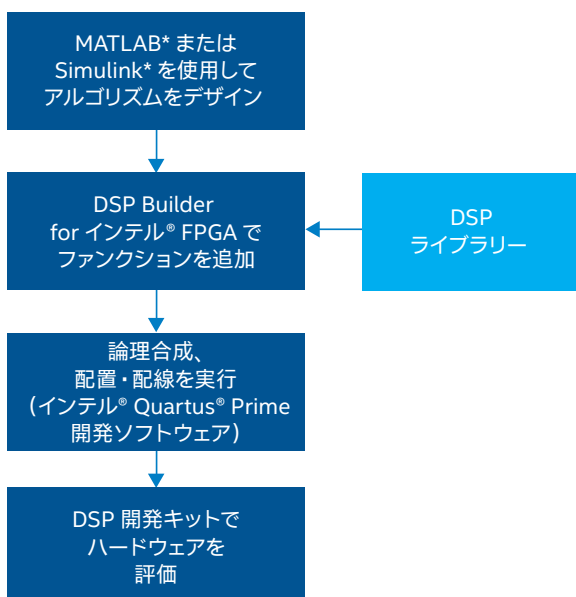
第2世代の使いやすいタイミング・アナライザーであり、業界標準の Synopsys* Design Constraint (SDC) のサポートを利用して、正確かつ迅速なタイミング・クロージャーを実現します。

DSP Builder for インテル® FPGA

DSP Builder for インテル® FPGA ソフトウェアは、モデルベースのデザインフローでデジタル信号処理 (DSP) アルゴリズムの HDL を生成します。DSP Builder for インテル® FPGA ソフトウェアは、MathWorks* MATLAB* および Simulink* システム・レベル・デザイン・ツールのアルゴリズム開発、シミュレーション、検証の各機能をインテル® Quartus® Prime 開発ソフトウェアに統合します。アルゴリズムに適した開発環境で DSP デザインのハードウェア表現を作成することにより、DSP デザインサイクルの短縮が可能です。DSP Builder for インテル® FPGA ソフトウェアは、スタンダード・ブロックセットとアドバンスト・ブロックセットで構成されます。新規デザインにはアドバンスト・ブロックセット・バージョンが推奨されます。

特長:

- ベクトル処理を用いた優れた固定小数点および IEEE 754 単精度浮動小数点 DSP 実現性を提供
- ビット精度およびサイクル精度のシミュレーション・モデルを提供
- VHDL テストベンチの自動生成
- 複雑な DSP 機能の統合を容易に



ModelSim* - Intel® FPGA Edition ソフトウェア

ModelSim* - Intel® FPGA Edition ソフトウェアは、Mentor Graphics からライセンスされる ModelSim* ソフトウェアのインテル® デバイスを対象としたバージョンです。このソフトウェアはインテル® FPGA のゲート・レベル・シミュレーション・ライブラリーをサポートし、動作シミュレーション、HDL テストベンチ、および Tcl スクリプトを含んでいます。ModelSim* - Intel® FPGA Edition ソフトウェアは、2 言語シミュレーションをサポートしています。これには、Verilog、SystemVerilog、および VHDL 言語の組み合わせ (混合 HDL と呼ばれます) で記述されたデザインが含まれます。

ModelSim* - Intel® FPGA Edition ソフトウェアと ModelSim* - Intel® FPGA Starter Edition ソフトウェアは、いずれもすべてのバージョンのインテル® Quartus® Prime 開発ソフトウェアで使用できます。ModelSim* - Intel® FPGA Starter Edition ソフトウェアは、以下の 2 点を除き、ModelSim* - Intel® FPGA Edition ソフトウェアと同等です。

- ModelSim* - Intel® FPGA Edition ソフトウェアには別ライセンスが必要です。
- ModelSim* - Intel® FPGA Starter Edition ソフトウェアのシミュレーション性能は、ModelSim* - Intel® FPGA Edition より低く、10,000 実行可能ライン数の制限があります。ModelSim* - Intel® FPGA Edition ソフトウェアには実行可能ライン数の制限がありません。

インテル® Quartus® Prime 開発ソフトウェア

<http://www.intel.co.jp/quartus/>

インテル® Quartus® Prime 開発ソフトウェアは、FPGA、CPLD、および SoC 設計の性能と生産性に革命をもたらし、設計コンセプトを実現する最短パスを提供します。インテル® Quartus® Prime 開発ソフトウェアは、論理合成、スタティック・タイミング解析、ボードレベル・シミュレーション、シグナル・インテグリティ解析、フォーマル検証など、多くのサードパーティー・ツールにも対応します。

インテル® Quartus® Prime 開発ソフトウェア v18.1			利用可能状況		
			プロ・エディション (有償)	スタンダード・エディション (有償)	ライト・エディション (無償)
デバイスのサポート	インテル® Stratix® シリーズ	IV、V		✓	
		10	✓		
	インテル® Arria® シリーズ	II			✓ ¹
		II、V		✓	
		10	✓	✓	
	インテル® Cyclone® シリーズ	IV、V		✓	✓
		10 LP		✓	✓
		10 GX	✓ ²		
	インテル® MAX® シリーズ			✓	✓
	デザインフロー	パーシャル・リコンフィグレーション		✓	✓ ³
ラピッド・リコンパイル		✓	✓ ⁴		
ブロックベースのデザイン		✓			
インクリメンタルな最適化		✓			
デザインエントリー/ プランニング	IP ベーススイート		✓	✓	有償オプション
	インテル® HLS コンパイラー		✓	✓	✓
	プラットフォーム・デザイナー・スタンダード・エディション			✓	✓
	プラットフォーム・デザイナー・プロ・エディション		✓		
	デザイン・パーティション・プランナー		✓	✓	
	チッププランナー		✓	✓	✓
	インターフェイス・プランナー		✓		
	ロジックロック・リージョン		✓	✓	
	VHDL		✓	✓	✓
	Verilog		✓	✓	✓
	SystemVerilog		✓	✓ ⁵	✓ ⁵
VHDL-2008		✓			

インテル® Quartus® Prime開発ソフトウェアv18.1		利用可能状況		
		プロ・エディション (有償)	スタンダード・エディション (有償)	ライト・エディション (無償)
機能シミュレーション	ModelSim* - Intel® FPGA Starter Editionソフトウェア	✓	✓	✓
	ModelSim* - Intel® FPGA Editionソフトウェア	✓ ⁶	✓ ⁶	✓ ⁶
コンパイル (論理合成&配置/配線)	フィッター(配置/配線)	✓	✓	✓
	初期配置	✓		
	レジスタ・リタイミング	✓	✓	
	フラクタル合成	✓		
	マルチプロセッサ・サポート	✓	✓	
タイミングおよびパワー 検証	タイミング・アナライザ	✓	✓	✓
	デザイン・スペース・エクスプローラーII	✓	✓	✓
	消費電力アナライザ	✓	✓	✓
インシステム・デバッグ	シグナルタップ・ロジック・アナライザ	✓	✓	✓
	トランシーバ・ツールキット	✓	✓	
	インテル® アドバンスド・リンク・アナライザ	✓	✓	
オペレーティング・システム (OS)サポート	Windows*/Linux*(64ビット)サポート	✓	✓	✓
販売価格		有償 Fixed - 3,995ドル Float - 4,995ドル	有償 Fixed - 2,995ドル Float - 3,995ドル	無償
ダウンロード		今すぐダウンロード	今すぐダウンロード	今すぐダウンロード

注:

1. Arria® II FPGA - EP2AGX45デバイスのみサポートします。
2. プロ・エディションでは、インテル® Cyclone® 10 GX デバイスは無償でサポートされません。
3. Cyclone® VおよびStratix® Vデバイスにのみ使用可能であり、バーチャル・リコンフィギュレーション・ライセンスが必要です。
4. Stratix® V, Arria® V, Cyclone® Vデバイスに使用可能です。
5. 一部の言語のみサポートしています。
6. 別途ライセンスが必要です。

その他の開発ツール

ツール	概要
インテル® FPGA SDK for OpenCL™	<ul style="list-style-type: none"> 追加のライセンスは不要です。 インテル® Quartus® Prime 開発ソフトウェア・プロ・エディション / スタンダード・エディションに対応しています。 ソフトウェアのインストール・ファイルには、インテル® Quartus® Prime 開発ソフトウェア・プロ・エディション / スタンダード・エディション、および OpenCL® ソフトウェアが含まれます。
DSP Builder for インテル® FPGA	<ul style="list-style-type: none"> 追加のライセンスが必要です。 DSP Builder for インテル® FPGA (アドバンスド・ブロックセットのみ) は、インテル® Stratix® 10、インテル® Arria® 10 デバイス向けのインテル® Quartus® Prime 開発ソフトウェア・プロ・エディションに対応しています。 DSP Builder for インテル® FPGA (スタンダード・ブロックセットおよびアドバンスド・ブロックセット) は、インテル® Arria® 10、Stratix® V、Arria® V、Cyclone® V デバイス向けのインテル® Quartus® Prime 開発ソフトウェア・スタンダード・エディションに対応しています。
Nios® IIエンベデッド・デザイン・スイート	<ul style="list-style-type: none"> 追加のライセンスは不要です。 インテル® Quartus® Prime 開発ソフトウェアのすべてのエディションに対応しています。 Nios® II ソフトウェア開発ツールおよびライブラリーが含まれます。
インテル® SoC FPGAエンベデッド開発スイート (SoC EDS)	<ul style="list-style-type: none"> Arm® Development Studio 5 (DS-5*) Intel® SoC FPGA Edition 用の追加のライセンスが必要です。 SoC EDS スタンダード・エディションは、インテル® Quartus® Prime 開発ソフトウェア・ライト・エディション / スタンダード・エディションに対応し、SoC EDS プロ・エディションは、インテル® Quartus® Prime 開発ソフトウェア・プロ・エディションに対応しています。

OpenCL および OpenCL ロゴは Apple Inc. の商標であり、Khronos の許可を得て使用しています。

インテル® Quartus® Prime 開発ソフトウェアの概要

インターフェイス・プランナー	リアルタイムの規則チェックを使用して、I/O デザインを迅速に作成できます。
ピンプランナー	高集積およびピン数の多いデザインのピン・アサインメントの割り当ておよび管理のプロセスを簡略化します。
プラットフォーム・デザイナー	階層手法とネットワーク・オン・チップ・アーキテクチャーに基づく高性能インターコネクトを使用して、IP ファンクションとサブシステム (IP ファンクションの集合) を統合し、システム開発を自動化します。
標準 IP コア	インテルとインテルのサードパーティー IP パートナーが提供する IP コアを使用して、システム・レベル・デザインの構築を可能にします。
論理合成	サポート対象の言語として、SystemVerilog と VHDL 2008 が追加されています。
スクリプトサポート	グラフィカル・ユーザー・インターフェイス (GUI) デザインだけでなく、コマンドライン操作と Tcl スクリプトもサポートしています。
ラビッド・リコンパイル	(フルコンパイル後の小規模なデザイン変更の場合) コンパイル時間を短縮して生産性を最大限に高めます。タイミング・クロージャも大幅に改善します。
インクリメンタルな最適化	デザイン完了へと収束を早める設計手法を提供します。従来のフィッターステージがさらに細かいステージに分割されて、デザインフローの制御が強化されています。
パーシャル・リコンフィグレーション	リコンフィグレーションによって別の機能を実行できる物理領域を FPGA 上に作成します。合成、配置、配線、タイミング・クロージャ、コンフィグレーション・ビットストリームの生成を行って、領域に実装された機能を実現します。
ブロックベースのデザインフロー	タイミングがクローズされたモジュールやデザインブロックをプロジェクトやチーム間で再利用できる柔軟性を提供します。

インテル® Hyperflex™ FPGA アーキテクチャー	インテル® Stratix® 10 デバイスのコアの性能と電力効率を向上させます。
フィジカルシンセシス	デザインの配置配線後の遅延情報を使用して、性能を向上させます。
デザイン・スペース・エクスプローラー (DSE)	インテル® Quartus® Prime 開発ソフトウェアの設定の組み合わせを自動的に反復処理して最適な結果を見つけることにより、性能を向上させます。
拡張クロスプロービング	検証ツールとデザイン・ソース・ファイル間のクロスプロービングをサポートします。
最適化アドバイザー	性能、リソース利用率、および消費電力低減を向上するデザイン固有のアドバイスを提供します。
チッププランナー	配置配線後のわずかなデザイン変更を数分で実装可能にすることにより、タイミング・クロージャーを維持しながら、検証時間を短縮します。
タイミング・アナライザー	Synopsys* Design Constraint (SDC) のネイティブサポートにより、複雑なタイミング制約を作成、管理、解析し、高度なタイミング検証を素早く実行できます。
シグナルタップ・ロジック・ アナライザー ¹	最多チャンネル数、最高クロック速度、最大サンプル容量、最新トリガー機能をサポートするエンベデッド・ロジック・アナライザーです。
システムコンソール	リード/ライト・トランザクションを使用して、FPGA をリアルタイムで簡単にデバッグできるようにします。データの監視や FPGA への送信に役立つ GUI も素早く作成できます。
消費電力アナライザー	ダイナミックおよびスタティック消費電力の高精度な解析と最適化を可能にします。
EDA パートナー	論理合成、機能およびタイミング・シミュレーション、スタティック・タイミング解析、ボードレベル・シミュレーション、シグナル・インテグリティ解析、フォーマル検証用の EDA ソフトウェア・サポートを提供します。パートナーのリストについては、 http://www.intel.co.jp/fpgaedapartners/ でご確認ください。
フラクタル合成	インテル® Quartus® Prime 開発ソフトウェアで算術演算を FPGA のロジックリソースに効率的に詰め込むことができ、性能が大幅に向上します。

注:

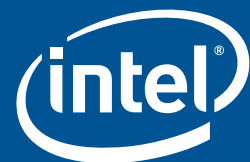
1. インテル® Quartus® Prime 開発ソフトウェア・ライト・エディションでは、Talkback 機能を有効にすることで利用可能です。

今すぐ設計を開始するために

ステップ1: 無償版のインテル® Quartus® Prime 開発ソフトウェア・ライト・エディションをダウンロードする
<http://www.intel.co.jp/quartus/>

ステップ2: オンライン・トレーニングで基礎から学習する
(ソフトウェアのインストール後に、「ようこそ」画面でオンライン・トレーニングにアクセス可能)

ステップ3: インストラクター・トレーニングを受講する
<http://www.intel.co.jp/fpgatraining/>



† テストは、特定システムでの特定テストにおけるコンポーネントのパフォーマンスを測定しています。ハードウェア、ソフトウェア、システム構成などの違いにより、実際の性能は掲載された性能テストや評価とは異なる場合があります。購入を検討される場合は、ほかの情報も参考にして、パフォーマンスを総合的に評価することをお勧めします。性能やベンチマーク結果について、さらに詳しい情報をお知りになりたい場合は、<http://www.intel.com/benchmarks/> (英語) を参照してください。

Intel、インテル、Intel ロゴ、Arria、Avalon、Cyclone、Hyperflex、MAX、Nios、Quartus、Stratix は、アメリカ合衆国および/またはその他の国における Intel Corporation またはその子会社の商標です。

* その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

©2018 Intel Corporation. 無断での引用、転載を禁じます。

GB-1001-18.1/JP