



# AN 881: 外部および HBM2 メモリーを備えた PCI Express\* Gen3x16 Avalon<sup>®</sup>-MM DMA のリファレンス・デザイン

## 目次

---

<b>1. 概要</b> .....	<b>3</b>
1.1. 外部および HBM2 メモリーを備えた PCI Express Gen3 x16 Avalon-MM DMA のハードウェア並びにソフトウェアの要件.....	4
1.2. DMA モジュールを備えた Avalon-MM ブリッジの説明.....	5
1.3. DMA 手順のステップ.....	5
1.4. ハードウェアのセットアップ.....	5
1.5. DMA テストドライバーのインストールおよび Linux DMA ソフトウェアの実行.....	6
<b>2. リファレンス・デザインの説明</b> .....	<b>9</b>
2.1. プロジェクト階層.....	10
2.2. PCI Express Hard IP バリエーション用のパラメーター設定.....	11
2.3. 外部および HBM2 メモリーを備えた PCIe Avalon-MM DMA リファレンス・デザインのプラットフォーム・デザイナー・システム.....	13
2.4. DMA テストドライバーのインストールおよび Linux DMA ソフトウェアの実行.....	14
2.5. インテル® Stratix 10 MX DMA メモリーのスルーブット.....	16
<b>3. PCI Express スルーブットの理解</b> .....	<b>17</b>
3.1. ポステッド書き込みスルーブット.....	17
3.1.1. 最大ペイロードサイズの指定.....	17
3.2. 読み出しスルーブット.....	17
3.2.1. スルーブット測定の理解.....	18
<b>4. AN 881:外部および HBM2 メモリーを備えた PCI Express Gen3 x16 Avalon-MM DMA のリファレンス・デザインの文書改訂履歴</b> .....	<b>19</b>

## 1. 概要

このドキュメントでは、メモリー IP インターフェイスを備えた PCI Express\* Avalon® Memory-Mapped (Avalon-MM) ダイレクト・メモリー・アクセス (DMA) について説明しています。このリファレンス・デザインでは、2 種類のメモリー・ソリューションである外部 (DDR4) メモリーおよび HBM2 メモリーを備えた高性能 DMA コントローラー、Avalon-MM インテル® Stratix® 10 Hard IP+ for PCI Express のパフォーマンスを紹介します。

リファレンス・デザインには、DMA サポート用のハイスループット・データムーバーを使用して、DMA 転送をセットアップする Linux\* ソフトウェア・ドライバーが含まれています。読み出しデータムーバーは、システムメモリーから Avalon-MM スペース内の外部メモリーまたは HBM2 メモリーに、データを移動させます。書き込みデータムーバーは、アプリケーションのロジック内の外部メモリーまたは HBM2 メモリーから PCIe\* スペース内のシステムメモリーに、データを移動させます。このリファレンス・デザインを使用すると、Avalon-MM インテル Stratix 10 Hard IP+ for PCI Express のパフォーマンスの評価が可能となり、それには高性能 DMA で異なるメモリー IP を備えた Avalon-MM インターフェイスを使用します。

図 -1: Avalon-MM DMA およびアドレスマッピングのブロック図

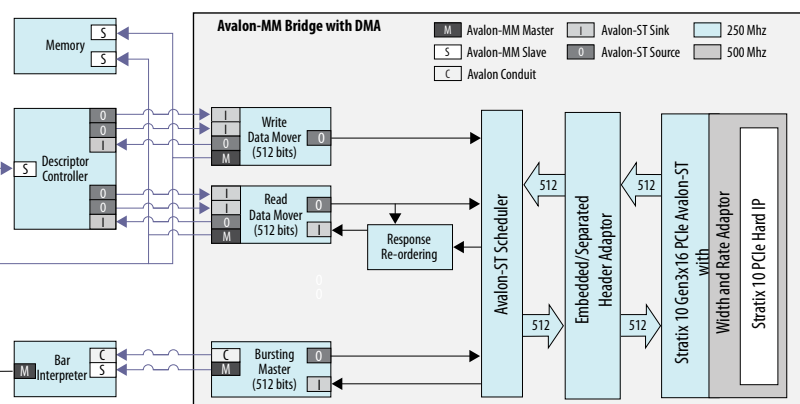


表 1. リファレンス・デザイン情報

リファレンス・デザイン	ハードウェア	スループット (GB/s)		ゲート数	デザインリンク
		読み出し	書き込み		
HBM2 および DDR4 を搭載した Avalon-MM インテル Stratix 10 MX Hard IP+ DMA	インテル Stratix 10 MX FPGA 開発キット	13.95	13.01	77K ALM 85K ALUT 713 M20K	<a href="#">PCI Express Gen3 x16 AVMM DMA with HBM2 and DDR4 Reference Design</a>

注意: このリファレンス・デザインをダウンロードするには、まず [Design Store](#) にログインして Intel Design Store へのアクセス権を持っていることを確認してください。上の表にあるリンクをクリックすると、デザインをダウンロードできます。

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

\*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

**注意:** 読み出したり書き込み動作の理論上の最大スループットは 16 GB/s ですが、実際のスループットは、上記の表に示すようにそれよりも低くなります。PCI Express プロトコル固有のオーバーヘッドによるものです。

インテル Arria® 10、インテル Cyclone® 10 GX、またはインテル Stratix 10 SX、GX、TX デバイスおよび、Gen3 x8 までの Avalon-MM DMA コンフィグレーションは、次を参照してください。

- [Intel Stratix 10 Avalon-MM Interface for PCI Express Solutions User Guide](#)
- [AN 829: PCI Express Avalon-MM DMA Reference Design](#)
- [Intel Arria 10 or Intel Cyclone 10 GX Avalon-MM DMA Interface for PCI Express Solutions User Guide](#)

#### 関連情報

- [Avalon-MM Intel Stratix 10 Hard IP+ for PCI Express Solutions User Guide](#)
- [PCI Express Base Specification Revision 3.0](#)
- [High Bandwidth Memory \(HBM2\) Interface Intel FPGA IP User Guide](#)
- [External Memory Interfaces Intel Stratix 10 FPGA IP User Guide](#)
- [Intel Stratix 10 MX FPGA Development Kit](#)

## 1.1. 外部および HBM2 メモリーを備えた PCI Express Gen3 x16 Avalon-MM DMA のハードウェア並びにソフトウェアの要件

### ハードウェアの要件

リファレンス・デザインは、次の開発キットで実行されます。

- インテル Stratix 10 FPGA MX 開発キット (**UDIMM** DDR4 および HBM2 メモリーを使用)。この開発キットで使用するものは、1SM21BHU2F53E2VG インテル Stratix 10 のデバイスです。

リファレンス・デザインには、次の 2 つのコンピューターが必要です。

- Linux を実行する PCIe Gen3 x16 スロットを搭載したコンピューター。このコンピューターはコンピューター番号 1 です。
- インテル Quartus® Prime プロ・エディション開発ソフトウェアバージョン 19.1 がインストールされた 2 つ目のコンピューター。このコンピューターは、FPGA SRAM オブジェクト・ファイル (.sof) を開発キット上の FPGA にダウンロードします。このコンピューターがコンピューター番号 2 です。

### ソフトウェアの要件

- リファレンス・デザイン・ソフトウェアは、コンピューター番号 1 にインストールされます。リファレンス・デザインは、Intel FPGA Design Store で入手可能です。このインテル Quartus Prime プロ・エディション・プラットフォーム・アーカイブ・ファイル (.par) には、リファレンス・デザインで指定されたパラメーターに対する推奨される合成、フィッター、およびタイミング解析設定が含まれています。
- インテル Quartus Prime プロ・エディション開発ソフトウェアは、コンピューター番号 2 にインストールされます。このソフトウェアは、Intel Quartus Prime Pro Edition Software Features/Download のウェブページから、ダウンロードできます。
- Linux ドライバーは、このリファレンス・デザイン専用にコンフィグレーションされています。



**注意:** このドライバーの開発およびテストは、CentOS 7.0, 64 ビット (3.10.514 カーネルは、x86\_64 アーキテクチャー用にコンパイル済み) で行われました。

#### 関連情報

- Intel Stratix 10 PCI Express Gen3 x16 Avalon-MM DMA with External and HBM2 Memories Reference Design

Design Store からリファレンス・デザインとデザイン・ソフトウェアをダウンロードするには、次のサイトにアクセスしてください。

- Intel Quartus Prime Pro Edition Download Center: <http://fpgasoftware.intel.com/?edition=pro>

## 1.2. DMA モジュールを備えた Avalon-MM ブリッジの説明

*Avalon-MM Intel Stratix 10 Hard IP+ for PCI Express Solutions User Guide* を参照してください。

#### 関連情報

[Avalon-MM Intel Stratix 10 Hard IP+ for PCI Express Solutions User Guide](#)

## 1.3. DMA 手順のステップ

ホストで実行中のソフトウェアにより、次に示すステップが完了すると、DMA の開始および結果の確認が行われます。

DMA 手順については、*AN 829: PCI Express Avalon-MM DMA Reference Design* を参照してください。

#### 関連情報

<https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/an/an829.pdf>

## 1.4. ハードウェアのセットアップ

- コンピューター番号 1 の電源を切断します。
- FPGA MX 開発キットカードを Gen3 x16 をサポートする PCIe スロットに差し込みます。
- インテル Stratix 10 FPGA MX 開発キット、コネクタ J26 および J27 用に、カードの電力供給を行います。使用可能な PCIe スロットにカードを挿入した後、2x4 および 2x3 ピン PCIe 電源ケーブルを、コンピューター番号 1 の電源供給から、PCIe カードの J26 および J27 のコネクタにそれぞれ接続します。
- USB ケーブルをコンピューター番号 2 から FPGA MX 開発キットに接続します。開発キットには、FPGA プログラミング用のオンボード・インテル FPGA ダウンロード・ケーブルが含まれています。
- PCIe スロットを介して FPGA MX 開発キットの電源を投入するには、コンピューター番号 1 の電源を入れます。また、FPGA MX 開発キットの電源の投入には、キットに付属の外部電源アダプターを使用することもできます。
- コンピューター番号 2 で、インテル Quartus Prime プログラマーを立ち上げ、インテル FPGA ダウンロード・ケーブルを介して FPGA をコンフィグレーションします。

注意: FPGA 開発キットの電源が失われるたびに、FPGA をリコンフィグレーションする必要があります。

7. システムの列挙を強制して PCIe デバイスを検出するには、コンピューター番号 1 を再起動します。

## 1.5. DMA テストドライバーのインストールおよび Linux DMA ソフトウェアの実行

DMA テストドライバーをインストールして Linux DMA アプリケーションを実行する手順については、User Guide for the Avalon-MM Intel Stratix 10 Hard IP+ for PCI Express ([Avalon-MM Stratix 10 Hard IP+ for PCI Express Solutions User Guide](#)) 内の項 2.6 および 2.7 を参照してください。

注意: Design Store からリファレンス・デザインをダウンロードし、(.qar ファイルから) アーカイブされたプロジェクトをインテル Quartus Prime 19.1 を使用して解凍すると、プロジェクト・ディレクトリーにいくつかのフォルダーが生成されます。また、ソフトウェア・ドライバーとツールを含む software.zip フォルダーもできます。このフォルダーは Windows で解凍してください。Linux でこのフォルダーを解凍すると、ドライバーのインストールの問題が発生する場合があります。

### 図 -2: リンクテストの GUI

```
*****
Intel FPGA PCIe Link Test
Version 2.0
0: Automatically select a device
1: Manually select a device
*****
> 1
Enter bus number, in hex:
> 2
Enter device number, in hex:
> 0
Enter function number, in hex:
> 0
BDF is 0x200
B:D.F, in hex, is 2:0.0
Enter BAR number (-1 for none, 2 for HBM2 and 4 for DDR4) :
> 4
Opened a handle to BAR 0x4 of a device with BDF 0x200

*****
0: Link test - 100 writes and reads
1: Write memory space
2: Read memory space
3: Write configuration space
4: Read configuration space
5: Change BAR (HBM2 = 2 and DDR4 = 4)
6: Change device
7: Enable SRIOV
8: Do a link test for every enabled virtual function
   belonging to the current device
9: Perform DMA
10: Quit program
*****
~ ■
```



図 -3: リンクテストパスの結果

```
0: Link test - 100 writes and reads
1: Write memory space
2: Read memory space
3: Write configuration space
4: Read configuration space
5: Change BAR (HBM2 = 2 and DDR4 = 4)
6: Change device
7: Enable SRIOV
8: Do a link test for every enabled virtual function
   belonging to the current device
9: Perform DMA
10: Quit program
*****
> 0
Doing 100 writes and 100 reads..
Number of write errors:      0
Number of read errors:      0
Number of dword mismatches: 0

*****
0: Link test - 100 writes and reads
1: Write memory space
2: Read memory space
3: Write configuration space
4: Read configuration space
5: Change BAR (HBM2 = 2 and DDR4 = 4)
6: Change device
7: Enable SRIOV
8: Do a link test for every enabled virtual function
   belonging to the current device
9: Perform DMA
10: Quit program
*****
> █
```

図 -4: DMA GUI

```
1: Write memory space
2: Read memory space
3: Write configuration space
4: Read configuration space
5: Change BAR (HBM2 = 2 and DDR4 = 4)
6: Change device
7: Enable SRIOV
8: Do a link test for every enabled virtual function
   belonging to the current device
9: Perform DMA
10: Quit program
*****
> 9

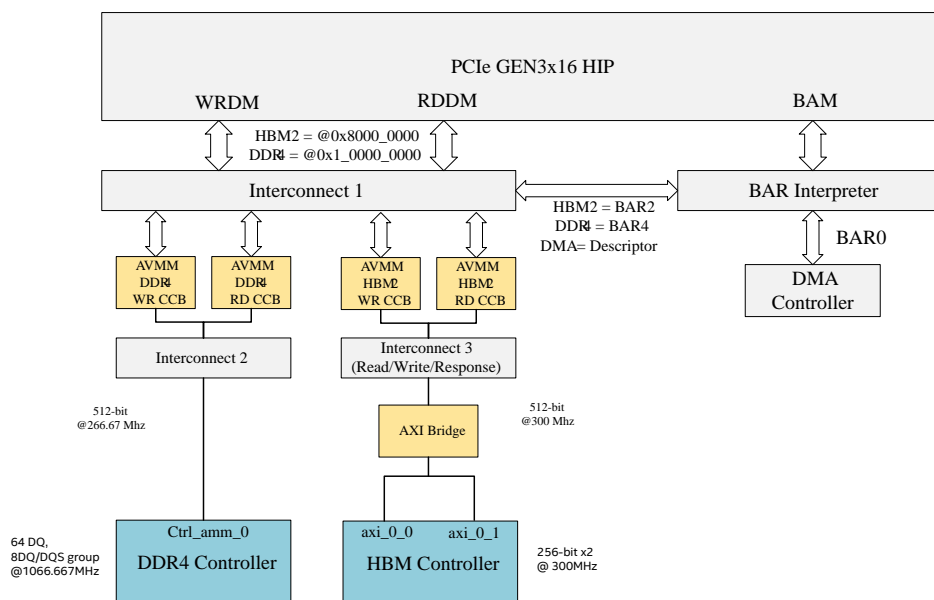
*****
Current DMA configurations
Memory Interface      ? HBM2
Run Read (card->system) ? 1
Run Write (system->card) ? 1
Run Simultaneous     ? 1
Number of dwords/desc : 16384
Number of descriptors : 128
Total length of transfer : 8192 KiB
*****
0: Select DMA interface (HBM2 or DDR4)
1: Run DMA
2: Toggle read DMA
3: Toggle write DMA
4: Toggle simultaneous DMA
5: Set the number of dwords per descriptor
6: Set the number of descriptors per DMA
7: Return to main menu
*****
> █
```



## 2. リファレンス・デザインの説明

このアプリケーション・ノートを構成しているリファレンス・デザインでは、外部 DDR4 および HBM2 メモリーを備えた Avalon-MM インテル Stratix 10 MX Hard IP+ DMA を使用しています。

図 -5: DDR4 および HBM2 メモリーを備えた Gen3 x16 DMA のリファレンス・デザイン



DDR4 および HBM2 を備えたこの Gen3 x16 DMA Platform Designer システムでは、g3x16\_hbm2\_dds4.qsys ファイル内にキャプチャされ、PCIe Avalon-MM Master、DDR4、HBMC AXI Slave 間の Avalon-MM クロッククロッシング・ブリッジ 4 つと AXI ブリッジ IP コア 1 つをインスタンス化します。こうした IP の目的は、次の機能を実行することです。

- PCIe Hard IP および HBMC のクロック・ドメイン・クロッシング
- PCIe Hard IP および DDR4 のクロック・ドメイン・クロッシング
- パースト長の適応
- AXI Master インターフェイスのエクスポート
- Read/Write Response FIFO 深度の制御

### PCIe Hard IP およびメモリーのクロック・ドメイン・クロッシング

Gen3 x16 IP ユーザー・インターフェイスは、250 MHz で 512 ビットです。250 MHz は、PCIe Hard IP によって生成される `coreclkout_hip` の周波数です。デザイン内の HBM コントローラー AXI インターフェイスは、300 MHz で 256 ビットです。HBM コントローラーのコアクロックは IOPLL によって生成されます。2 つの Avalon-MM クロッククロッシング・ブリッジを使用して、クロック・クロッシングを処理します。

このデザイン内の DDR4 Controller インターフェイスは、266.67 MHz で 512 ビットを使用します。2 つの Avalon-MM クロッククロッシング・ブリッジは、クロック・クロッシングを処理するために使用されます。

### バースト長の適応

Gen3 x16 IP 書き込みデータムーバー (WRDM) および読み出しデータムーバー (RDDM) Avalon-MM インターフェイスは、バーストモードで読み出し/書き込みトランザクションを発行するバーストマスターです (サポートされる最大バーストカウントは 8 です)。しかし、HBM Controller AXI4 スレーブでサポートするのは、シングル・バースト・トランスファー (バースト長 1) のみです。これを解決するには、Avalon-MM クロッククロッシング・ブリッジ内の最大バーストサイズを 1 に設定します。

### AXI Master インターフェイスのエクスポート

このデザインでは、AXI ブリッジを使用して、Platform Designer システムから AXI Master インターフェイスをエクスポートします。エクスポートした AXI Master インターフェイスは、HBMC AXI スレーブ・インターフェイスに外部接続します。

AXI ブリッジの読み出し/書き込みアドレスにより、両方の HBMC AXI スレーブが駆動します。

AXI ブリッジの読み出し/書き込み 512 ビットデータバスは、256 ビットデータバス 2 つに分割されます。

AXI ブリッジのリファレンス・デザインへの組み込み方法の図は、[図 5](#) (9 ページ)を参照してください。

### Read/Write Response FIFO 深度の制御

AXI Bridge Read/Write Acceptance Capability パラメーターの設定により、`altera_merlin_axi_slave_ni` モジュール内の Platform Designer で生成された Interconnect Read/Write Response FIFO 深度が決定します。Response FIFO 深度は、Avalon-MM トランザクション・パフォーマンスに影響します。

Read/Write Response FIFO 深度が十分ではなく、FIFO が一杯になると、バックプレッシャーが発生し、スループットに影響します。

デフォルトの Read/Write Acceptance Capability パラメーター値は 16 に設定されています。Intel Quartus Prime 19.1 では、32 までの設定が可能です。このデザインの場合、Platform Designer によって生成された Read/Write Response FIFO 深度は、`altera_merlin_axi_slave_ni` モジュール内で、手動で 64 に設定されており、Gen3 x16 のスループットをサポートします。

19.3 Intel Quartus Prime のリリースでは、AXI ブリッジによってサポートされる最大値はより高いものになります。

## 2.1. プロジェクト階層

リファレンス・デザインでは、次のディレクトリ構造を使用します。



図 -6: ディレクトリー構造

- factory\_image
- g3x16\_hbm2\_ddr4
- ip
- pcie\_to\_hbm2\_ddr4\_top
- assignment\_defaults.qdf
- g3x16\_hbm2.qsysquartus\_sh\_tcl\_file\_for\_qsyspro.tcl
- g3x16\_hbm2\_ddr4.qsys
- jtag\_example.sdc
- pcie\_to\_hbm2\_ddr4\_top.qpf
- pcie\_to\_hbm2\_ddr4\_top.qsf
- pcie\_to\_hbm2\_ddr4\_top.sdc
- pcie\_to\_hbm2\_ddr4\_top.v

- pcie\_to\_hbm2\_ddr4\_top.v: トップレベル・モジュール

## 2.2. PCI Express Hard IP バリエーション用のパラメーター設定

このリファレンス・デザインは、512 バイトの最大ペイロードサイズをサポートしています。次の表は、すべてのパラメーターの値の一覧です。

表 2. システムの設定

パラメーター	値
レーン数	インテル Stratix 10 MX: 16
レーンレート	インテル Stratix 10 Gen3:8 Gbps
Hard IP モード	デフォルトでは、Hard IP モードの設定は Gen3 x16 です。また、250 MHz で実行するアプリケーション・レイヤーに対する 512 ビット・インターフェイスを備えています。

表 3. ベース・アドレス・レジスター (BAR) の設定

パラメーター	値	BAR サイズ
BAR0	64 ビットのプリフェッチ可能なメモリー	DMA: 16 ビット
BAR1	ディセーブル	
BAR2	64 ビットのプリフェッチ可能なメモリー	HBM2: 28 ビット
BAR3	ディセーブル	
BAR4	64 ビットのプリフェッチ可能なメモリー	DDR4: 30 ビット
BAR5	ディセーブル	

表 4. デバイス識別レジスターの設定

パラメーター	値
Vendor ID	0x00001172
Device ID	0x0000E003

*continued...*

パラメーター	値
Revision ID	0x00000001
Class Code	0x00000000
Subsystem Vendor ID	0x00000000
Subsystem Device ID	0x00000000

表 5. PCI Express/PCI\* の機能

パラメーター	値
最大ペイロードサイズ	512 バイト
完了タイムアウト範囲	なし
実装完了タイムアウト	ディセーブル

表 6. エラー報告の設定

パラメーター	値
高度なエラーの報告 (AER)	イネーブル
ECRC チェック	ディセーブル
ECRC 生成	ディセーブル

表 7. リンクの設定

パラメーター	値
リンクポート番号	1
スロット・クロック・コンフィグレーション	イネーブル

表 8. メッセージシグナル割込み (MSI) および MSI-X の設定

パラメーター	値
要求された MSI メッセージの数	4
MSI-X の実装	ディセーブル
テーブルサイズ	0
テーブルオフセット	0x0000000000000000
テーブル BAR インジケータ	0
ペンディング・ビット・アレイ (PBA) オフセット	0x0000000000000000
PBA BAR インジケータ	0

表 9. パワー・マネジメント

パラメーター	値
エンドポイント L0s の受け入れ可能なレイテンシー	最大 64 ns
エンドポイント L1 の受け入れ可能なレイテンシー	最大 1 us



表 10. PCIe アドレス空間の設定

パラメーター	値
アクセス可能な PCIe メモリースペースのアドレス幅	40

表 11. DDR4 メモリー

パラメーター	値
メモリー・フォーマット	UDIM

## 2.3. 外部および HBM2 メモリーを備えた PCIe Avalon-MM DMA リファレンス・デザインのプラットフォーム・デザイナー・システム

次の画像は、このリファレンス・デザイン用の Platform Designer システム内のモジュールを示しています。

図 -7: 外部および HBM2 メモリーを備えた Avalon-MM インテル Stratix 10 Hard IP+ for PCI Express の Platform Designer システム

モジュール名	説明	パラメーター	値	コメント
hbm2_core_clk_bridge	Clock Bridge Intel FPGA IP			
avmm_bridge_512_0	Avalon-MM Intel Stratix 10 Hard IP+ L...	exported		
hmc_interpreter	PCIe 512bit 64 Interpreter			
dma_controller	PCIe 512bit DMA Controller	avmm_brl	0x0000_0000	0x3fff_ffff
ddr4_rddm_clock_crossing_bridge	Avalon-MM Clock Crossing Bridge Int...	multiple	0x0000_0000	0x0000_0fff
ddr4_wrddm_clock_crossing_bridge	Avalon-MM Clock Crossing Bridge Int...	multiple	0x1_0000_0000	0x1_3fff_ffff
emif_s10_0	External Memory Interfaces Intel Strat...	exported	0x0000_0000	0x3fff_ffff
hbm2_rddm_clock_crossing_bridge	Avalon-MM Clock Crossing Bridge Int...	multiple	0x8000_0000	0x8fff_ffff
hbm2_wrddm_clock_crossing_bridge	Avalon-MM Clock Crossing Bridge Int...	multiple	0x8000_0000	0x8fff_ffff
axi_bridge	AXI Bridge Intel FPGA IP	hbm2_core	0x0000_0000	0x3fff_ffff
hbm2_core_clk_iopll	iOPLL Intel FPGA IP	exported		
hbm2	High Bandwidth Memory (HBM2) Inter...	multiple	multiple	multiple
reset_bridge_0	Reset Bridge Intel FPGA IP	hbm2_core		
aw_fifo_0	Avalon-ST Single Clock FIFO Intel FPG...	hbm2_core		
aw_fifo_1	Avalon-ST Single Clock FIFO Intel FPG...	hbm2_core		
vw_fifo_0	Avalon-ST Single Clock FIFO Intel FPG...	hbm2_core		
vw_fifo_1	Avalon-ST Single Clock FIFO Intel FPG...	hbm2_core		
ar_fifo_0	Avalon-ST Single Clock FIFO Intel FPG...	hbm2_core		
ar_fifo_1	Avalon-ST Single Clock FIFO Intel FPG...	hbm2_core		
r_fifo_0	Avalon-ST Single Clock FIFO Intel FPG...	hbm2_core		
r_fifo_1	Avalon-ST Single Clock FIFO Intel FPG...	hbm2_core		
r_fifo_merge	Avalon-ST Single Clock FIFO Intel FPG...	hbm2_core		
b_fifo_0	Avalon-ST Single Clock FIFO Intel FPG...	hbm2_core		
b_fifo_1	Avalon-ST Single Clock FIFO Intel FPG...	hbm2_core		
b_fifo_merge	Avalon-ST Single Clock FIFO Intel FPG...	hbm2_core		

表 12. アドレスマッピング

インターフェイス	ベースおよびエンドアドレス	バースト Avalon Master (BAM) BAR
インテル DMA コントローラー	0x0000_0000 - 0x0000_0fff	BAR0
HBM2 メモリー・コントローラー	0x8000_0000 - 0x8fff_ffff	BAR2
インテル® DDR4 コントローラー	0x1_0000_0000 - 0x1_3fff_ffff	BAR4

表 13. プラットフォーム・デザイナー・ポートの説明

ポート	機能	説明
RDDM	読み出しデータマター	このインターフェイスは、DMA データを PCIe システムメモリーから Avalon-MM アドレス空間内のメモリーに転送します。
WRDM	書き込みデータマター	このインターフェイスは、DMA データを Avalon-MM アドレス空間内のメモリーから PCIe システムメモリーに転送します。
BAM	バースト Avalon-MM Master	このインターフェイスでは、Avalon-MM アドレス空間内のレジスターおよびメモリーに対するホストアクセスが提供されます。バースト Avalon-MM Master モジュールによって、

**continued...**

ポート	機能	説明
		PCIe メモリー読み出しおよび書き込みが変換され、Avalon-MM 読み出しおよび書き込みになります。
インテル® DDR4 コントローラー	DDR4 コントローラー	これは、DQS グループごとに 64DQ 幅および 8DQ が備わったシングルポート DDR4 コントローラーです。
HBM2 メモリー・コントローラー	HBM コントローラー	これは、2 つの疑似チャネル HBM コントローラーを備えた単一チャネルです。HBM2 コントローラーへのユーザー・インターフェイスは AXI4 プロトコルを使用します。各コントローラーには、疑似チャネルごとに 1 つの AXI4 インターフェイス、またはチャネルごとに 2 つの AXI4 インターフェイスがあります。

## 2.4. DMA テストドライバーのインストールおよび Linux DMA ソフトウェアの実行

DMA テストドライバーをインストールして Linux DMA アプリケーションを実行する手順については、Avalon-MM インテル Stratix 10 Hard IP+ for PCI Express ユーザーガイド ([Avalon-MM Stratix 10 Hard IP+ for PCI Express Solutions User Guide](#)) 内の項 2.6 および 2.7 を参照してください。

図 -8: リンクテストの GUI

```

File Edit View Search Terminal Help
> 0
BDF is 0x200
B:D.F, in hex, is 2:0.0
Enter BAR number (-1 for none):
> 2
Opened a handle to BAR 0x2 of a device with BDF 0x200

*****
0: Link test - 100 writes and reads
1: Write memory space
2: Read memory space
3: Write configuration space
4: Read configuration space
5: Change BAR
6: Change device
7: Enable SRIOV
8: Do a link test for every enabled virtual function
   belonging to the current device
9: Perform DMA
10: Quit program
*****
> █

```



図 -9: リンクテストパスの結果

```
File Edit View Search Terminal Help
10: Quit program
*****
> 0
Doing 100 writes and 100 reads..
Number of write errors:      0
Number of read errors:      0
Number of dword mismatches: 0

*****
0: Link test - 100 writes and reads
1: Write memory space
2: Read memory space
3: Write configuration space
4: Read configuration space
5: Change BAR
6: Change device
7: Enable SRIOV
8: Do a link test for every enabled virtual function
   belonging to the current device
9: Perform DMA
10: Quit program
*****
> █
```

図 -10: DMA GUI

```
File Edit View Search Terminal Help
9: Perform DMA
10: Quit program
*****
> 9

*****
Current DMA configurations
Run Read (card->system) ? 1
Run Write (system->card) ? 1
Run Simultaneous ? 1
Number of dwords/desc : 2048
Number of descriptors : 128
Total length of transfer : 1024 KiB
*****
0: Run DMA
1: Toggle read DMA
2: Toggle write DMA
3: Toggle simultaneous DMA
4: Set the number of dwords per descriptor
5: Set the number of descriptors per DMA
6: Return to main menu
*****
> █
```

## 2.5. インテル® Stratix 10 MX DMA メモリーのスループット

図 -11: インテル Stratix 10 MX DMA メモリーのスループット

```
File Edit View Search Terminal Help
*****
Current DMA configurations
  Run Read (card->system) ? 1
  Run Write (system->card) ? 1
  Run Simultaneous ? 1
  Number of dwords/desc : 2048
  Number of descriptors : 128
  Total length of transfer : 1024.00 KiB

Current run #: 10
Current time : Sun Nov 25 04:42:40 2018

DMA throughputs, in GB/s (10^9B/s)
  Current Read Throughput : 13.27
  Average Read Throughput : 13.22
  Current Write Throughput : 13.11
  Average Write Throughput : 13.01
  Current Simul Throughput : 15.65
  Average Simul Throughput : 16.03
*****
*****
Current DMA configurations
```



## 3. PCI Express スループットの理解

### 3.1. ポステッド書き込みスループット

理論上の最大スループットの計算では、次の式を使用します。

$$\text{Throughput} = \text{payload size} / (\text{payload size} + \text{overhead}) * \text{link data rate}$$

#### 3.1.1. 最大ペイロードサイズの指定

Device Control レジスターのビット [7:5] では、現在のシステムの最大 TLP ペイロードサイズを指定します。Device Capabilities レジスターのビット [2:0] の Maximum Payload Size フィールドでは、ペイロードの最大許容値を指定します。**Maximum Payload Size** と呼ばれるこの読み出し専用パラメーターの指定には、パラメーター・エディターを使用します。現在のシステムの最大 TLP ペイロードを決定した後、ソフトウェアではその値を Device Control レジスターに記録します。この値は、Device Capabilities レジスターの Maximum Payload Size フィールドで指定された最大ペイロードよりも小さくする必要があります。

#### PCI Express のフロー制御の理解

フロー制御は、レシーバーの TLP 受け入れに十分なバッファースペースがない限り、TLP が送信されないことを保証します。ヘッダーとペイロードデータには個別のクレジットがあります。デバイスには、TLP を送信する前に十分なヘッダーとペイロードのクレジットが必要です。コンプリーター内の Application Layer が TLP を受け入れると、コンプリーターの Transaction Layer 内の RX バッファースペースが解放されます。コンプリーターは、フロー制御更新パケット (FC Update DLLP) を送信して、消費されたクレジットをイニシエーターに補充します。デバイスがすべてのクレジットを消費した場合、ヘッダーとペイロードのクレジットを補充する FC Update DLLP の割合によりスループットが制限されます。フロー制御の更新は、最大ペイロードサイズと、接続されている 2 つのデバイスのレイテンシーに依存します。

### 3.2. 読み出しスループット

PCI Express の読み出しに使用するのは、分割トランザクション・モデルです。読み出しトランザクションに含まれる手順は次の通りです。

1. リクエスターは、Memory Read Request を送信します。
2. コンプリーターは、ACK DLLP を送信して、Memory Read Request を確認します。
3. コンプリーターは、Completion with Data を返します。コンプリーターは、その Completion を複数のコンプリーション・パケットに分割できます。

読み出しスループットは通常、書き込みスループットよりも低くなります。これは、読み出しではトランザクションが 2 回必要なためです。これに対して書き込みでは、データ量が同じ場合、1 回です。読み出しスループットは、Application Layer が Memory Read Request を発行してから、要求されたデータが返されるまでの往復遅延にも依存します。スループットを最大化するには、アプリケーションによって十分な未処理の読み出しリクエストを発行し、この遅延をカバーする必要があります。

コンプリーション・データ・パケットの最大スループットを維持するには、リクエスターは次の設定を最適化する必要があります。

- RX バッファ内のコンプリーションの数
- Application Layer による読み出しリクエストの発行および完了データの処理の割合

#### 読み出しリクエストのサイズ

スループットに影響するもう 1 つの要因は、読み出しリクエストのサイズです。リクエスターが 4 KB のデータを必要とする場合、リクエスターは、1 KB 読み出しリクエストを 4 つ、または 4 KB 読み出しリクエストを 1 つ発行できます。この 4 KB のリクエストのスループットは、1 KB 読み出し 4 つよりも高くなります。Device Control レジスターのビット [14:12] の Maximum Read Request Size の値は、読み出しリクエスト・サイズを指定します。

#### 未処理の読み出しリクエスト

スループットに影響する可能性のある最後の要因は、未処理の読み出しリクエストの数です。リクエスターがスループットを向上させるために複数の読み出しリクエストを送信する場合、使用可能なヘッダータグの数により、未処理の読み出しリクエストの数が制限されます。より高いパフォーマンスを実現するには、インテル Arria 10 およびインテル Cyclone 10 GX 読み出し DMA で、最大 16 個のヘッダータグを使用します。インテル Stratix 10 読み出し DMA では、最大 32 個のヘッダータグを使用できます。

### 3.2.1. スループット測定の実験

スループットの測定には、ソフトウェア・ドライバーは 2 つのタイムスタンプを取得します。./run コマンドを入力するとすぐに、ソフトウェアが最初のタイムスタンプを取得します。ソフトウェアは、DMA が完了すると、2 番目のタイムスタンプを取得し、必要な完了ステータスである EPLAST を返します。読み出し DMA、書き込み DMA、および同時読み書き DMA がすべて有効な場合、ドライバーは 6 つのタイムスタンプを使用して測定を 3 回行います。

## 4. AN 881:外部および HBM2 メモリーを備えた PCI Express Gen3 x16 Avalon-MM DMA のリファレンス・デザインの文書改訂履歴

ドキュメントバージョン	インテル Quartus Prime バージョン	変更内容
2019.07.19	19.1	本アプリケーション・ノートを更新して、外部および HBM2 メモリーを備えた PCI Express Gen3 x16 Avalon-MM DMA 用シングル・リファレンス・デザインを含めました。
2018.12.27	18.1	図 1 のタイプミスを修正しました。
2018.12.10	18.1	初版

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

\*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO  
9001:2015  
登録済