



# AN 822: インテル® FPGA コンフィギュレーション・デバイスの移行ガイドライン

## 目次

---

<b>1. インテル® FPGA コンフィグレーション・デバイスの移行ガイドライン</b> .....	<b>3</b>
1.1. 移行に関する考慮事項.....	3
1.2. ソフトウェア移行ガイドライン.....	5
1.2.1. IP コアの互換性.....	5
1.2.2. プログラミング・ファイルの互換性.....	6
1.2.3. IP コアおよびプログラミング・ファイルの移行ガイドライン.....	7
1.2.4. EPCQ-A デバイスに向けたソフトウェア・サポート.....	9
1.3. 仕様の比較.....	10
1.3.1. 動作条件.....	10
1.3.2. タイミング仕様.....	10
1.3.3. 操作コード.....	13
1.3.4. ピン情報.....	15
1.3.5. パッケージ寸法.....	17
1.3.6. ステータスレジスター.....	20
1.4. データのセットアップとホールドにおけるタイミングスラックの評価.....	23
1.5. Arria V、Cyclone V、Stratix V デバイスにおける EPCQ から EPCQ-A への移行方法.....	25
1.5.1. アクティブシリアル (AS) コンフィグレーション・スキームに向けたボード・デザイン・ガイドライン.....	25
1.6. Cyclone V から Cyclone V QS デバイスへの移行に関するリファレンス・マニュアル.....	40
1.7. AN 822: インテル FPGA コンフィグレーション・デバイスの移行ガイドライン改訂履歴.....	44

## 1. インテル® FPGA コンフィグレーション・デバイスの移行ガイドライン

このドキュメントは、シリアル・コンフィグレーション (EPCS) デバイスおよびクアドシリアル・コンフィグレーション (EPCQ) デバイスからクアドシリアル・コンフィグレーション (EPCQ-A) デバイスに移行するためのガイドラインについて説明します。

### 関連情報

- [Serial Configuration \(EPCS\) Devices Datasheet](#)
- [Quad-Serial Configuration \(EPCQ\) Devices Datasheet](#)
- [EPCQ-A シリアル・コンフィグレーション・デバイス ユーザーガイド](#)

### 1.1. 移行に関する考慮事項

EPCQ-A デバイスは、EPCQ および EPCS デバイスからの直接移行に条件付きで互換性があります。

デバイスの移行の成功に向け、以下の内容を考慮して互換性の有無および次に行うべき作業を決定します。

#### IP コア

インテル® IP コアを使用している場合、デザインの再生成および再コンパイルが必要になる場合があります。特定の条件においては、プログラミング・ファイルを再コンパイルすることなく再利用することができます。IP コアの互換性の詳細については、[IP コアの互換性](#) (5 ページ) を参照してください。コンフィグレーション・デバイスとインターフェイスする IP コアを使用していない場合は、[表 3](#) (6 ページ) を参照してください。

#### ピン、パッケージ、容量

移行は、プログラミング・ファイルに対して十分な容量があり、同じピン数のパッケージを持つ EPCQ-A デバイスに対してのみ行うことが可能です。

EPCQ64A および EPCQ128A デバイスのピン 3 (nRESET) は、リセットピンとして機能します。このピンには内部プルアップがあるため、リセット機能を使用しない場合は nRESET ピンを V<sub>CC</sub> に接続する、もしくは未接続の状態のいずれかにします。ピン配列とそれらの説明については、[ピン情報](#) (15 ページ) を参照してください。

図 -1: EPCQ-A への移行におけるピンパッケージと容量の概要

		To EPCQ-A					
		Variant	EPCQ4A <sup>1</sup>	EPCQ16A	EPCQ32A	EPCQ64A	EPCQ128A
From EPCS	EPCS1	Yes	Yes	Yes	No	No	
	EPCS4	Yes	Yes	Yes	No	No	
	EPCS16	Yes <sup>2</sup>	Yes	Yes	No	No	
	EPCS64	No	No	No	Yes	Yes	
	EPCS128	No	No	No	Yes <sup>2</sup>	Yes	
From EPCQ	EPCQ16	No	Yes	Yes	No	No	
	EPCQ32	No	Yes <sup>2</sup>	Yes	No	No	
	EPCQ64	No	No	No	Yes	Yes	
	EPCQ128	No	No	No	Yes <sup>2</sup>	Yes	

注:

1. EPCQ4A デバイスはアクティブシリアル x1 コンフィグレーションのみをサポートします。
2. 移行先の EPCQ-A デバイスがプログラミング・ファイルに対する容量を十分に備える場合のみ移行の互換性が生じます。

### 操作コマンド

高速読み出し (0Bh) および拡張クアッド入力高速読み出し (EBh) コマンドのダミークロック要件

- EPCQ—ダミークロックは、不揮発性コンフィグレーション・レジスター (NVCR) でコンフィグレーション可能です。EPCQ が Cyclone® V、Arria® V、または Stratix® V デバイスで使用されている場合、ダミークロックは、バイトアドレス指定モードと ASx1 または ASx4 のコンフィグレーションに応じて、4、10、または 12 にコンフィグレーションされます。ただし、EPCQ-A デバイスでは、高速読み出しおよび拡張クアッド入力高速読み出しのダミークロックはそれぞれ 8 と 6 に固定されています。そのため、.pof、.jic、.rpd などのプログラミング・ファイルを再生成する必要があります。
- EPCS—ダミークロックは高速読み出しに対して 8 に固定されているため、他の条件がすべて満たされている場合はプログラミング・ファイルを再生成する必要はありません。表 3 (6 ページ) では、プログラミング・ファイルを再生成する必要性の有無を定義しています。条件の詳細については、[IP コアおよびプログラミング・ファイルの移行ガイドライン](#) (7 ページ) を参照してください。

### ステータスレジスター

ステータスレジスターには、セクター保護ビットにトップ/ボトム (TB) ビット (ビット 5)、ブロック保護 (BP) ビット (ビット 4、ビット 3、ビット 2) が含まれています。EPCS デバイスには TP ビットがありません。また、一部の EPCQ デバイスの密度には BP3 (ビット 6) を備えるものがありますが、EPCQ-A デバイスではビット 6 は予約されています。この違いにより、デザインでセクター保護機能を使用している場合に、プログラミング・ファイルの再コンパイルが必要になることがあります。ステータスレジスターとセクター保護ビットの詳細については、[ステータスレジスター](#) (20 ページ) を参照してください。



## セクターサイズ

2 Mb のセクターサイズを備える EPCS128 を除き、EPCS、EPCQ、および EPCQ-A デバイスのセクターサイズはすべて 512 kb です。この違いはセクターの消去操作に影響します。EPCS128 から EPCQ128A に移行する際に、デザインがユーザーモードにおいてフラッシュを消去する場合は、デザインを更新してセクターサイズを対応させる必要があります。デザインを更新後、EPCQ-A デバイスに向けて新しいプログラミング・ファイルを再生成します。

## 1.2. ソフトウェア移行ガイドライン

インテル® Quartus® Prime 開発ソフトウェア・バージョン 17.1 以降でサポートされていないレガシーデバイスを使用しており、コンフィグレーション・デバイスを EPCQ-A に移行する必要がある場合は、13.1.4 パッチ 4.70r を使用する必要があります。詳細は、Readme パッチの内容および、FPGA Configuration Devices Support Web サイトの Software Download ページで、Windows および Linux のパッチを参照してください。

### 関連情報

[FPGA Configuration Devices Support Software Download](#)

### 1.2.1. IP コアの互換性

表 1. EPCS から EPCQ-A デバイスへの移行における IP コアの互換性

IP コア	互換性	条件
ASMI Parallel	あり/なし	<ul style="list-style-type: none"> <li>セクター保護が使用されている場合は、セクター保護 (20 ページ) を参照して互換性を確認します。</li> <li>EPCS128 のセクターサイズは EPCQ128A と異なるため、セクター消去を使用する場合は互換性がありません。</li> </ul>
シリアル・フラッシュ・コントローラー	あり/なし	
シリアル・フラッシュ・ローダー (SFL)	あり/なし	<ul style="list-style-type: none"> <li>Cyclone V、Arria V、Stratix V デバイスと互換性があります。</li> <li>Cyclone V、Arria V、Stratix V 以前のデバイスでは、<b>Enhanced SFL</b> <sup>(1)</sup> が有効な場合にのみ互換性があります。</li> </ul>
リモート・アップデート	あり	

表 2. EPCQ から EPCQ-A デバイスへの移行における IP コアの互換性

IP コア	互換性	条件
ASMI Parallel	あり/なし	<ul style="list-style-type: none"> <li>セクター保護が使用されている場合は、セクター保護の比較表を参照して互換性を確認します。</li> <li>読み出しタミークロックが有効になっている場合、互換性はありません。</li> </ul>
ASMI Parallel II	なし	—
シリアル・フラッシュ・コントローラー	なし	—
シリアル・フラッシュ・コントローラー II	なし	—
汎用 QSPI コントローラー	なし	—

*continued...*

(1) Enhanced SFL は、Cyclone V、Arria V、Stratix V 以前のデバイスを使用する場合にシリアル・フラッシュ・ローダー IP コアで利用可能なオプションです。

IP コア	互換性	条件
汎用 QSPI コントローラー II	なし	—
シリアル・フラッシュ・ローダー	あり/なし	<ul style="list-style-type: none"> <li>Cyclone V、Arria V、Stratix V デバイスと互換性があります。</li> <li>Cyclone V、Arria V、Stratix V 以前のデバイスでは、<b>Enhanced SFL</b><sup>(1)</sup> が有効な場合にのみ互換性があります。</li> </ul>
リモート・アップデート	あり	—

#### 関連情報

- [Altera Remote Update IP Core User Guide](#)
- [Altera ASMI Parallel IP Core User Guide](#)
- [Converting .sof to .jic Files in the Quartus Prime Software](#)
- [Programming Serial Configuration Devices Using the Quartus Prime Programmer and .jic Files](#)

### 1.2.2. プログラミング・ファイルの互換性

**注意:** この章では、インテル FPGA IP コアを使用していないデザインのプログラミング・ファイルの互換性について説明します。

サポートされるプログラミング・ファイル一覧

- Programmer Object File (.pof)
- JTAG Indirect Configuration File (.jic)
- Raw Programming Data (.rpd)
- STAPL File (.jam/.jbc)
- Serial Vector Format (.svf)

**注意:** 圧縮と暗号化はプログラミング・ファイルの互換性に影響しません。

**表 3. プログラミング・ファイルの互換性について**

**注意:** コンフィグレーション・デバイスとインターフェイスする IP コアを含まないデザインの場合、実装されている FPGA ファミリーとコンフィグレーション・スキームによっては、プログラミング・ファイルの再生成を必要とせず、既存のプログラミング・ファイルで EPCQ-A デバイスに対応できる場合があります。

デバイスファミリー	元のコンフィグレーション・デバイス	コンフィグレーション・デバイスの密度	サポートされるプログラミング・ファイル	EPCS/EPCQ ID 確認設定の無効化	EPCQ-A との互換性 <sup>(2)</sup> <sup>(3)</sup>
レガシー FPGA デバイス	EPCS	64 Mb 以下	.pof/.jic/.rpd/.jam/.jbc	任意	あり
			.svf	任意	あり <sup>(4)</sup>
<i>continued...</i>					

<sup>(2)</sup> この表は、互換性に関する他の考慮事項が満たされていることを前提としています。

<sup>(3)</sup> この表は、プログラミング・ファイルに ASMI Parallel IP またはシリアル・フラッシュ・ローダー IP が含まれていないことを前提としています。



デバイスファミリー	元のコンフィグレーション・デバイス	コンフィグレーション・デバイスの密度	サポートされるプログラミング・ファイル	EPCS/EPCQ ID 確認設定の無効化	EPCQ-A との互換性 <sup>(2)</sup> <sup>(3)</sup>
		128 Mb	.pof/.jic/.rpd	任意	あり <sup>(5)</sup>
			.svf	任意	あり <sup>(4)</sup>
			.jam/.jbc	任意	なし <sup>(6)</sup>
	EPCQ	任意	.pof/.jic/.rpd/.jam/.jbc	オン <sup>(7)</sup>	あり
			.svf	オン <sup>(7)</sup>	あり <sup>(4)</sup>
	Cyclone V、Arria V、Stratix V デバイス	EPCS	64 Mb 以下	.pof/.jic/.rpd/.jam/.jbc	オン <sup>(8)</sup>
.svf				オン <sup>(8)</sup>	あり <sup>(4)</sup>
128 Mb			.pof/.jic/.rpd	オン <sup>(8)</sup>	あり <sup>(5)</sup>
		.svf	オン <sup>(8)</sup>	あり <sup>(4)</sup>	
		.jam/.jbc	任意	なし <sup>(6)</sup>	
EPCQ <sup>(9)</sup>		任意	任意	任意	なし

互換性のないプログラミング・ファイルに関するガイドラインについては、[IP コアおよびプログラミング・ファイルの移行ガイドライン \(7 ページ\)](#) を参照してください。

### 1.2.3. IP コアおよびプログラミング・ファイルの移行ガイドライン

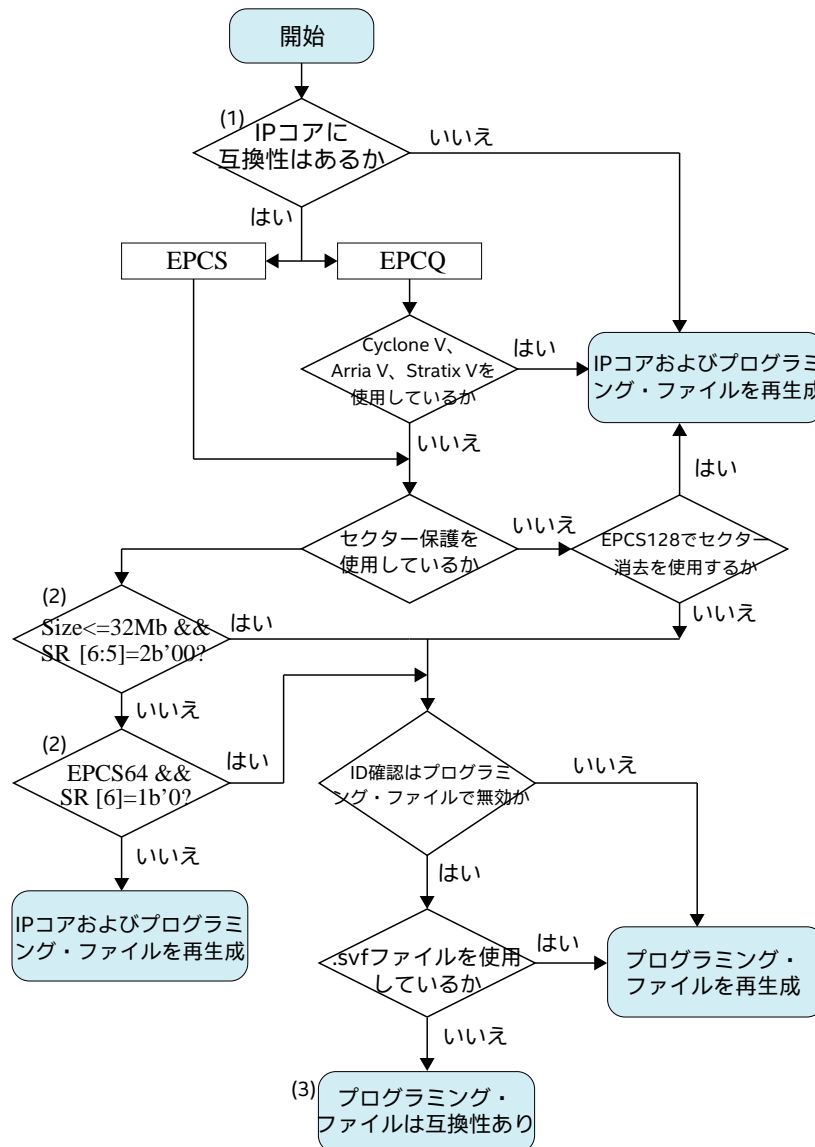
**注意:** この章では、コンフィグレーション・デバイスとインターフェイスするインテル FPGA IP コアを使用しているデザインのプログラミング・ファイルの互換性について説明します。

- 
- (2) この表は、互換性に関する他の考慮事項が満たされていることを前提としています。
  - (3) この表は、プログラミング・ファイルに ASMI Parallel IP またはシリアル・フラッシュ・ローダー IP が含まれていないことを前提としています。
  - (4) EPCS デバイスに生成された .svf ファイルを使用して EPCQ-A をプログラミングする場合のみがサポートされています。その逆はサポートされていません。
  - (5) .rpd ファイルにおいて、バイナリーデータは EPCS128 と EPCQ128A で同じです。ただし、セクターサイズが異なるため、それぞれのデバイスをプログラミングする際は適切な消去手順に従うことが必要です。
  - (6) セクターサイズが異なるため、.jam および .jbc ファイルは EPCS と EPCQ で異なります。
  - (7) インテル Quartus Prime バージョン 15.1 以降では、このオプションは自動モードで自動的にオンになります。
  - (8) インテル Quartus Prime バージョン 13.0 から 15.0 以外では、このオプションは自動モードで自動的にオンになります。
  - (9) AS x1 モードまたは AS x4 モードにおいて、EPCQ のプログラミング・ファイルは EPCQ-A と互換性がありません。

次の図を参照し、移行におけるタスクの流れと使用するガイドラインを決定します。

- IP コアおよびプログラミング・ファイルの互換性がない—[IP コアの再生成に関するガイドライン](#) (9 ページ) で示されているように、IP コアとプログラミング・ファイルを再生成します。
- プログラミング・ファイルの互換性がない—[プログラミング・ファイルの再生成に関するガイドライン](#) (9 ページ) で示されているように、プログラミング・ファイルを再生成します。
- IP コアおよびプログラミング・ファイルの互換性がある—ほかのタスクを実行する必要はなく、既存のプログラミング・ファイルを再利用することが可能です。

図 -2: IP コアおよびプログラミング・ファイルの互換性を決定するフローチャート



注:

1. IPコアの互換性を「IPコアの互換性」の章で確認します。
2. SRはステータスレジスタを示します。
3. IPコアおよびプログラミング・ファイルを再生成せずに移行可能です。





### 1.2.3.1. IP コアの再生成に関するガイドライン

正しい設定で IP コアとプログラミング・ファイルを再生成するには、次の手順を実行します。

1. 目的の IP コアを再生成します。
  - a. セクター保護機能を使用している場合
    - EPCQ4A、EPCQ16A、EPCQ32A—ステータス・レジスター・ビット [6:5] が 0 に設定されていることを確認します
    - EPCQ64A—ステータス・レジスター・ビット [6] が 0 に設定されていることを確認します
  - b. EPCS128 から EPCQ128A への移行の場合—セクター消去が EPCQ128A のセクターサイズに対応している必要があります  
注意: EPCS128 および EPCQ128A のセクターサイズはそれぞれ、2 Mb と 512 kb です。
2. コンフィグレーション・ビットストリームを再コンパイルし、.sof を取得します。

### 1.2.3.2. プログラミング・ファイルの再生成に関するガイドライン

正しい設定でプログラミング・ファイルを再生成するには、次の手順に従います。

1. インテル Quartus Prime の **Convert Programming File** ツールで、.sof ファイルを目的のプログラミング・ファイルに変換します。
  - 移行先の正しい EPCQ-A デバイスを選択します。
  - **Disable EPCS/EPCQ ID check** オプションを有効にします。このオプションは、インテル Quartus Prime 開発ソフトウェアの Convert Programming File ツールの **Advanced Option** 設定で利用可能です。
  - EPCS デバイスからの移行の場合—AS x1 コンフィグレーション・モードを選択します。
2. インテル Quartus Prime のプログラマーを使用し、プログラミング・ファイルを EPCQ-A デバイスにプログラミングします。

### 1.2.4. EPCQ-A デバイスに向けたソフトウェア・サポート

表 4. EPCQ-A デバイスに対する インテル Quartus Prime 開発ソフトウェアのサポート

インテル Quartus Prime 開発ソフトウェア・スタンダード・エディション 17.1 よりも前のバージョンで、EPCQ-A デバイスを ASMI Parallel II インテル FPGA IP コアとともに使用する場合は、*How can I use EPCQ-A Serial Configuration Devices in ASMI Parallel II Intel FPGA IP when using Intel Quartus Prime Standard Edition software version 17.0.2 and earlier?*を参照してください。

インテル Quartus Prime	IP コア	プログラマーとプログラミング・ファイルの生成
インテル Quartus Prime プロ・エディション 17.1	いいえ	はい
インテル Quartus Prime スタンダード・エディション 17.1	はい	はい

#### 関連情報

[How can I use EPCQ-A Serial Configuration Devices in ASMI Parallel II Intel® FPGA IP when using Intel® Quartus® Prime Standard Edition software version 17.0.2 and earlier?](#)

### 1.3. 仕様の比較

次の表は、EPCS、EPCQ、および EPCQ-A の動作条件を並列し比較したものです。最新の詳細情報については、それぞれのデバイスのデータシートを参照してください。

#### 1.3.1. 動作条件

表 5. EPCS、EPCQ、EPCQ-A デバイスの動作条件

パラメーター	条件	記号	最小値			最大値			単位
			EPCS	EPCQ	EPCQ-A	EPCS	EPCQ	EPCQ-A	
電源電圧	$V_{CC}$ の最大立ち上がり時間は 100 ms です。	$V_{CC}$	2.7			3.6			V
動作温度	産業用	$T_A$	-40			85			°C
高レベル入力電圧	—	$V_{IH}$	$0.7 \times V_{CC}^{(10)(11)}$			$V_{CC} + 0.4$			V
低レベル入力電圧	—	$V_{IL}$	-0.5			$0.3 \times V_{CC}$			V
高レベル出力電圧	$I_{OH} = -100\mu A$	$V_{OH}$	$V_{CC} - 0.2$			—			V
低レベル出力電圧	$I_{OL} = 100\mu A$	$V_{OL}$	—			0.2 または 0.4 <sup>(12)</sup>			V

#### 1.3.2. タイミング仕様

次の表は、EPCS、EPCQ、および EPCQ-A の動作のタイミングの一般的な内容を比較しています。最新の詳細情報については、それぞれのデバイスのデータシートを参照してください。

**注意:** 移行の失敗を回避するには、次の値を考慮する必要があります。

- $t_{DH}$
- $t_{DSU}$
- $t_{nCLK2D}/t_{CLQV}$
- $t_{CLQX}^{(13)}$

(10) FPGA 2.5V I/O の  $V_{OH}$  レベルは、電圧範囲全体で EPCQ または EPCQ-A の  $V_{IH}$  のしきい値を達成するには不十分です。

(11) インテル FPGA デバイスにおいて、3V または 3.3V の LVTTTL の最小  $V_{OH}$  は 2.4V です。この仕様は最悪の条件に基づくものです。EPCQ および EPCQ-A の入力電流は十分に小さいため、インテル FPGA デバイスの  $V_{OH}$  が通常の使用時に EPCQ および EPCQ-A の最小  $V_{IH}$  に違反することはありません。インテルでは、IBIS モデルを使用してシミュレーションを実行し、必要な仕様が満たされていることを確認することを推奨しています。

(12) EPCQ16A、EPCQ32A、EPCQ64A、EPCQ128A の場合は 0.2 V です。EPCQ4A の場合は 0.4 V です。

(13) データのセットアップおよびホールドのタイミングスラックの評価については、[データのセットアップとホールドにおけるタイミングスラックの評価](#) (23 ページ) を参照してください。



### 1.3.2.1. 読み出し動作のタイミング

表 6. EPCS および EPCQ-A デバイスの読み出し動作におけるタイミング・パラメーター

記号	パラメーター	容量	最小値		最大値		単位
			EPCS	EPCQ-A	EPCS	EPCQ-A	
f <sub>RCLK</sub>	読み出しクロック周波数	すべて	—	—	20	50	MHz
	高速読み出しクロック周波数	すべて	—	—	40	100	MHz
t <sub>CH</sub>	DCLK が High の時間	4 Mb	11	4 または 6 <sup>(14)</sup>	—	—	ns
		その他すべて	11	3.4 または 9 <sup>(15)</sup>	—	—	
t <sub>CL</sub>	DCLK が Low の時間	4 Mb	11	4 または 6 <sup>(14)</sup>	—	—	ns
		その他すべて	11	3.4 または 9 <sup>(15)</sup>	—	—	
t <sub>ODIS</sub>	読み出し後の出力ディスエーブル時間	すべて	—	—	8	7	ns
t <sub>nCLK2D</sub> / t <sub>CLQV</sub> <sup>(16)</sup>	クロックの立ち下がりエッジから DATA	4 Mb	—	—	8	8	ns
		その他すべて	—	—	8	6	

表 7. EPCQ および EPCQ-A デバイスの読み出し動作におけるタイミング・パラメーター

記号	パラメーター	容量	最小値		最大値		単位
			EPCQ	EPCQ-A	EPCQ	EPCQ-A	
f <sub>RCLK</sub>	読み出しクロック周波数	すべて	—	—	50	50	MHz
	高速読み出しクロック周波数	すべて	—	—	100	100	MHz
t <sub>CH</sub>	DCLK が High の時間	すべて	4	3.4 または 9 <sup>(15)</sup>	—	—	ns
t <sub>CL</sub>	DCLK が Low の時間	すべて	4	3.4 または 9 <sup>(15)</sup>	—	—	ns
t <sub>ODIS</sub>	読み出し後の出力ディスエーブル時間	すべて	—	—	8	7	ns
t <sub>nCLK2D</sub> / t <sub>CLQV</sub> <sup>(16)</sup>	クロックの立ち下がりエッジから DATA	すべて	—	—	7	6	ns

(14) 通常の読み出しは 4 ns、高速読み出しは 6 ns です。

(15) 通常の読み出しは 3.4 ns、高速読み出しは 9 ns です。

(16) t<sub>nCLK2D</sub> は EPCS および EPCQ デバイスで使用され、t<sub>CLQV</sub> は EPCQ-A デバイスで使用されます。

### 1.3.2.2. 書き込み動作のタイミング

表 8. EPCS および EPCQ-A デバイスの書き込み動作におけるタイミング・パラメーター

記号	動作	容量	最小値		標準値		最大値		単位
			EPCS	EPCQ-A	EPCS	EPCQ-A	EPCS	EPCQ-A	
f <sub>WCLK</sub>	書き込みクロック周波数	すべて	—		—		25	100	MHz
t <sub>CH</sub>	DCLK が High	4	20	4	—		—		ns
		その他すべて	20	3.4	—		—		
t <sub>CL</sub>	DCLK が Low	4	20	4	—		—		ns
		その他すべて	20	4	—		—		
t <sub>NCSSU</sub>	チップセレクト (nCS) のセットアップ	すべて	10	5	—		—		ns
t <sub>NCSH</sub>	チップセレクト (nCS) のホールド	すべて	10	5	—		—		ns
t <sub>DSU</sub>	DCLK 立ち上がりエッジ前の DATA[ ] のセットアップ	すべて	5	2	—		—		ns
t <sub>DH</sub>	DCLK 立ち上がりエッジ後の DATA[ ] のホールド時間	4	5	5	—		—		ns
		その他すべて	5	3	—		—		
t <sub>CSH</sub>	チップセレクト (nCS) High	4	100	100	—		—		ns
		その他すべて	100	10 または 50 <sup>(17)</sup>	—		—		
t <sub>WB</sub>	バイト書き込みサイクル	1	—		1.5	—	5	—	ms
		4	—		1.5	0.4	5	0.8	ms
		16	—		1.5	0.4	5	3	ms
		32	—		—	0.7	—	3	ms
		64	—		1.5	0.8	5	3	ms
		128	—		2.5	0.7	7	3	ms
t <sub>WS</sub>	ステータス書き込みサイクル	すべて	—		5	10	15	15	ms
t <sub>EB</sub>	一括消去サイクル	1	—		3	—	6	—	s
		4	—		5	1	10	4	s
		16	—		17	5	40	25	s
		32	—		—	10	—	50	s
		64	—		68	20	160	100	s
		128	—		105	40	250	200	s
t <sub>ES</sub>	セクター消去サイクル	4	—		2	0.15	3	1	s
		その他すべて	—		2	0.15	3	2	s

(17) 読み出しは 10 ns、プログラム消去および書き込みは 50 ns です。



表 9. EPCQ および EPCQ-A デバイスの書き込み動作におけるタイミング・パラメーター

記号	動作	容量	最小値		標準値		最大値		単位
			EPCQ	EPCQ-A	EPCQ	EPCQ-A	EPCQ	EPCQ-A	
f <sub>WCLK</sub>	書き込みクロック周波数	すべて	—		—		100	100	MHz
t <sub>CH</sub>	DCLK が High	すべて	4	3.4	—		—		ns
t <sub>CL</sub>	DCLK が Low	すべて	4	4	—		—		ns
t <sub>NCSSU</sub>	チップセレクト (nCS) のセットアップ	すべて	4	5	—		—		ns
t <sub>NCSH</sub>	チップセレクト (nCS) のホールド	すべて	4	5	—		—		ns
t <sub>DSU</sub>	DCLK 立ち上がりエッジ前の DATA[ ] のセットアップ	すべて	2	2	—		—		ns
t <sub>DH</sub>	DCLK 立ち上がりエッジ後の DATA[ ] のホールド時間	すべて	3	3	—		—		ns
t <sub>CSH</sub>	チップセレクト (nCS) High	すべて	50	10 または 50 <sup>(18)</sup>	—		—		ns
t <sub>WB</sub>	バイト書き込みサイクル	16	—		0.6	0.4	5	3	ms
		32	—		0.6	0.7	5	3	ms
		64	—		0.6	0.8	5	3	ms
		128	—		0.6	0.7	5	3	ms
t <sub>WS</sub>	ステータス書き込みサイクル	すべて	—		1.3	10	8	15	ms
t <sub>EB</sub>	一括消去サイクル	16	—		30	5	60	25	s
		32	—		30	10	60	50	s
		64	—		60	20	250	100	s
		128	—		170	40	250	200	s
t <sub>ES</sub>	セクター消去サイクル	その他すべて	—		0.7	0.15	3	2	s
		128	—		0.7	0.15	6	2	s

### 1.3.3. 操作コード

次の表は、EPCS、EPCQ、および EPCQ-A の操作コードをまとめたものです。最新の詳細情報については、それぞれのデバイスのデータシートを参照してください。

表 10. EPCS、EPCQ、および EPCQ-A デバイスの操作コードの概要

操作	操作コード		
	EPCS	EPCQ	EPCQ-A
ステータス書き込み	01h		
バイト書き込み	02h		
<i>continued...</i>			

(18) 読み出しは 10 ns、プログラム消去および書き込みは 50 ns です。



操作	操作コード		
	EPCS	EPCQ	EPCQ-A
バイト読み出し		03h	
書き込みディスエーブル		04h	
ステータス読み出し		05h	
書き込みイネーブル		06h	
高速読み出し		0Bh	
シリコン ID 読み出し	ABh <sup>(19)</sup>	—	ABh
デバイス ID 読み出し	9Fh <sup>(20)</sup>	9Fh	9Fh
一括消去		C7h	
セクター消去		D8h	
サブセクター消去	—	20h	20h
拡張デュアル入力高速読み出し	—	BBh	BBh
拡張クアッド入力高速読み出し	—	EBh	EBh
拡張デュアル入力高速バイト書き込み	—	D2h	—
拡張クアッド入力高速バイト書き込み	—	12h	—
クアッド入力高速バイト書き込み	—	—	32h <sup>(21)</sup>
NVCR 読み出し	—	B5h	—
NVCR 書き込み	—	B1h	—
4BYTEADDREN	—	B7h	—
4BYTEADDEX	—	E9h	—

(19) シリコン ID の読み出しは、EPCS1、EPCS4、EPCS16、および EPCS64 デバイスでのみ使用可能です。

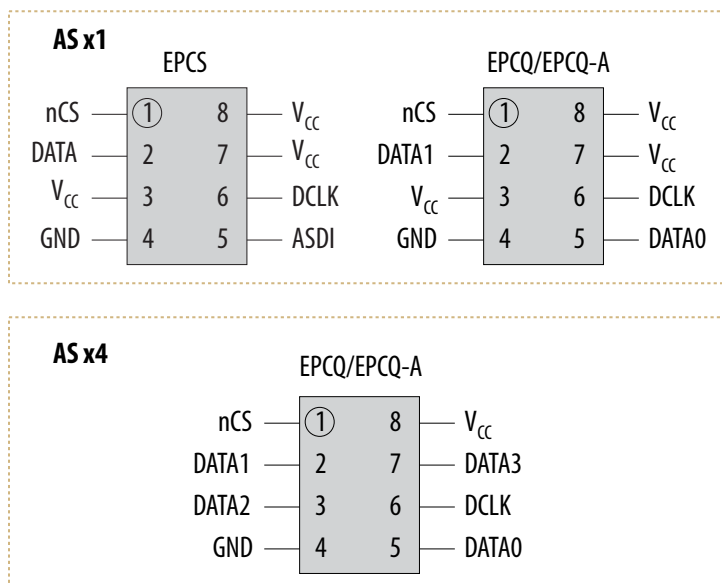
(20) デバイス ID の読み出しは、EPCS128 デバイスでのみ使用可能です。

(21) クアッド入力高速バイト書き込み動作は、インテル IP コアでサポートされていません。

### 1.3.4. ピン情報

#### 1.3.4.1. 8 ピン SOIC デバイスのピン情報

図 -3: 8 ピン SOIC の EPCS、EPCQ、EPCQ-A デバイスのピン配置図



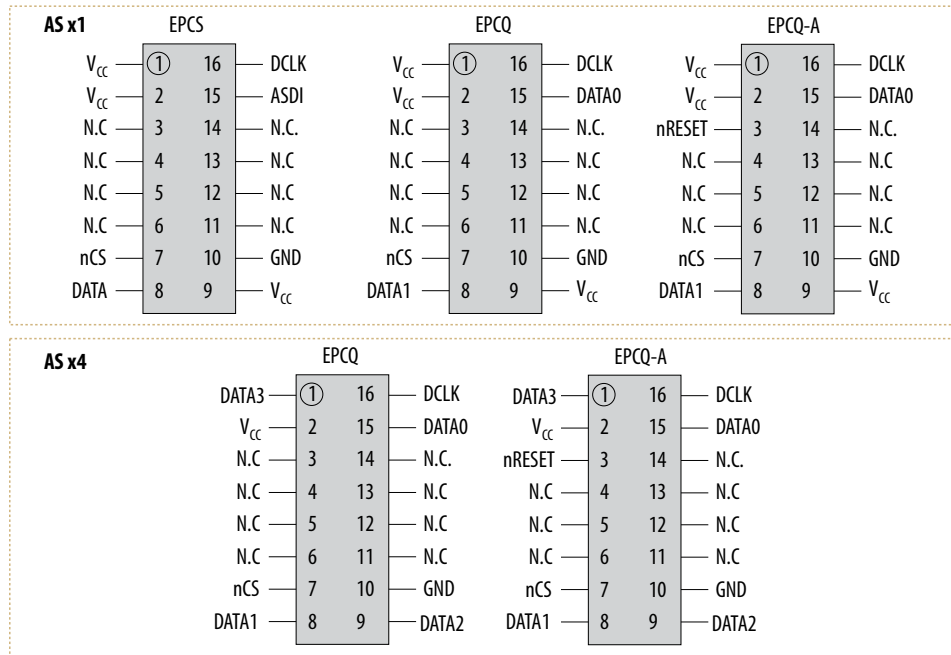
N.Cピンはすべて未接続にします。

表 11. 8 ピン SOIC の EPCS、EPCQ、EPCQ-A デバイスにおけるピンの比較

ピン番号	AS x1			AS x4	
	EPCS	EPCQ	EPCQ-A	EPCQ	EPCQ-A
1	nCS			nCS	
2	DATA	DATA1		DATA1	
3	V <sub>CC</sub>			DATA2	
4	GND			GND	
5	ASDI	DATA0		DATA0	
6	DCLK			DCLK	
7	V <sub>CC</sub>			DATA3	
8	V <sub>CC</sub>			V <sub>CC</sub>	

### 1.3.4.2. 16ピン SOIC デバイスのピン情報

図 -4: 16ピン SOIC の EPCS、EPCQ、EPCQ-A デバイスのピン配置図



注: N.Cピンはすべて未接続にします。  
 専用のnRESETピンには内部プルアップ抵抗があります。  
 リセット機能が必要な場合はこのピンをVccに接続する、もしくは未接続にします。

表 12. 16ピン SOIC の EPCS、EPCQ、EPCQ-A デバイスにおけるピンの比較

ピン番号	AS x1			AS x4	
	EPCS	EPCQ	EPCQ-A	EPCQ	EPCQ-A
1	V <sub>CC</sub>			DATA3	
2	V <sub>CC</sub>			V <sub>CC</sub>	
3	接続なし		nRESET <sup>(22)</sup>	接続なし	nRESET <sup>(22)</sup>
4,5,6,11,12,13,14	接続なし			接続なし	
7	nCS			nCS	
8	DATA	DATA1		DATA1	
9	V <sub>CC</sub>			DATA2	
10	GND			GND	
15	ASDI	DATA0		DATA0	
16	DCLK			DCLK	

(22) 専用の nRESET ピンには内部プルアップ抵抗があります。リセット機能が必要な場合は、このピンを V<sub>CC</sub> に接続する、もしくは未接続にします。



### 1.3.5. パッケージ寸法

#### 1.3.5.1. 8 ピン SOIC デバイスのパッケージ寸法

図 -5: 8 ピン SOIC パッケージのデバイスにおけるパッケージ寸法図

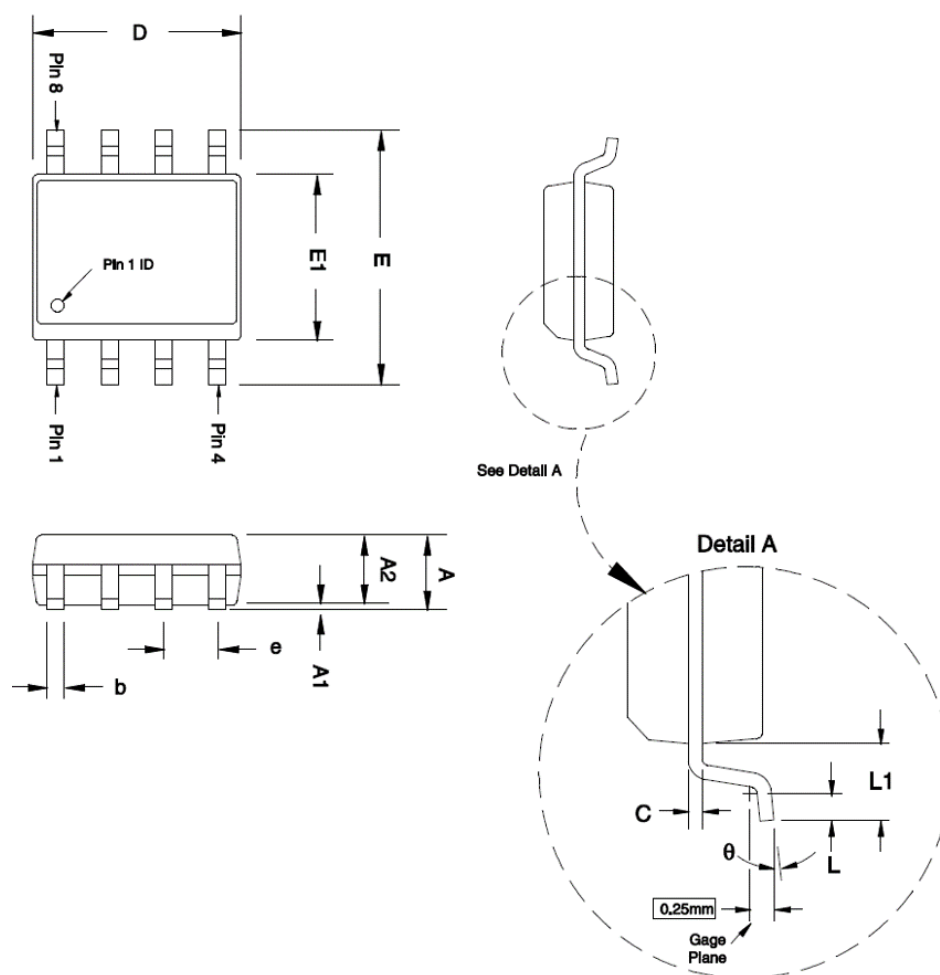
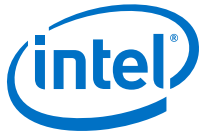


表 13. 8 ピン SOIC パッケージのデバイスにおけるパッケージ寸法の比較

記号	最小 (mm)		標準 (mm)		最大 (mm)	
	EPCS/EPCQ	EPCQ-A	EPCS/EPCQ	EPCQ-A	EPCS/EPCQ	EPCQ-A
A	1.35	1.35	—	—	1.75	1.75
A1	0.1	0.1	—	—	0.25	0.25
A2	1.25	—	—	—	1.65	—
D	—	—	4.90 BSC	4.90 BSC	—	—
E	—	—	6.0 BSC	6.0 BSC	—	—
E1	—	—	3.90 BSC	3.90 BSC	—	—

*continued...*



記号	最小 (mm)		標準 (mm)		最大 (mm)	
	EPCS/EPCQ	EPCQ-A	EPCS/EPCQ	EPCQ-A	EPCS/EPCQ	EPCQ-A
L	0.4	0.4	—	—	1.27	1.27
L1	—	—	1.04 REF	—	—	—
b	0.31	0.33	—	—	0.51	0.51
c	0.17	0.19	—	—	0.25	0.25
e	—	—	1.27 BSC	1.27 BSC	—	—
Theta	0°	0°	—	—	8°	10°

### 1.3.5.2. 16ピン SOIC デバイスのパッケージ寸法

図 -6: 16ピン SOIC パッケージのデバイスにおけるパッケージ寸法図

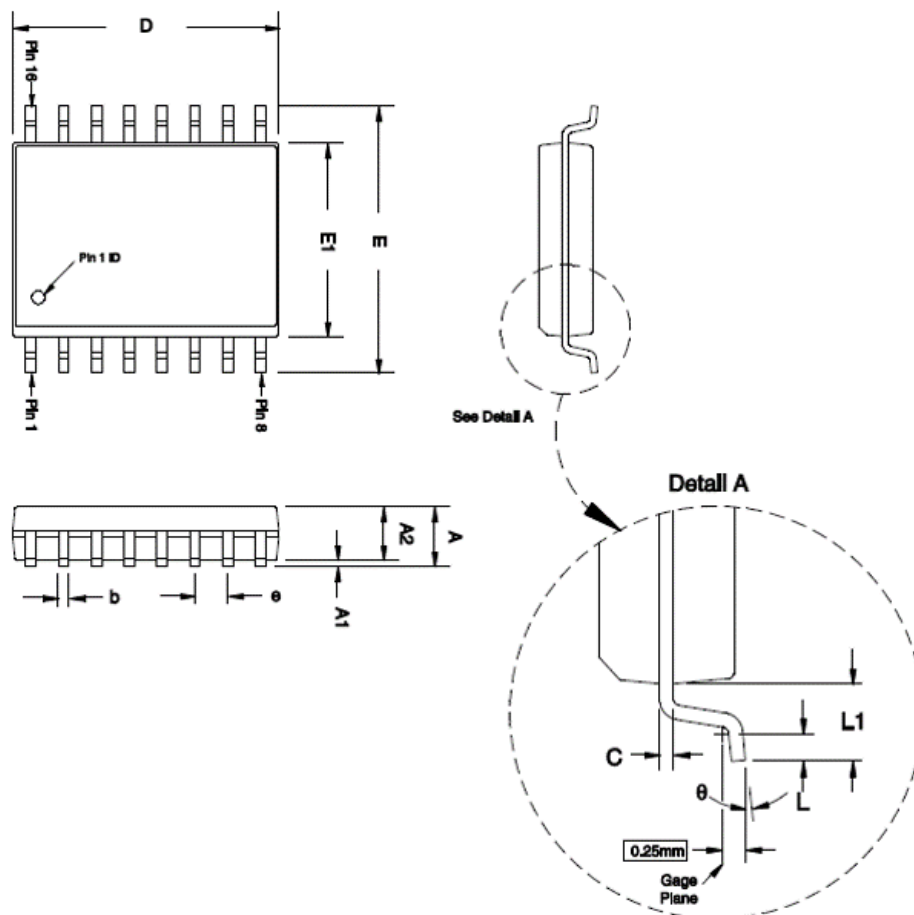


表 14. 16ピン SOIC パッケージのデバイスにおけるパッケージ寸法の比較

記号	最小 (mm)		標準 (mm)		最大 (mm)	
	EPCS/EPCQ	EPCQ-A	EPCS/EPCQ	EPCQ-A	EPCS/EPCQ	EPCQ-A
A	2.35	2.35	—	—	2.65	2.65
A1	0.1	0.1	—	—	0.3	0.3
A2	2.05	2.05	—	—	2.55	2.55
D	—	10.08	10.3 BSC	—	—	10.49
E	—	10.01	10.3 BSC	—	—	10.64
E1	—	7.39	7.50 BSC	—	—	7.59
L	0.4	0.38	—	—	1.27	1.27
L1	—	—	1.40 Ref	1.40 Ref	—	—
b	0.31	0.31	—	—	0.51	0.51

*continued...*

記号	最小 (mm)		標準 (mm)		最大 (mm)	
	EPCS/EPCQ	EPCQ-A	EPCS/EPCQ	EPCQ-A	EPCS/EPCQ	EPCQ-A
c	0.2	0.20	—	—	0.33	0.33
e	—	—	1.27 BSC	1.27 BSC	—	—
Theta	0°	0°	—	—	8°	8°

### 1.3.6. ステータスレジスター

表 15. EPCS、EPCQ、EPCQ-A デバイスのステータス・レジスター・ビット

ビット	名称	説明	R/W	EPCS		EPCQ		EPCQ-A
				1	4/16/64/128	16/32	64/128	すべて
7	RSV	予約済み						
6	BP3 <sup>(23)</sup>	ブロック保護ビット 3	R/W	いいえ	いいえ	いいえ	はい	いいえ
5	TB	トップ/ボトムビット	R/W	いいえ	いいえ	はい	はい	はい
4	BP2	ブロック保護ビット 2	R/W	いいえ	はい	はい	はい	はい
3	BP1	ブロック保護ビット 1	R/W	はい	はい	はい	はい	はい
2	BP0	ブロック保護ビット 0	R/W	はい	はい	はい	はい	はい
1	WEL	書き込みイネーブルのラッチ	R	はい	はい	はい	はい	はい
0	WIP	書き込み進行中	R	はい	はい	はい	はい	はい

#### 1.3.6.1. セクター保護

表 16. EPCS4 および EPCQ4A デバイスのセクター保護の比較

注意: 後方互換性の確保に向けて、TB ビットを 0 に設定します。

ステータスレジスター				EPCS4	EPCQ4A
TB	BP2	BP1	BP0	保護セクター (8 セクター)	
x	0	0	0	なし	なし
0	0	0	1	7	7
0	0	1	0	6-7	6-7
0	0	1	1	4-7	4-7
1	0	0	1	該当なし	0
1	0	1	0	該当なし	0-1
1	0	1	1	該当なし	0-3
x	1	x	x	すべて	すべて

<sup>(23)</sup> EPCQ-A デバイスにおいてこのビットは予約されており、0 に設定する必要があります。



表 17. EPCS16、EPCQ16、EPCQ16A デバイスのセクター保護の比較

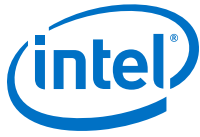
注意: EPCS16 からの移行における後方互換性の確保に向けて、TB ビットを 0 に設定します。

ステータスレジスター				EPCS16	EPCQ16	EPCQ16A
TB	BP2	BP1	BP0	保護セクター (32 セクター)		
0	0	0	0	なし	なし	なし
0	0	0	1	31	31	31
0	0	1	0	30-31	30-31	30-31
0	0	1	1	28-31	28-31	28-31
0	1	0	0	24-31	24-31	24-31
0	1	0	1	16-31	16-31	16-31
0	1	1	0	すべて	すべて	すべて
0	1	1	1	すべて	すべて	すべて
1	0	0	0	該当なし	なし	なし
1	0	0	1	該当なし	0	0
1	0	1	0	該当なし	0-1	0-1
1	0	1	1	該当なし	0-3	0-3
1	1	0	0	該当なし	0-7	0-7
1	1	0	1	該当なし	0-15	0-15
1	1	1	0	該当なし	すべて	すべて
1	1	1	1	該当なし	すべて	すべて

表 18. EPCQ32 および EPCQ32A デバイスのセクター保護の比較

ステータスレジスター				EPCQ32	EPCQ32A
TB	BP2	BP1	BP0	保護セクター (64 セクター)	
0	0	0	0	なし	なし
0	0	0	1	63	63
0	0	1	0	62-63	62-63
0	0	1	1	60-63	60-63
0	1	0	0	56-63	56-63
0	1	0	1	48-63	48-63
0	1	1	0	32-63	32-63
0	1	1	1	すべて	すべて
1	0	0	0	なし	なし
1	0	0	1	0	0
1	0	1	0	0-1	0-1
1	0	1	1	0-3	0-3
1	1	0	0	0-7	0-7

continued...



ステータスレジスター				EPCQ32	EPCQ32A
TB	BP2	BP1	BP0	保護セクター (64 セクター)	
1	1	0	1	0-15	0-15
1	1	1	0	0-31	0-31
1	1	1	1	すべて	すべて

表 19. EPCS64、EPCQ64、EPCQ64A デバイスのセクター保護の比較

注意: EPCS64 からの移行における後方互換性の確保に向けて、TB ビットを 0 に設定します。

ステータスレジスター				EPCS64	EPCQ64	EPCQ64A
TB	BP2	BP1	BP0	保護セクター (128 セクター)		
0	0	0	0	なし	なし	なし
0	0	0	1	126-127	127	126-127
0	0	1	0	124-127	126-127	124-127
0	0	1	1	120-127	124-127	120-127
0	1	0	0	112-127	120-127	112-127
0	1	0	1	96-127	112-127	96-127
0	1	1	0	64-127	96-127	64-127
0	1	1	1	すべて	64-127	すべて
1	0	0	0	該当なし	なし	なし
1	0	0	1	該当なし	0	0-1
1	0	1	0	該当なし	0-1	0-3
1	0	1	1	該当なし	0-3	0-7
1	1	0	0	該当なし	0-7	0-15
1	1	0	1	該当なし	0-15	0-31
1	1	1	0	該当なし	0-31	0-63
1	1	1	1	該当なし	0-63	すべて

表 20. EPCS128、EPCQ128、EPCQ128A デバイスのセクター保護の比較

ステータスレジスター				EPCS128 <sup>(24)</sup>	EPCQ128 <sup>(25)</sup>	EPCQ128A <sup>(25)</sup>
TB	BP2	BP1	BP0	保護セクター (64 セクター)		
0	0	0	0	なし	なし	なし
0	0	0	1	63	255	252~255
0	0	1	0	62-63	254-255	248-255
0	0	1	1	60-63	252-255	240-255

*continued...*

(24) セクターあたり 262144 バイト (2 MB)

(25) セクターあたり 65536 バイト (512 KB)



ステータスレジスター				EPCS128 <sup>(24)</sup>	EPCQ128 <sup>(25)</sup>	EPCQ128A <sup>(25)</sup>
TB	BP2	BP1	BP0	保護セクター (64 セクター)		
0	1	0	0	56-63	248-255	224-255
0	1	0	1	48-63	240-255	192-255
0	1	1	0	32-63	224-255	128-255
0	1	1	1	すべて	192-255	すべて
1	0	0	0	該当なし	なし	なし
1	0	0	1	該当なし	0	0-3
1	0	1	0	該当なし	0-1	0-7
1	0	1	1	該当なし	0-3	0-15
1	1	0	0	該当なし	0-7	0-31
1	1	0	1	該当なし	0-15	0-63
1	1	1	0	該当なし	0-31	0-127
1	1	1	1	該当なし	0-63	すべて

#### 1.4. データのセットアップとホールドにおけるタイミングスラックの評価

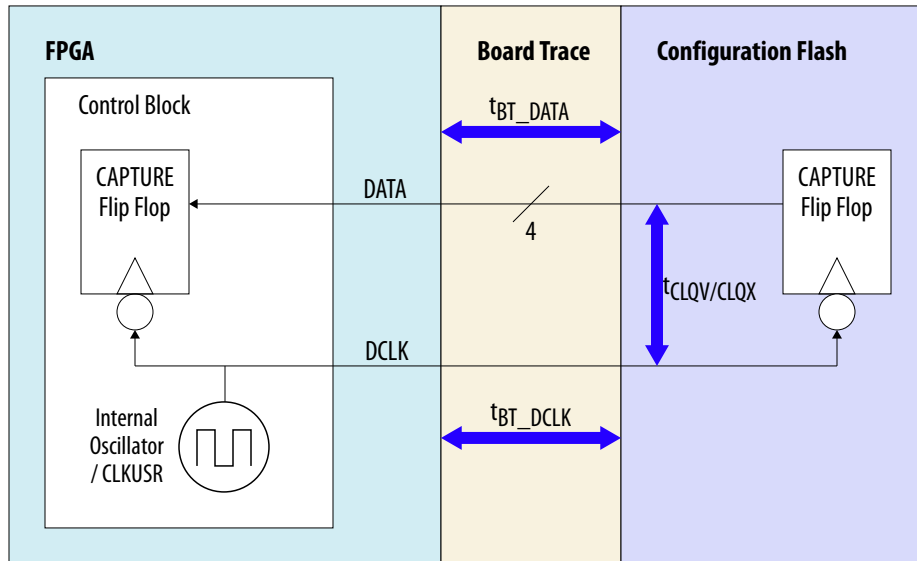
AS コンフィグレーション・スキームでは、FPGA は POR 後にコンフィグレーション・プロセスを開始します。コンフィグレーション・プロセス中、FPGA はデバイス ID の読み出し、通常の読み出し、一括消去などのフラッシュ操作コマンドを発行します。FPGA がコンフィグレーション・デバイスからデータを正しく読み出すことができることを確認する必要があります。これは、セットアップ時間の  $t_{DSU}$  およびホールド時間の  $t_{DH}$  が、それぞれの FPGA デバイスのデータシートで説明されている要件を満たしていることを確認することで行います。システムの  $t_{DSU}$  および  $t_{DH}$  を評価するには、次のガイドラインに従います。

(24) セクターあたり 262144 バイト (2 MB)

(25) セクターあたり 65536 バイト (512 KB)

図 -7: FPGA と EPCQ-A 間におけるボードトレースのブロック図

他の種類のコンフィグレーション・デバイスまたはフラッシュを FPGA はサポートします。



データのセットアップにおけるタイミングスラックは、データの最小セットアップ時間である  $t_{DSU}$  以上にする必要があります。

$$t_{DCLK} - (t_{BT\_DCLK} + t_{CLQV} + t_{BT\_DATA}) \geq t_{DSU}$$

ホールドのタイミングスラックは、データの最小ホールド時間である  $t_{DH}$  以上にする必要があります。

$$t_{BT\_DCLK} + t_{CLQX} + t_{BT\_DATA} \geq t_{DH}$$

- $t_{DCLK}$  = DCLK サイクルの期間
- $t_{BT\_DCLK}$  = FPGA から EPCQ-A における DCLK のボードトレース伝播遅延
- $t_{CLQV}$  = クロック Low から有効な出力まで
- $t_{CLQX}$  = 出力ホールド時間
- $t_{BT\_DATA}$  = EPCQ-A から FPGA における Data のボードトレース伝播遅延
- $t_{DSU}$  = FPGA に必要なデータの最小セットアップ時間
- $t_{DH}$  = FPGA に必要なデータの最小ホールド時間

#### 関連情報

[EPCQ-A シリアル・コンフィグレーション・デバイス ユーザーガイド](#)





## 1.5. Arria V、Cyclone V、Stratix V デバイスにおける EPCQ から EPCQ-A への移行方法

**注意:** Cyclone V デバイスを使用している場合に、より高速なコンフィグレーション・デバイスもしくはフラッシュデバイスへ移行する際は、Cyclone V QS デバイスを使用することをインテルでは推奨していません。Cyclone V QS デバイスは、Cyclone V QS 以外のデバイスに比べてより低い  $t_{DH}$  要件に仕様が改善されています。Cyclone V QS デバイスにおける AS のタイミング仕様については、Cyclone V デバイス・データシートを参照してください。AS コンフィグレーションのタイミングを改善し、Cyclone V QS デバイスまたは Cyclone V QS 以外のデバイスの  $t_{DSU}$  および  $t_{DH}$  を満たすには、ボード・デザイン・ガイドラインを参照してください。

### 1.5.1. アクティブシリアル (AS) コンフィグレーション・スキームに向けたボード・デザイン・ガイドライン

このボード・デザイン・ガイドラインは、トレース長、抵抗コンデンサー (RC) ネットワーク、またはバッファを介して DCLK 信号または DATA 信号に遅延を追加し、50 MHz 以下および 100 MHz で動作している DCLK に対する FPGA のホールド時間 ( $t_{DH}$ ) およびセットアップ時間 ( $t_{DSU}$ ) の仕様を満たす方法についての推奨事項を提供します。追加遅延は、AS コンフィグレーション・スキームのホールドにおけるタイミングスラックの改善に効果的です。

次に、50 MHz 以下のユースケースまたは 100 MHz のユースケースで動作している DCLK に対するボード・デザイン・ガイドラインを示します。これらの推奨事項は、既存の EPCQ デバイスまたはサードパーティー製のシリアル・フラッシュ・デバイスから、EPCQ-A デバイスまたはより高速なサードパーティー製のシリアル・フラッシュ・デバイスに移行する場合に適用されます。

表 21. コンフィグレーション・デバイスの移行に関する推奨事項

DCLK の 50-MHz 以下での動作をサポートしている	DCLK の 100-MHz での動作をサポートしている
推奨事項 1—フラッシュ付近の DCLK ラインで余分に RC ネットワークを追加します。	DCLK および DATA のボードトレースを次の推奨事項に基づきデザインし、FPGA および EPCQ-A デバイスのタイミング要件を満たす必要があります。
推奨事項 2—FPGA とシリアル・フラッシュ・デバイス間の DCLK ラインで余分にバッファを追加します。	データのセットアップまたはホールドのタイミング計算式を使用して最小遅延と最大遅延の範囲を特定することができます。この範囲を基準として使用し、DCLK 信号および DATA 信号の合計伝播遅延が範囲内にデザインされていることを確認することが不可欠です。

セットアップ時間またはホールド時間を分析する計算式を使用し、RC ネットワークまたはバッファを使用し、DCLK 信号に追加する遅延を計算することができます。これは、FPGA の  $t_{DH}$  および  $t_{DSU}$  の仕様を満たしていることを確認するために必要です。次の例は、追加遅延の計算方法を示しています。

**例-1: 追加遅延の計算**

- システムのセットアップに想定している条件
  - DCLK 周波数: 50 MHz (20 ns 周期)
  - Cyclone V の AS タイミング仕様
    - 最小  $t_{DSU}$ : 1.5 ns
    - 最小  $t_{DH}$ : 2.9 ns
  - インテル EPCQ64ASI16N フラッシュの仕様
    - $t_{CLQV}$ : 6 ns
    - $t_{CLQX}$ : 1.5 ns

- 許容される最大の追加遅延を特定する場合

$$\begin{aligned}
 & t_{DCLK} - (t_{BT\_DCLK} + t_{CLQV} + t_{BT\_DATAmax}) - t_{DSU} \\
 &= (t_{BT\_DCLK} + t_{BT\_DATAmax}) - t_{DCLK} - t_{CLQV} - t_{DSU} \\
 &= (t_{BT\_DCLK} + t_{BT\_DATAmax}) - 20 \text{ ns} - 6 \text{ ns} - 1.5 \text{ ns} \\
 &= (t_{BT\_DCLK} + t_{BT\_DATAmax}) - 27.5 \text{ ns}
 \end{aligned}$$

許容される最大の追加遅延は 12.5 ns です。

- 必要な最小追加遅延を特定する場合

$$\begin{aligned}
 & t_{BT\_DCLK} + t_{CLQX} + t_{BT\_DATAmin} - t_{DH} \\
 &= t_{BT\_DCLK} + t_{BT\_DATAmin} - t_{DH} - t_{CLQX} \\
 &= t_{BT\_DCLK} + t_{BT\_DATAmin} - 2.9 \text{ ns} - 1.5 \text{ ns} \\
 &= t_{BT\_DCLK} + t_{BT\_DATAmin} - 4.4 \text{ ns}
 \end{aligned}$$

必要な最小遅延は 1.4 ns です。

追加遅延は計算された範囲内にし、FPGA のデータのホールド時間 ( $t_{DH}$ ) 要件を満たすと同時に、データのセットアップ時間 ( $t_{DSU}$ ) 仕様に違反しないようにする必要があります。

**1.5.1.1. IBIS シミュレーション例**

このボードガイド・デザイン・ガイドラインでは、次の IBIS シミュレーションを実行し、DCLK 信号および DATA 信号で達成可能な最小遅延と最大遅延を見積もるためのトポロジに関する推奨事項を提供しています。

次の IBIS シミュレーション例では、DCLK 信号で RC ネットワークまたはバッファをさらに追加し、FPGA<sup>(26)</sup>および EPCQ-A の IBIS モデルを使用しています。シミュレーション結果は、DCLK に追加された遅延が実際の FPGA の  $t_{DH}$  および  $t_{DSU}$  仕様を満たすのに十分であること、および信号品質に問題がないことを確認するために使用されます。

(26) 次の IBIS シミュレーション例には、Cyclone V FPGA が使用されています。



**例-2: Arria V、Cyclone V、Stratix V デバイスに向けた IBIS シミュレーションのセットアップ**

- 次の IBIS シミュレーション例では、Cyclone V LVTTTL-3.0V I/O モデルが使用されています。
  - DCLK: lvttl30\_ctnio\_d12s1
  - DATA: lvttl30\_ctnio\_d8s1
- Arria V LVTTTL-3.0V I/O モデル
  - DCLK: lvttl30\_ctio\_d12s1
  - DATA: lvttl30\_ctio\_d8s1
- Stratix V LVTTTL-3.3V I/O モデル
  - DCLK: lvttl\_ctnio\_d12s1
  - DATA: lvttl\_ctnio\_d8s1

**表 22. DCLK ピンおよび DATA ピンで使用される RLC の値**

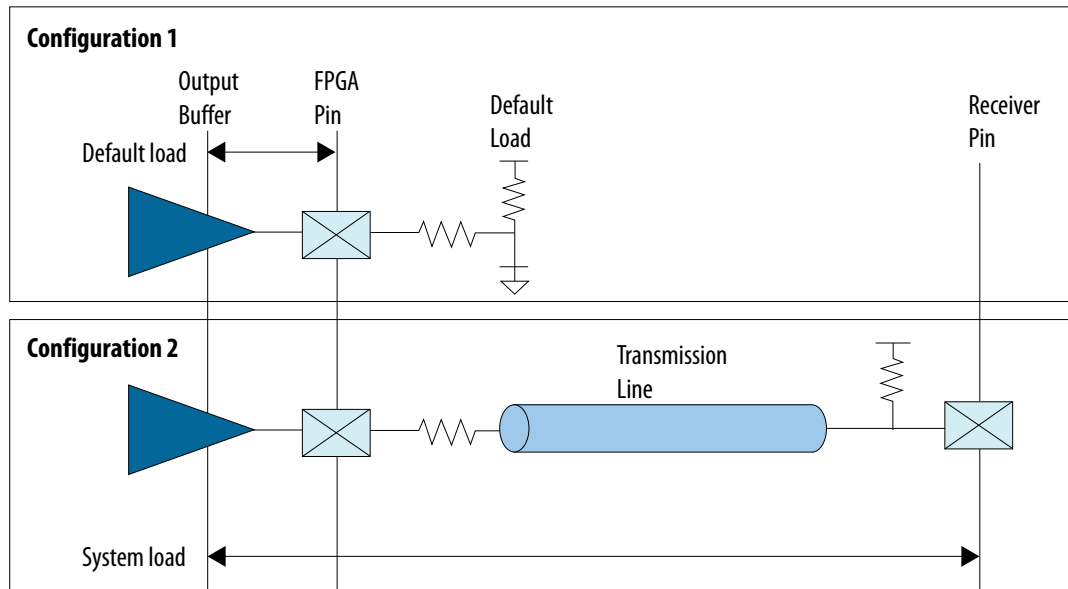
RLC の値は、パッケージのサイズによって異なる場合があります。

ピン名	R ( $\Omega$ )	L (nH)	C (pF)
DCLK	252.71	2.26	1.07
DATA	633.45	5.61	1.74

- インテル EPCQ64ASI16N モデルを使用
- 3.3V  $\pm$ 5 %での  $V_{CC}$  を、FPGA およびフラッシュデバイスの両方で使用
- 50 $\Omega$  のトレース・インピーダンスをもつ 1 インチのトレースを、標準的な FR4 ボードで使用
- シミュレーションは、Slow IC コーナーと Fast IC コーナーの両方で実施

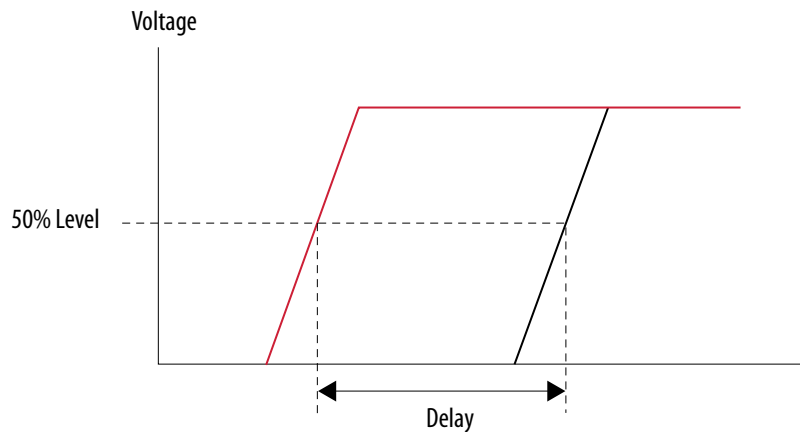
さらに、Hyperlynx IBIS シミュレーションを使用して特定のリンクの影響を予測します。特定のリンクの遅延は、次の図に示すように、デフォルトのセットアップ (コンフィグレーション 1) と実際のシステム・セットアップ (コンフィグレーション 2) でシミュレーションされた遅延を比較する手法を使用し、正確に見積もることができます。この手法を実際に使用して AS コンフィグレーションのタイミングを測定する方法は、次の章で説明されています。

図 -8: シミュレーションされた遅延の比較



注意: 次の図に示すように、50%の電圧レベルでの信号の遅延を測定する際は、電圧レベルの50%で電圧を測定することによって IBIS シミュレーションは実行されています。測定は、電圧入力 High レベル ( $V_{IH}$ ) または電圧入力 Low レベル ( $V_{IL}$ ) で行うことができます。

図 -9: 電圧レベルでの遅延測定



### 1.5.1.2. DCLK での RC ネットワーク追加例

#### 1.5.1.2.1. DCLK リンクのシミュレーション例

次の 2 つのシミュレーションのセットアップを使用し、DCLK 信号の最小遅延および最大遅延を測定します。

図 -10: DCLK 信号におけるデフォルトの負荷でのシミュレーション・セットアップ

推奨されるデフォルトの負荷設定に従う必要があります。

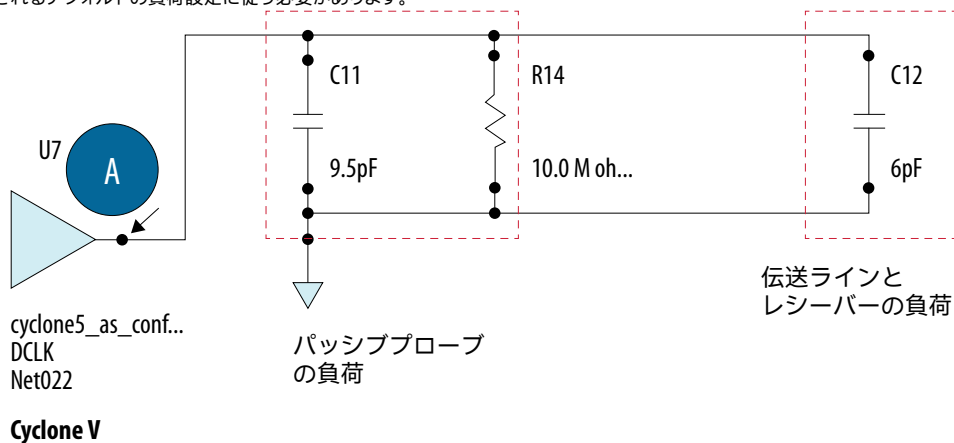
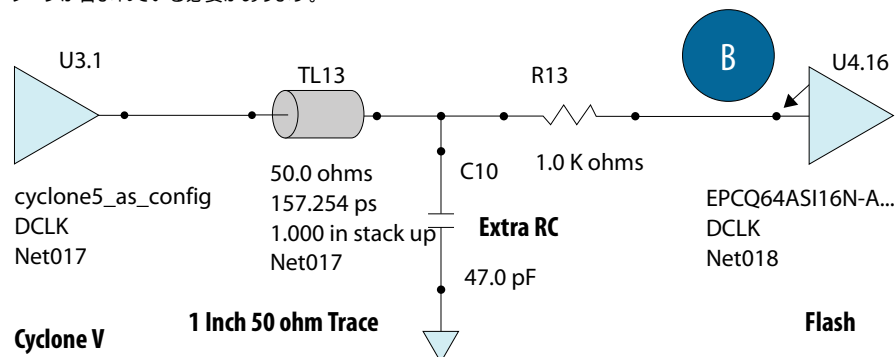


図 -11: DCLK 信号における RC ネットワーク・ソリューションを含む実際のシステム負荷でのシミュレーション・セットアップ

RC ネットワークが含まれている必要があります。



Slow コーナーと Fast コーナーの両方でシミュレーションを実行し、A と B 間で測定された遅延を比較することにより、DCLK の最小遅延と最大遅延を測定することができます。

図 -12: 最小の DCLK 遅延

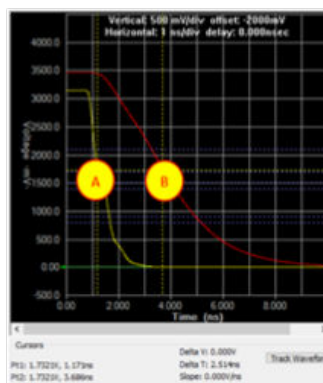
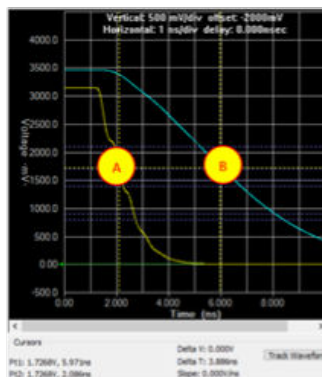


図 -13: 最大の DCLK 遅延



### 1.5.1.2.2. DATA リンクのシミュレーション例

次の 3 つのシミュレーションのセットアップは、DATA 信号の最小遅延または最大遅延を測定するために不可欠です。

図 -14: DATA 信号におけるデフォルトの最大負荷でのシミュレーション・セットアップ

- このセットアップを使用し、DATA 信号の最大遅延を測定します。
- *EPCQ-A Serial Configuration Device Datasheet* で示されているフラッシュクロックと出力間の最大遅延 ( $t_{CLQV}$ ) 値は、30 pF の負荷に基づくものです。

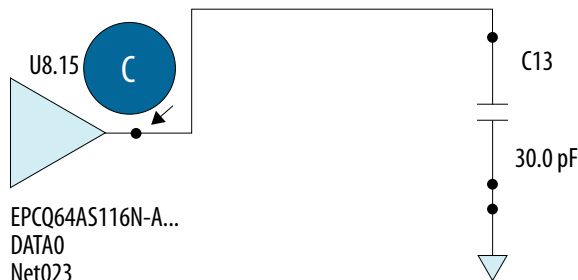


図 -15: DATA 信号におけるデフォルトの最小負荷でのシミュレーション・セットアップ

- このセットアップを使用し、DATA 信号の最小遅延を測定します。
- *EPCQ-A Serial Configuration Device Datasheet* で示されているフラッシュクロックと出力間の最小遅延 ( $t_{CLQX}$ ) 値は、0 pF の負荷に基づくものです。

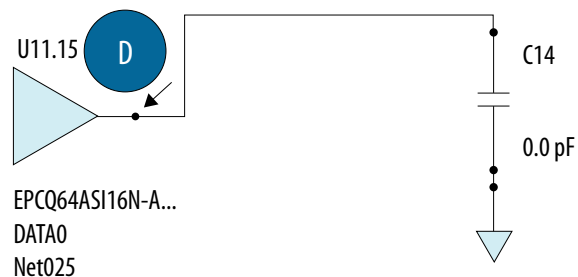


図 -16: DATA 信号における実際のシステム負荷でのシミュレーション・セットアップ

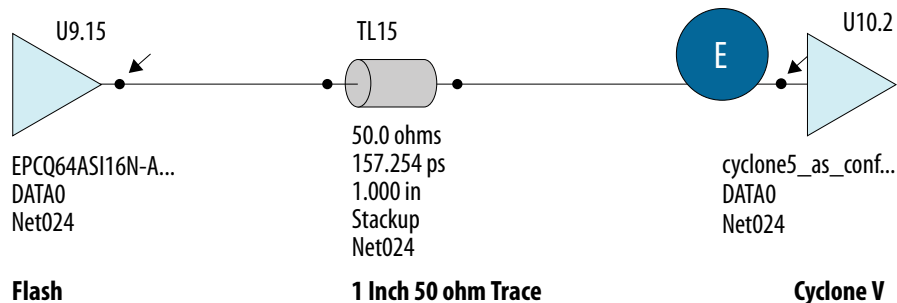
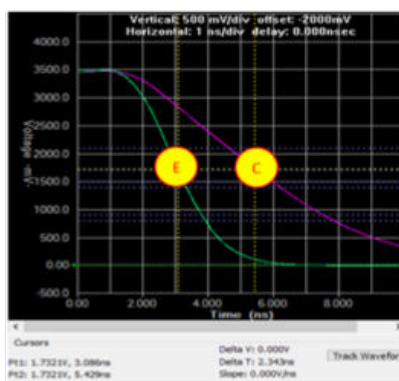


図 -17: 最大の DATA 遅延



最大の DATA 遅延は、シミュレーション中に E と C 間で測定された遅延を次の式に代入することで計算されます。

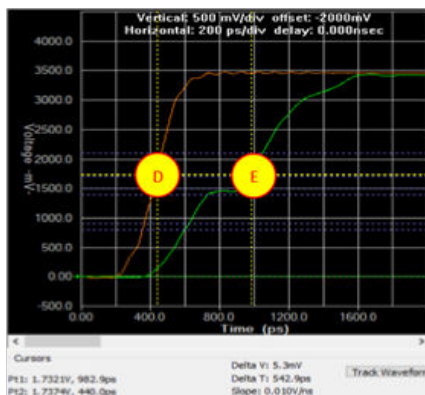
$$\text{最大 DATA 遅延} = t_{\text{CLQV}} + (\text{遅延測定 E} - \text{遅延測定 C})$$

$$\text{最大 DATA 遅延} = 6 \text{ ns} - 2.343 \text{ ns}$$

$$\text{最大 DATA 遅延} = 3.657 \text{ ns}$$

この結果は、最大の DATA 遅延は実際のシステム負荷に応じて縮小し得ることを明確に示しています。これは、FPGA のセットアップ時間におけるスラックの改善に役立ちます。*EPCQ-A Serial Configuration Device Datasheet* で定義されている  $t_{\text{CLQV}}$  の値は、セットアップ時間の解析に使用するには過度に悲観的です。

図 -18: 最小の DATA 遅延



最小の DATA 遅延は、シミュレーション中に E と D 間で測定された遅延を次の式に代入することで計算されます。

$$\text{最小 DATA 遅延} = t_{\text{CLKQ}} + (\text{遅延測定 E} - \text{遅延測定 D})$$

$$\text{最小 DATA 遅延} = 1.5 \text{ ns} + 0.542 \text{ ns}$$

$$\text{最小 DATA 遅延} = 2.042 \text{ ns}$$

この結果は、最小の DATA 遅延は実際のシステム負荷に応じて増加する可能性があることを明確に示しています。*EPCQ-A Serial Configuration Device Datasheet* で定義されている  $t_{\text{CLKQ}}$  の値は、ホールド時間の解析には過度に悲観的です。

### 1.5.1.2.3. シミュレーション結果

次の表は、DCLK リンクと DATA リンクの最小および最大遅延は、IBIS シミュレーションで正確に取得することができることを示しています。

表 23. DCLK リンクと DATA リンクにおける最小および最大遅延

信号	IC コーナー	IBIS シミュレーションで測定された $V_{\text{CC}}/2$ (ns) での合計遅延 <sup>(27)</sup>	備考
DCLK	Fast/Strong	2.514	最小 DCLK 遅延
DCLK	Slow/Weak	3.886	最大 DCLK 遅延
DATA	Fast/Strong	2.042	最小 DATA 遅延
DATA	Slow/Weak	3.657	最大 DATA 遅延

データのセットアップ時間のスラックおよびデータのホールド時間のスラックは、IBIS シミュレーションで取得した遅延を次の式に代入することで最終的に得ることができます。

<sup>(27)</sup> 記載されているデータは、シミュレーションの波形からの手動測定に基づくものです。



システム・セットアップに想定されている内容

- DCLK 周波数: 50 MHz (20 ns 周期)
- Cyclone V の AS タイミング仕様
  - 最小  $t_{DSU}$  : 1.5 ns
  - 最小  $t_{DH}$  : 2.9 ns

この式は、データのセットアップ時間のスラックを計算するものです。

データのセットアップ時間のスラック =  $t_{DCLK} - t_{DSU} - (\text{最大 DCLK 遅延} + \text{最大 DATA 遅延})$

データのセットアップ時間のスラック =  $20 \text{ ns} - 1.5 \text{ ns} - (3.886 \text{ ns} + 3.657 \text{ ns})$

データのセットアップ時間のスラック = 10.957 ns

この式は、データのホールド時間のスラックを計算するものです。

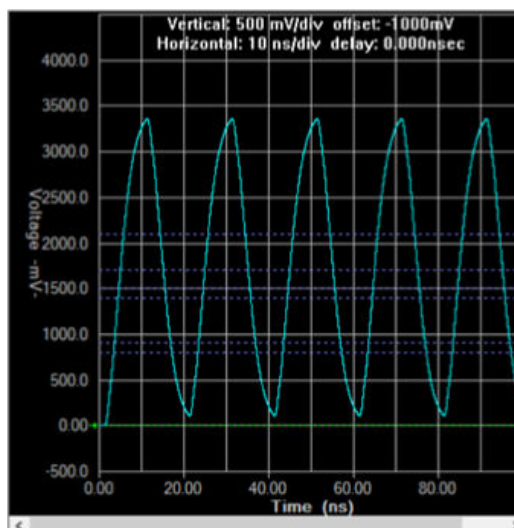
データのホールド時間のスラック =  $(\text{最小 DCLK 遅延} + \text{最小 DATA 遅延}) - t_{DH}$

データのホールド時間のスラック =  $(2.514 \text{ ns} + 2.042 \text{ ns}) - 2.9 \text{ ns}$

データのホールド時間のスラック = 1.656 ns

次のシミュレーション波形で示すとおり、RC ネットワークを追加した DCLK 信号の品質は良好です。DCLK 信号は、50 Mbps のクロックパターンを使用してシミュレーションされています。

図 -19: 50 Mbps の動作での DCLK 信号のシミュレーション



推奨される RC ネットワークを追加することで、DCLK および DATA のトレース長を可能な限り短くデザインすることが可能です。また、Cyclone V FPGA で要求されている最小のデータのセットアップ時間およびホールド時間を満たすことができます。

シミュレーション手法を介して、より小さい最大 DATA 遅延を得ることが可能です。シミュレーションの値によって、FPGA AS コンフィグレーションのデータのセットアップ時間のスラックは、フラッシュのデータシート仕様に比べて改善することができます。

シミュレーション手法を介して、より大きい最小 DATA 遅延を得ることが可能です。シミュレーションの値によって、FPGA AS コンフィグレーションのデータのホールド時間のスラックは、フラッシュのデータシート仕様と比べて改善することができます。

### 1.5.1.3. DCLK におけるバッファの追加例

次の 2 つのシミュレーションのセットアップを使用し、DCLK 信号の最小遅延および最大遅延を測定します。

図 -20: DCLK 信号におけるデフォルトの負荷でのシミュレーション・セットアップ

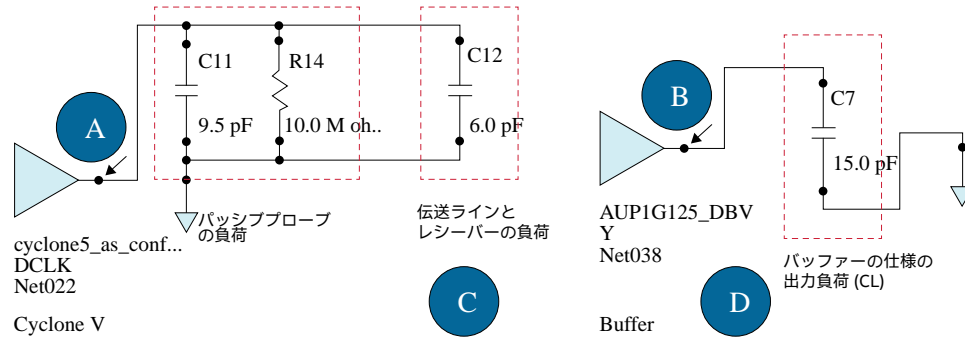


図 -21: DCLK 信号における実際のシステム負荷でのシミュレーション・セットアップ

バッファモデルを含める必要があります。

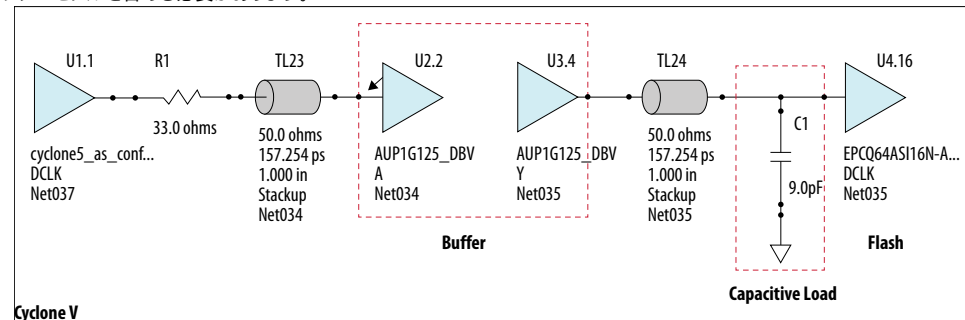


図 -22: A および C の遅延測定における最小 DCLK 遅延

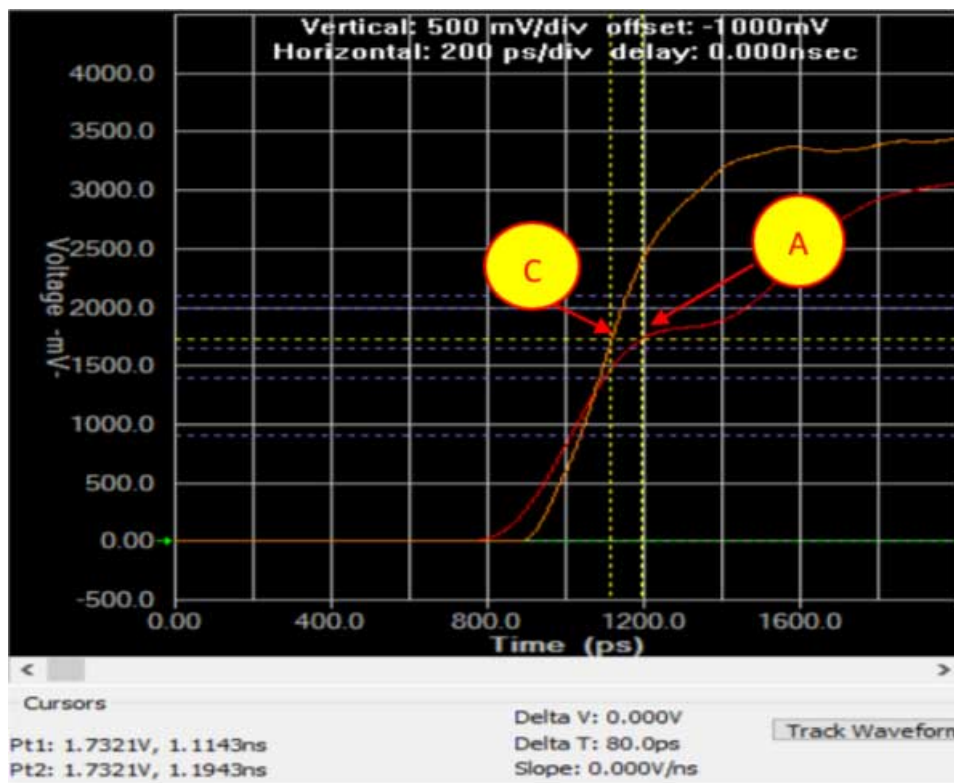
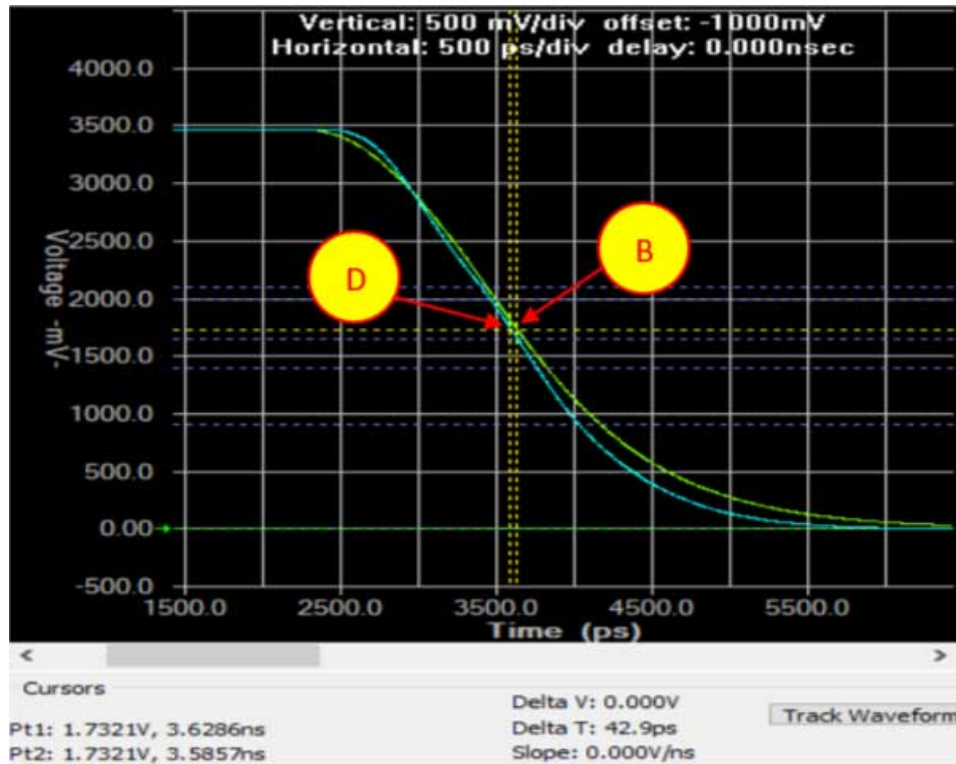


図 -23: B および D の遅延測定における最小 DCLK 遅延



最小の DCLK 遅延は、次の計算式で示されます。

最小 DCLK 遅延 = (遅延測定 C - 遅延測定 A) + [最小バッファ遅延 + (遅延測定 D - 遅延測定 B)]

最小 DCLK 遅延 = -0.080 ns + 1.8 ns<sup>(28)</sup> - 0.0425 ns

最小 DCLK 遅延 = 1.677ns

<sup>(28)</sup> 最小のバッファ遅延仕様は、15 pF の負荷で 1.8 ns です。

図 -24: A および C の遅延測定における最大 DCLK 遅延

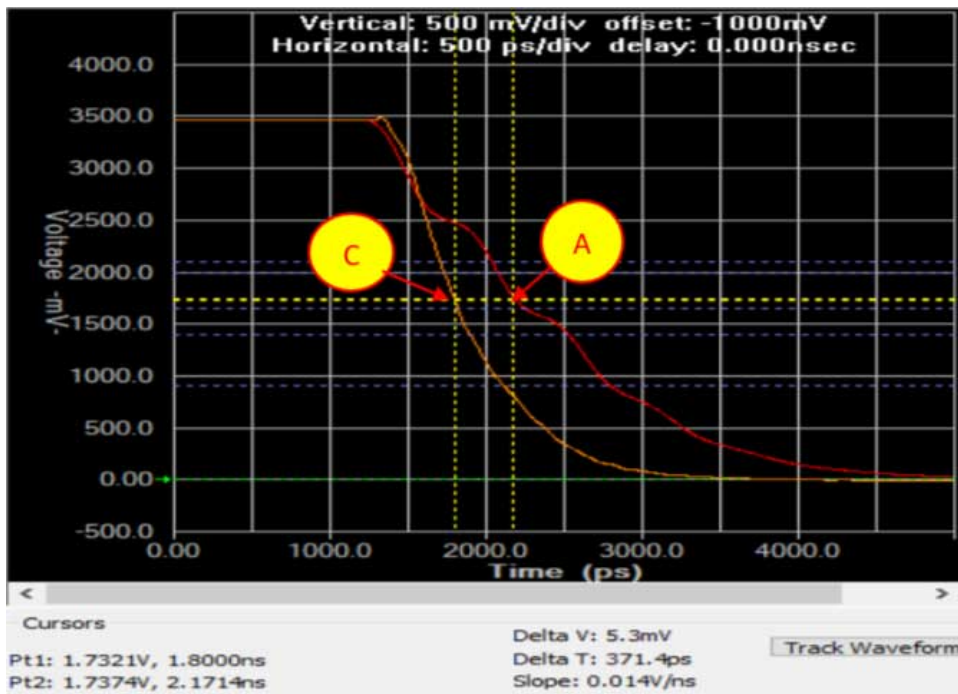
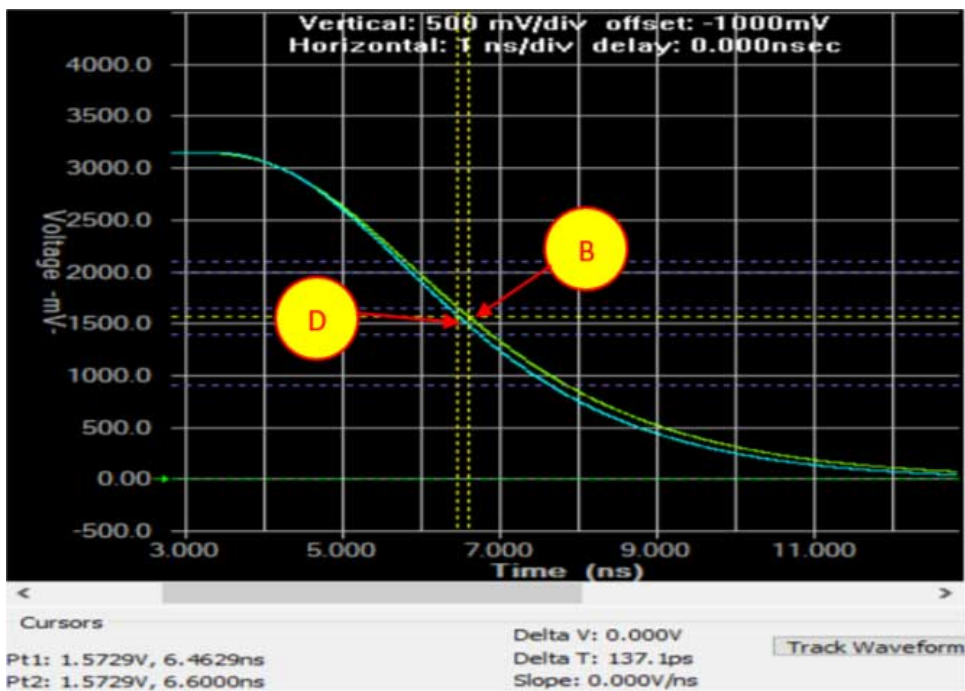


図 -25: B および D の遅延測定における最大 DCLK 遅延



最大の DCLK 遅延は、次の計算式で示されます。

最大 DCLK 遅延 = (遅延測定 C - 遅延測定 A) + [最大バッファ遅延 + (遅延測定 D - 遅延測定 B)]

最大 DCLK 遅延 = -0.371 ns + 5.7 ns<sup>(29)</sup> - 0.137 ns

最大 DCLK 遅延 = 5.191 ns

### 1.5.1.3.1. シミュレーション結果

次の表は、この例で使用されているバッファタイプから得ることが可能な最小遅延および最大遅延を示しています。

表 24. 最小および最大の DCLK 遅延

- 記載されているデータは、シミュレーションの波形からの手動測定に基づくものです。
- EPCQ-A デバイスの DCLK の負荷は 6 pF であるため、9 pF の容量性負荷をシミュレーションのセットアップに追加し、バッファ仕様で想定されている出力負荷に一致させています。

IC コーナー	出力負荷, CL (pF)	Cyclone V DCLK からバッファへの遅延 (ns)	バッファから EPCQ-A の DCLK 遅延 (ns)	V <sub>CC</sub> /2 での合計 DCLK 遅延 (ns)	備考
Fast/Strong	15	-0.080	1.757	1.677	最小 DCLK 遅延
Slow/Weak	15	-0.371	5.562	5.191	最大 DCLK 遅延

データのセットアップ時間のスラックおよびデータのホールド時間のスラックは、IBIS シミュレーションで取得した遅延を次の式に代入することで最終的に得ることができます。

システム・セットアップに想定されている内容

- DCLK 周波数: 50 MHz (20 ns 周期)
- Cyclone V の AS タイミング仕様
  - 最小 t<sub>DSU</sub> : 1.5 ns
  - 最小 t<sub>DH</sub> : 2.9 ns

この式は、データのセットアップ時間のスラックを計算するものです。

データのセットアップ時間のスラック = t<sub>DCLK</sub> - t<sub>DSU</sub> - (最大 DCLK 遅延 + 最大 DATA 遅延)

データのセットアップ時間のスラック = 20 ns - 1.5 ns - (5.191 ns + 3.657 ns)

データのセットアップ時間のスラック = 9.652 ns

この式は、データのホールド時間のスラックを計算するものです。

データのホールド時間のスラック = (最小 DCLK 遅延 + 最小 DATA 遅延) - t<sub>DH</sub>

データのホールド時間のスラック = (1.677 ns + 2.042 ns) - 2.9 ns

データのホールド時間のスラック = 0.819 ns

次のシミュレーション波形で示すとおり、バッファを追加した DCLK 信号の品質は良好です。DCLK 信号は、50 Mbps のクロックパターンを使用してシミュレーションされています。

<sup>(29)</sup> 最大のバッファ遅延仕様は、15 pF の負荷で 5.7 ns です。

図 -26: Cyclone V FPGA とバッファ間のシミュレーション結果

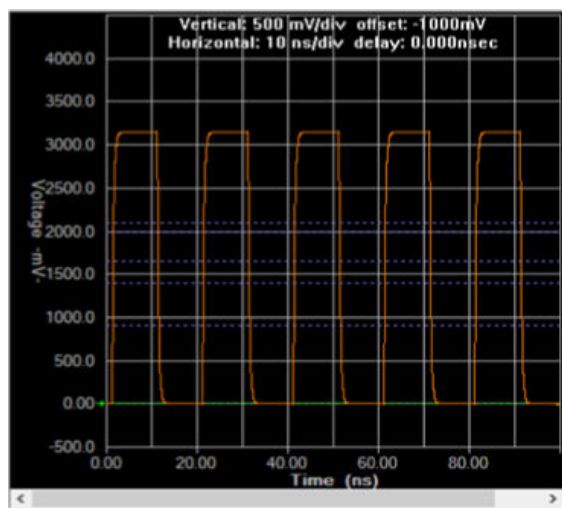
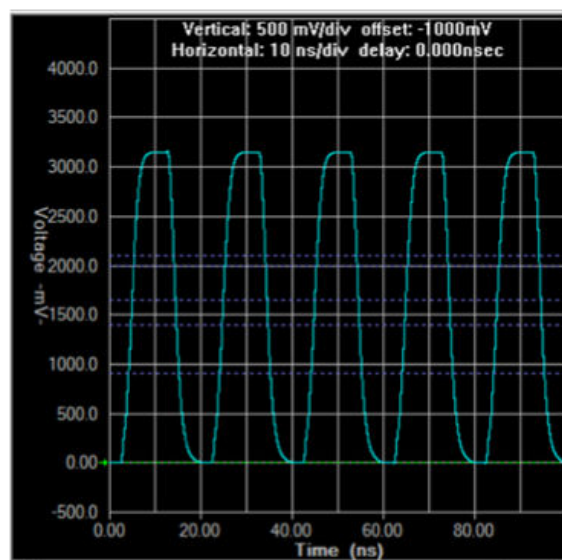


図 -27: バッファと EPCQ-A デバイス間のシミュレーション結果



バッファ、DCLK、および DATA の合計遅延が FPGA の  $t_{DSU}$  と  $t_{DH}$ 、および EPCQ-A のセットアップとホールドのタイミング要件を満たす限り、市場の任意のバッファを選択することが可能です。

バッファを追加することで、DCLK および DATA のトレース長を可能な限り短くデザインすることが可能です。他のタイミング・コンポーネントも含め、バッファによって追加される遅延は、Cyclone V FPGA で必要なデータの最小セットアップおよびホールド時間を満たすために有効です。

**注意:** DCLK ラインには、適切な容量性負荷を追加する必要があります。詳細は、バッファのデータシートを参照してください。容量性負荷の追加は、バッファからの必要な遅延を得るために不可欠です。追加する容量性負荷の値を決定するには、EPCQ-A またはサードパーティー製フラッシュの入力ピンの容量を考慮する必要があります。

#### 1.5.1.4. 100 MHz の動作での DCLK 信号のシミュレーション

RC ネットワークまたはバッファを追加するソリューションの例は、100 MHz の動作には適用されません。これは、RC ネットワークまたはバッファによって発生する追加遅延の不確実性が、FPGA でセットアップ時間の違反を引き起こす可能性があるためです。

#### 1.5.1.5. 100-MHz で動作する DCLK に向けたトレース伝播遅延に関する推奨事項

以下のトレース伝播遅延に関する推奨事項は、EPCQ-A デバイスを使用している場合に適用されます。

- -6 のスピードグレードの場合、Cyclone V FPGA の  $t_{DH}$  仕様は 2.5 ns です。
  - DCLK および DATA の合計伝播遅延は、 $1.0 \text{ ns} < \text{DCLK の遅延} + \text{DATA の遅延} < 2.5 \text{ ns}$  の範囲内にする必要があります。
  - DCLK および DATA のトレースが同じ長さであると仮定すると、DCLK および DATA の遅延は、 $0.5 \text{ ns} < \text{DCLK の遅延} + \text{DATA の遅延} < 1.25 \text{ ns}$  の範囲内にする必要があります。
- -7 および -8 のスピードグレードの場合、Cyclone V FPGA の  $t_{DH}$  仕様は 2.9 ns です。
  - DCLK および DATA の合計伝播遅延は、 $1.4 \text{ ns} < \text{DCLK の遅延} + \text{DATA の遅延} < 2.5 \text{ ns}$  の範囲内にする必要があります。
  - DCLK および DATA のトレースが同じ長さであると仮定すると、DCLK および DATA の遅延は、 $0.7 \text{ ns} < \text{DCLK の遅延} + \text{DATA の遅延} < 1.25 \text{ ns}$  の範囲内にする必要があります。
- IBIS シミュレーションまたはリンク・シミュレーションを実行し、信号品質に問題がないことを確認する必要があります。

## 1.6. Cyclone V から Cyclone V QS デバイスへの移行に関するリファレンス・マニュアル

フラッシュ・デバイス・メーカーが新しいプロセス・テクノロジーに移行するにともない、改良フラッシュメモリーは、より短い遅延でより高速になっています。これは、Cyclone V デバイスの AS コンフィグレーション・システムにおいて、最新のフラッシュデバイスに移行する際に、データのホールド時間要件の達成に関するいくつかの課題を間接的に引き起こします。そのため、Cyclone V QS 以外のデバイスと比較して、データの最小ホールド時間要件が大幅に改善された Cyclone V QS デバイスが開発および製造されています。インテルでは、より高速で新しいフラッシュデバイスに移行する際に、末尾に QS が付いた Cyclone V デバイスを Cyclone V デバイスに替えて使用することを推奨しています。

末尾に QS が付いた Cyclone V デバイスは、次のパッケージでのみ利用可能であることに注意してください。

- U15 (324 ピン)
- U19 (484 ピン)
- F23 (484 ピン)
- U23 (672 ピン)
- F27 (672 ピン)
- F31 (896 ピン)
- F35 (1152 ピン)



末尾に QS が付いた Cyclone V デバイスは、次のパッケージでは利用することができません。

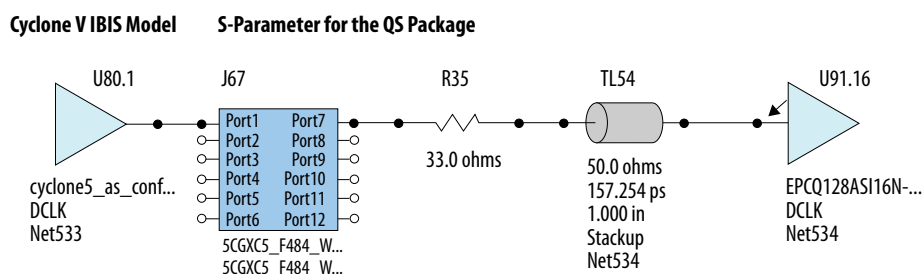
- M11 (301 ピン)
- M13 (383 ピン)
- M15 (484 ピン)
- F17 (256 ピン)

AS コンフィグレーション・モードにおいて要求されるデータの最小ホールド時間 ( $t_{DH}$ ) を縮小するため、Cyclone V QS パッケージでは、より長い配線トレースが DCLK ネットで実装されています。この実装により、実際のボードデザインに応じて、レシーバーで DCLK 出力信号により大きなオーバーシュートまたはアンダーシュートが発生します。オーバーシュートまたはアンダーシュートの動作は、ドライバー特性、パッケージの配線インピーダンス、ボードデザイン、ボード・トレース・インピーダンス、およびレシーバーの負荷のコンフィグレーションにおける特定の組み合わせにおいて想定される動作です。オーバーシュートまたはアンダーシュートの大きさ、勾配、および持続時間は、システム全体の伝送ラインの長さ、インピーダンスの不連続性、ボードデザイン (直列抵抗配置)、および負荷のコンフィグレーションによって異なります。オーバーシュートまたはアンダーシュートの動作は、インテル FPGA コンフィグレーション・デバイス (EPCQ-A) およびインテルがサポートするサードパーティー製のコンフィグレーション・デバイスで許容されるオーバーシュートまたはアンダーシュートのレベルおよび持続時間内であることが想定されています。DCLK の動作周波数とお使いのシステムのセットアップに基づき IBIS シミュレーションを実行し、Cyclone V QS パッケージに移行する際に、オーバーシュートまたはアンダーシュートのレベルおよび持続時間が、コンフィグレーション・デバイスで許容される仕様内であることを確認します。

次に、Cyclone V QS パッケージに対して IBIS シミュレーション・デッキをセットアップし、アクティブ・シリアル・インターフェースのシミュレーションに必要な手動の介入手順を示します。

1. Cyclone V IBIS モデルと QS パッケージに向けた S パラメーター・ファイルを使用します。  
Cyclone V QS パッケージの S パラメーター・ファイルは、*IBIS Models for Intel® Devices* のページよりダウンロード可能です。

図 -28: Cyclone V QS の IBIS モデルと S パラメーター・ファイル



2. Cyclone V IBIS モデルで、アクティブ・シリアル・インターフェースのパッケージ全体の RLC およびピンごとの RLC を手動でゼロに設定します。



```
.....
IBIS Models for Cyclone 5 Device by ALTERA
modified by Bruce for AS configuration simulation
DO NOT USE
.....

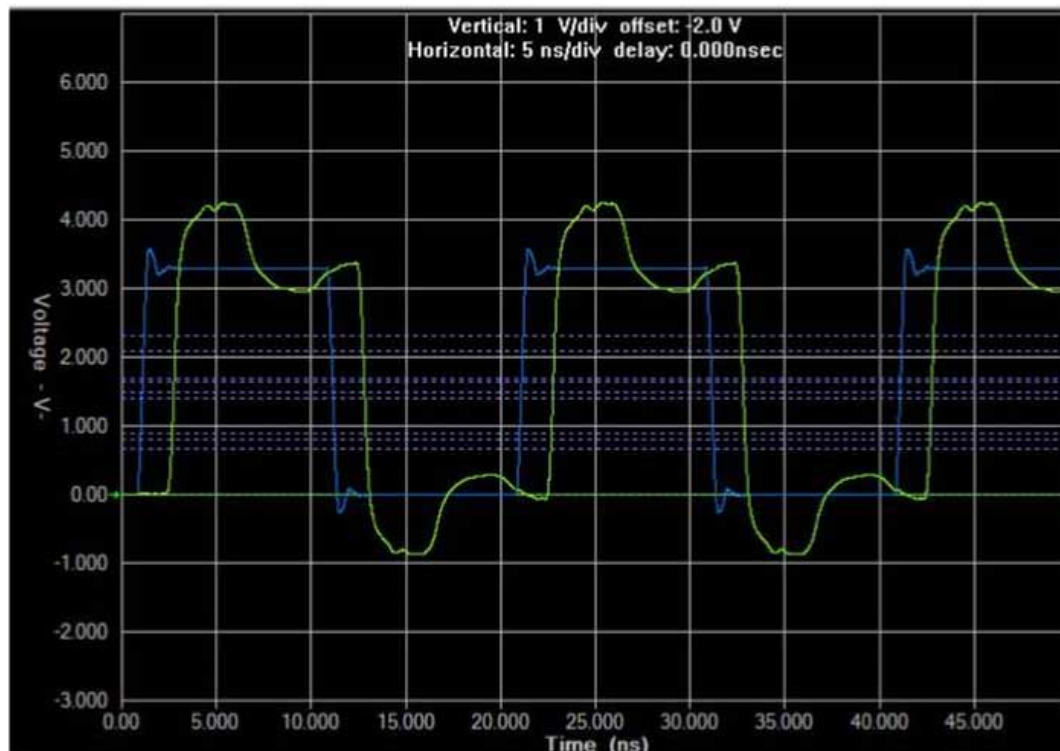
[IBIS Ver] 4.2
[File Name] cyclone5_as_config_no_pkg.ibs
[File Rev] 3.0
[Date] February 05, 2018
[Source] Altera Corporation
[Notes] - The models are designated as "Correlated" and have been
[Disclaimer] Data is for modeling purposes only and is not guaranteed.
[Copyright] Copyright (C) 1991-2015 Altera Corporation. All rights reserved.
[Component] cyclone5_as_config_no_pkg
[Manufacturer] Altera Corporation
[Package]
RLC values are for 1152 FBGA package
modified by Bruce for AS configuration simulation
variable typ sin max
R_pkg 0 0 0
L_pkg 0 0 0
C_pkg 0 0 0

[Pin] signal_name model_name R_pin L_pin C_pin
1 DCLK lvttl30_rtnio_d12s1 0 0 0
2 DATA0 lvttl30_rtnio_d8s1 0 0 0
3 DATA1 lvttl30_rtnio_d8s1 0 0 0
4 DATA2 lvttl30_rtnio_d8s1 0 0 0
5 DATA3 lvttl30_rtnio_d8s1 0 0 0
6 nCS0 lvttl30_rtnio_d8s1 0 0 0
.....
```

例-3: インテル EPCQ128ASI16N モデルとインターフェイスしている場合の Cyclone V QS パッケージに向けた IBIS シミュレーション

図 -29: DCLK が 50 MHz で動作している場合に DCLK 信号で観察されるオーバーシュートおよびアンダーシュート

- オーバーシュートおよびアンダーシュートのレベルは、EPCQ-A Serial Configuration Device Datasheet の Absolute Maximum Rating Specification for EPCQ-A Devices で規定されている過渡電圧仕様の範囲内です。
- 青で示されている信号: Cyclone V QS 以外のパッケージでのシミュレーション
- 緑で示されている信号: Cyclone V QS パッケージでのシミュレーション



コンフィグレーション・デバイスで許容されているオーバーシュートまたはアンダーシュートのレベルに違反した場合、インテルでは、DCLK ピンのソース側に直列終端抵抗を追加し、DCLK 信号のオーバーシュートまたはアンダーシュートを縮小することを推奨しています。直列終端を追加することは、伝送ラインのインピーダンスと同じインピーダンスに一致させてソース側を終端するために不可欠です。直列終端を追加すると、DCLK のオーバーシュートまたはアンダーシュートは縮小しますが、伝播遅延および信号の立ち上がり時間または立ち下がり時間が増加するデメリットもいくつかあります。そのため、AS コンフィグレーション・システムのタイミングを再度分析し、セットアップおよびホールド時間が Cyclone V FPGA Device Datasheet で規定されている要件を満たすことを確認する必要があります。

#### 関連情報

[IBIS Models for Intel Devices](#)



## 1.7. AN 822: インテル FPGA コンフィグレーション・デバイスの移行ガイドライン改訂履歴

ドキュメント・バージョン	変更内容
2020.04.10	<ul style="list-style-type: none"> <li>Arria V, Cyclone V, Stratix V デバイスにおけるEPCQ からEPCQ-A への移行方法の章を追加しました。</li> <li>Cyclone V から Cyclone V QS デバイスへの移行におけるボード・デザイン・ガイドラインの章を追加しました。</li> <li>EPCQ-A デバイスに向けたソフトウェア・サポートの章で、How can I use EPCQ-A Serial Configuration Devices in ASMI Parallel II Intel FPGA IP when using Intel Quartus Prime Standard Edition software version 17.0.2 and earlier?のリファレンスを追加しました。</li> </ul>
2019.10.17	<ul style="list-style-type: none"> <li>EPCS, EPCQ, EPCQ-A デバイスの動作条件の表で、EPCQ および EPCQ-A デバイスの <math>V_{IH}</math> パラメーターの最小値に関する注記を追加しました。</li> <li>プログラミング・ファイルの互換性の章で、圧縮と暗号化に関する注記を追加しました。</li> <li>ソフトウェア移行ガイドラインの章で、13.1.4 バッチ 4.70r を使用することに関する注記を追加しました。</li> <li>パッケージの寸法を次の表で更新しました。 <ul style="list-style-type: none"> <li>8 ピン SOIC パッケージのデバイスにおけるパッケージ寸法の比較</li> <li>16 ピン SOIC パッケージのデバイスにおけるパッケージ寸法の比較</li> </ul> </li> <li>EPCS, EPCQ, EPCQ-A デバイスの動作条件の表で、EPCS の <math>V_{IH}</math> パラメーターの最小値を更新しました。</li> </ul>
2018.03.30	<ul style="list-style-type: none"> <li>EPCQA のインスタンスを EPCQ-A に更新しました。</li> <li>プログラミング・ファイルの互換性についての表に注記を追加し、互換条件を更新しました。</li> <li>ドキュメントのタイトルを、AN 822: インテル・コンフィグレーション・デバイスの移行ガイドラインから AN 822: インテル FPGA コンフィグレーション・デバイスの移行ガイドラインに変更しました。</li> <li>EPCS から EPCQ-A デバイスへの移行における IP コアの互換性の表および EPCQ から EPCQ-A デバイスへの移行における IP コアの互換性の表で暫定タグを削除しました。</li> </ul>

日付	バージョン	変更内容
2018 年 1 月	2018.01.11	EPCS, EPCQ, EPCQA デバイスの動作条件の表で、2.5V I/O に関する注記を編集しました。
2017 年 12 月	2017.12.15	EPCS および EPCQ-A デバイスの読み出し動作におけるタイミング・パラメーターの表で、EPCQA デバイスの $t_{nCLK2D}$ / $t_{CLQV}$ を更新しました。
2017 年 8 月	2017.08.14	<ul style="list-style-type: none"> <li>16 ピン SOIC デバイスのピン情報のピン 1 を更新しました。</li> <li>EPCS, EPCQ, EPCQA デバイスの動作条件で、低レベルの出力電圧に対する条件を更新しました。</li> </ul>
2017 年 8 月	2017.08.04	EPCS, EPCQ, EPCQA デバイスの動作条件で、低レベルの出力電圧に対する最小値を更新しました。
2017 年 8 月	2017.08.02	初版