



AN 778: インテル® Stratix® 10 トランシーバー ユーザーガイド

目次

1. トランシーバーのレイアウト	3
1.1. L タイルおよび H タイルの概要.....	4
1.1.1. PLL.....	4
1.1.2. トランスミッター・クロック・ネットワーク.....	7
1.1.3. GXT クロック・ネットワーク.....	11
1.1.4. キャリブレーション.....	14
2. タイル・アーキテクチャーの制約	15
2.1. トランシーバー・チャンネルの配置.....	15
2.1.1. GX チャンネルと GXT チャンネルの可能な組み合わせ.....	15
2.1.2. GX チャンネル.....	20
2.1.3. GXT チャンネル.....	22
2.1.4. L タイルおよび H タイル用リファレンス・クロックのガイドライン.....	28
2.1.5. PLL の配置.....	29
2.2. サポートされていないダイナミック・リCONFIGレーションの機能.....	34
2.3. インテル Stratix 10 L タイル・トランシーバーから H タイル・トランシーバーへのマイグレーション.....	34
2.4. 温度に関するガイドライン.....	35
3. PCIe のガイドライン	36
3.1. PCIe ハード IP.....	36
3.1.1. PCIe ハード IP のチャンネル配置.....	36
3.1.2. PCIe ハード IP の PLL 配置.....	37
3.2. PHY Interface for PCIe Express (PIPE).....	41
3.2.1. PIPE のチャンネル配置.....	41
3.2.2. PIPE の PLL 配置.....	41
4. AN 778: インテル Stratix 10 トランシーバー ユーザーガイド 改訂履歴	43

1. トランシーバーのレイアウト

注意: 本アプリケーション・ノートで現在カバーしている内容は、インテル® Stratix® 10 L タイル ES1、L タイルおよび H タイル (L タイル/H タイル) についての情報です。E タイルの情報は、今後リリースされる予定です。

インテル Stratix 10 デバイスでは、トランシーバー・タイル・アーキテクチャーをサポートしています。1 つのタイルの構成は、24 個のトランシーバー・チャンネルとそれに関連するフェーズ・ロック・ループ (PLL)、リファレンス・クロック・バッファ、およびハード IP です。現在、次の 4 種類のトランシーバー・タイルがあります。

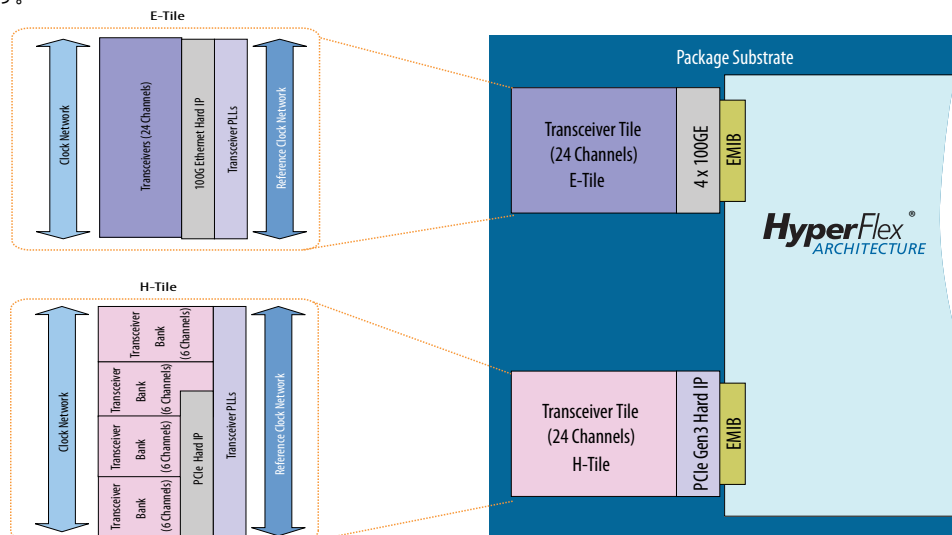
- L タイル ES1
- L タイル
- H タイル
- E タイル

各タイルの機能範囲によってカスタマイズされたソリューションは、さまざまなトランシーバー・アプリケーションに適合します。次の項では、L タイルについてさらに詳しく説明します。インテル Stratix 10 デバイスの左側と右側には、1 つ以上のタイルが含まれています。タイルは同種である必要はありません。

さらに詳しい情報は、インテル *Stratix 10 L- and H-Tile Transceiver PHY User Guide* の「Transceiver Tile Variants—Comparison of Transceiver Capabilities」の章を参照してください。

図 -1: トランシーバー・タイルのレイアウト

次の図は、インテル Stratix 10 TX デバイスで 2 種類のタイルがデバイスの左側にある場合の例です。E タイルの配置は H タイルの上です。



Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

関連情報
Overview

1.1. L タイルおよび H タイルの概要

インテル Stratix 10 L タイル/H タイル・トランシーバーには、24 の全二重チャンネルが含まれています。チャンネルはグループ化され、4 つのトランシーバー・バンクに分かれています。

各タイルは、6 チャンネルのバンクに分割されています。

- 1 タイル = 4 バンク * 6 チャンネル = 24 トランシーバー・チャンネル

各バンクには、3 チャンネルのトリプレットが 2 個含まれています。

- 1 タイル = 4 バンク * 2 トリプレット * 3 チャンネル = 24 トランシーバー・チャンネル

L タイルでは、最大 8 つのトランシーバー・チャンネルが、GXT チャンネルとしてコンフィグレーション可能です。データレートは最大で 26.6 Gbps に達します。同様に、H タイルでは、最大 16 チャンネルが GXT チャンネルとしてコンフィグレーション可能です。データレートは最大で 28.3 Gbps に達します。

1.1.1. PLL

各 インテル Stratix 10 L タイル/H タイル・トランシーバー・バンクには、次の TX Phase Locked Loop (PLL) が含まれています。

- Advanced Transmit (ATX) PLL - 2 個
- Fractional PLL - 2 個
- Clock Multiplier Unit (CMU) PLL - 2 個 (位置は各バンクのチャンネル 1 とチャンネル 4 です)

表 1. Stratix 10 L タイル/H タイルデバイスのトランスミッター PLL

PLL タイプ	特徴
ATX PLL	<ul style="list-style-type: none"> • 最良のジッター・パフォーマンス • LC タンクベースの電圧制御オシレーター (VCO) • フラクショナル合成モードをサポート (カスケード・モードでのみ) • 結合および非結合チャンネル・コンフィグレーションで使用
フラクショナル PLL (fPLL)	<ul style="list-style-type: none"> • リング・オシレーター・ベースの VCO • フラクショナル合成モードをサポート • 結合および非結合チャンネル・コンフィグレーションで使用
Clock Multiplier Unit (CMU) PLL または Channel PLL ⁽¹⁾	<ul style="list-style-type: none"> • リング・オシレーター・ベースの VCO • 追加クロックソースとして非結合アプリケーションで使用

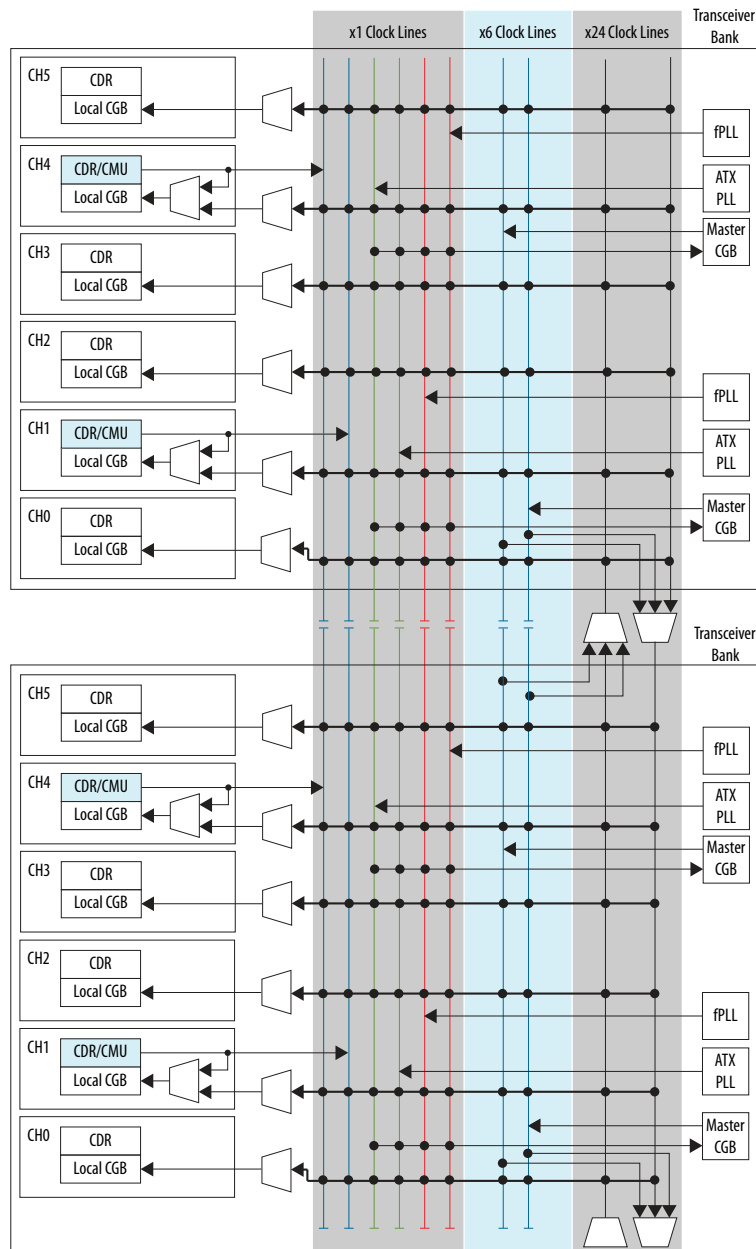
タイルあたりの TX PLL の総数は次のとおりです。

- ATX PLL - 8 個 (1 バンクあたり 2 ATX PLL * 1 タイルあたり 4 バンク)
- fPLL - 8 個 (1 バンクあたり 2 fPLL * 1 タイルあたり 4 バンク)
- CMU PLL - 8 個 (1 バンクあたり 2 CMU PLL * 1 タイルあたり 4 バンク)

⁽¹⁾ CMU PLL またはチャンネル 1 とチャンネル 4 の Channel PLL は、トランスミッター PLL またはクロック・データ・リカバリー (CDR) ブロックとして使用できます。他のすべてのチャンネル (0、2、3、および 5) の Channel PLL の使用は、CDR としてのみ可能です。

図 -2: インテル Stratix 10 L タイル/H タイルの 2 つのバンク内の Stratix 10 PLL およびクロック・ネットワーク

ATX PLL, fPLL, および CMU PLL では、x1 クロック・ネットワークを駆動して、非結合トランシーバーをサポートします。ATX PLL および fPLL では、x6 クロック・ネットワークを駆動して、バンク内の結合トランシーバーをサポートします。x6 クロック・ネットワークでは、隣接するバンクの x24 クロック・ネットワークを駆動して、ATX PLL および fPLL による最大 24 の結合トランシーバー・チャネルのサポートが可能になります。x1, x6, および x24 クロック・ネットワークについては、「トランシーバー・クロック・ネットワーク」の項で説明します。



注意: CGB について詳しくは、インテル Stratix 10 L- and H-Tile Transceiver PHY User Guide の「PLL and Clock Networks」の章を参照してください。

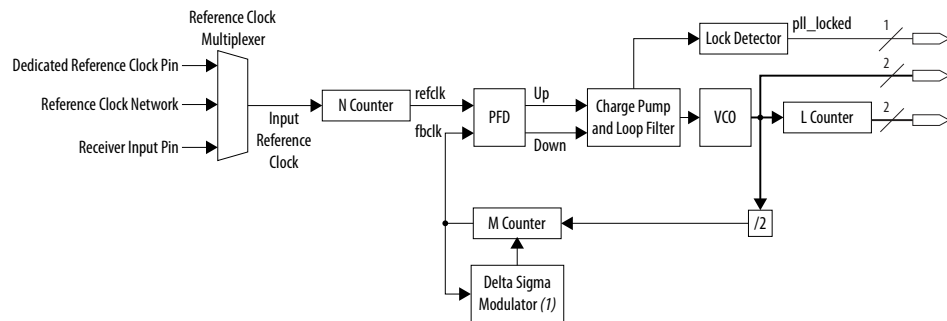
関連情報

- [トランスミッター・クロック・ネットワーク \(7 ページ\)](#)
- [PLL and Clock Networks](#)

1.1.1.1. ATX PLL

ATX PLL は、結合および非結合アプリケーションで使用できます。ATX PLL では、x1、x6、および x24 クロックラインにアクセスできます。同じ VCO 周波数で動作する 2 つの ATX PLL の間には間隔の規則があります。VCO 周波数は、PLL IP Platform Designer のパラメーターで確認できます。詳細については、[トランスミッター・クロック・ネットワーク](#)および [ATX PLL の間隔要件](#)を参照してください。

図 -3: ATX PLL ブロック図



注：
1. Delta Sigma Modulatorが有効なのは、ATX PLLがフラクショナルモードで使用されている場合のみです。

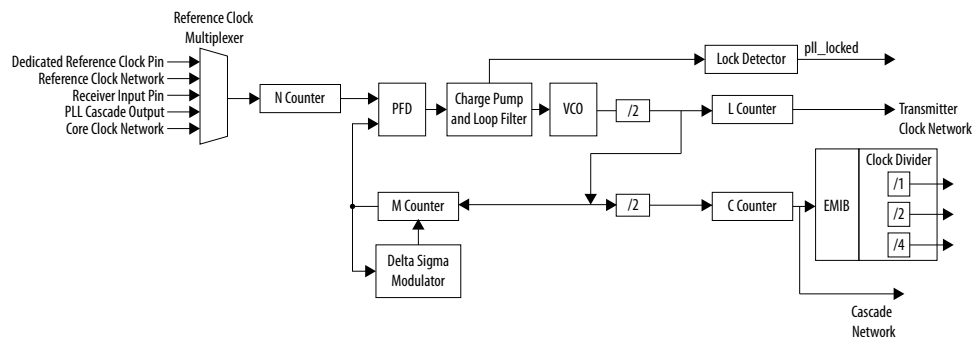
関連情報

[トランスミッター・クロック・ネットワーク \(7 ページ\)](#)

1.1.1.2. fPLL

fPLL は、結合および非結合アプリケーションで使用できます。fPLL では、x1、x6、および x24 クロックラインにアクセスできます。fPLL 間隔の規則は、VCO 周波数に関わらず存在しません。

図 -4: fPLL ブロック図

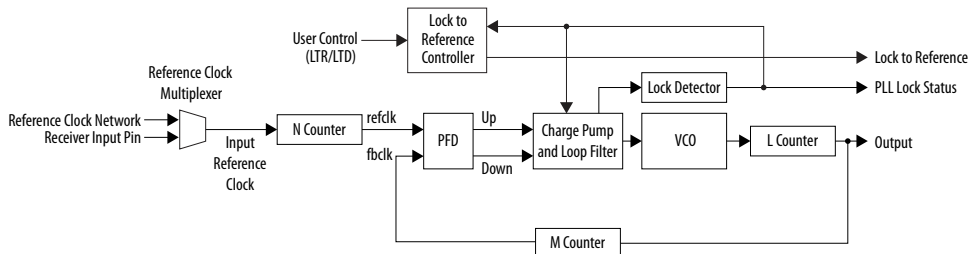


1.1.1.3. CMU PLL

CMU PLL は、非結合アプリケーションのみで使用可能で、x1 クロックラインにのみアクセスできます。

CMU PLL をバンクのチャンネル 1 またはチャンネル 4 で使用すると、そのチャンネルは、データ受信には使用できませんが、データ送信には使用できます。

図 -5: CMU PLL ブロック図



1.1.2. トランスミッター・クロック・ネットワーク

トランスミッター・クロック・ネットワークでは、クロックをトランスミッター PLL から 1 つ以上のトランスミッター・チャンネルへ配線します。トランスミッター・クロック・ネットワークで提供しているトランスミッター・チャンネルに対する 2 種類のクロックは次のとおりです。

- High-Speed Serial Clock - シリアルライザー用の高速クロック
- Low-Speed Parallel Clock - シリアルライザーおよび PCS 用の低速クロック

結合チャンネル・コンフィグレーションでは、シリアルクロックとパラレルクロックの両方がトランスミッター PLL からトランスミッター・チャンネルに配線されます。非結合チャンネル・コンフィグレーションでは、シリアルクロックのみが、トランスミッター・チャンネルに配線され、パラレルクロックは、各チャンネル内で局所的に生成されます。

さまざまな結合および非結合クロッキング・コンフィグレーションをサポートするため、次の3種類のトランスミッター・クロック・ネットワーク・ラインが使用可能です。

- x1 クロックライン：タイル内の単一のバンクに広がり、非結合チャンネルのクロッキングにのみ使用されます。
- x6 クロックライン：タイル内の単一のバンクに広がり、結合チャンネルのクロッキングに使用されます。
- x24 クロックライン：タイル内の全バンクに広がり、PMA 結合および PMA-PCS 結合トランシーバー・チャンネルに使用されます。

すべてのクロックラインは単一のタイル内に含まれており、複数のタイルにわたって広がることはできません。

図 -6: ×1 クロックライン

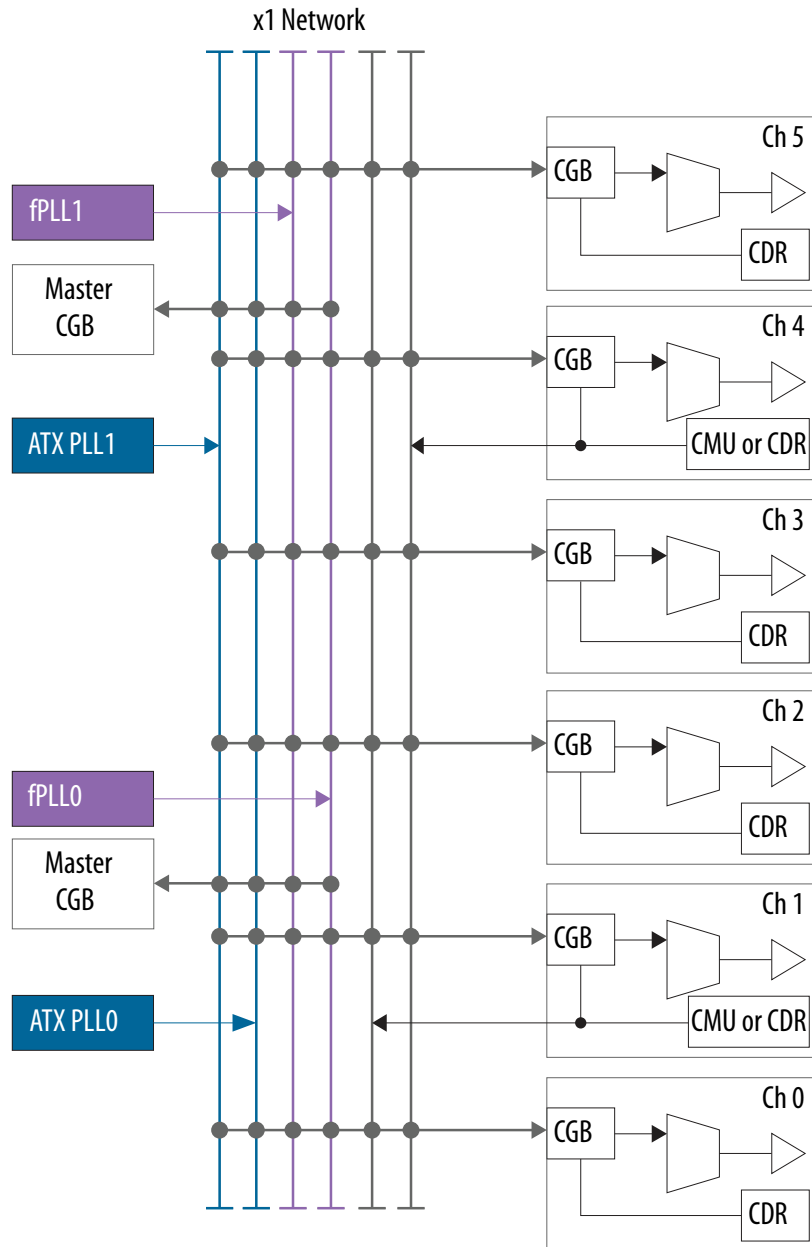


図 -7: x6 クロックライン

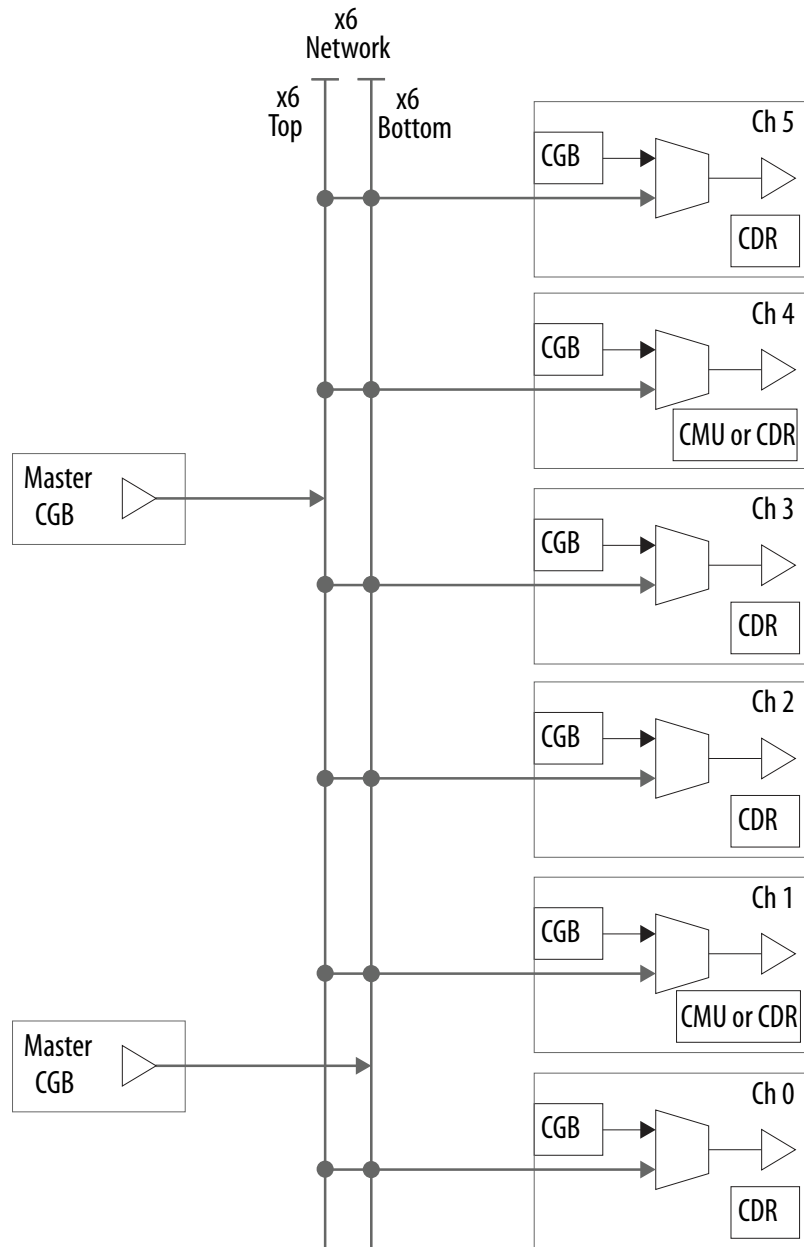
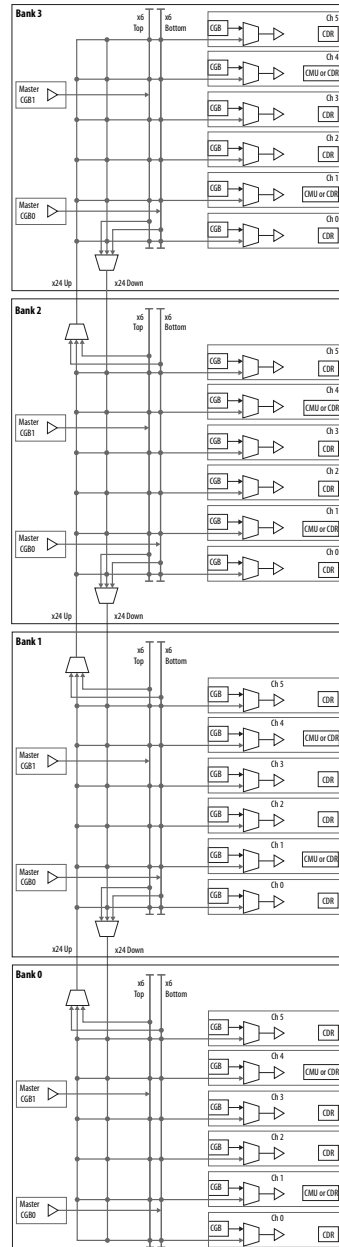


図 -8: x24 クロックライン



1つのタイルあたり2つのx24ラインが使用可能です。

- x24 Up : 現在のバンクの上に配置されたトランシーバー・バンクにクロックを配線します。
- x24 Down : 現在のバンクの下に配置されたトランシーバー・バンクにクロックを配線します

x24ラインを使用する場合、最大チャンネルスパンは、インスタンス化されたTX PLLを含むマスターバンクの2バンク上および2バンク下です。タイル内の4つのバンクのすべてでx24クロックラインを使用する場合は、TX PLLのインスタンス化を中間バンクのいずれかでを行い、チャンネルスパン要件を満たすようにしてください。



関連情報

- [PLL and Clock Networks](#)
- [Channel Bonding](#)

1.1.2.1. 結合トランシーバー・チャンネル - VCCR_GXB および VCCT_GXB のガイドライン

表 2. 電圧要件

トランシーバー・チャンネルで x6/x24 トランシーバー・クロック・ネットワークを介した結合が必要な場合、特定の電圧要件については次の表を参照してください。

チャンネルの種類	トランシーバー・リンクの種類	データレート	VCCR_GXB/VCCT_GXB Typical		
			最小値	通常値	最大値
GX	チップ間またはバックプレーン	1 Gbps から 16 Gbps	1 V	1.03 V	1.06 V
		16 Gbps から 17.4 Gbps	1.1 V	1.12 V	1.14 V
GXT	チップ間またはバックプレーン	> 17.4 Gbps	該当なし (結合はサポートされていません)		

非結合トランシーバー・チャンネルについては、インテル Stratix 10 デバイス・データシートの「トランシーバー電源の動作条件」を参照してください。

関連情報

[インテル Stratix 10 デバイス・データシート](#)

1.1.3. GXT クロック・ネットワーク

L タイルと H タイルの両方に GXT クロック・ネットワークが含まれています。GXT クロック・ネットワークでは、ATX PLL による最大 6 つのトランスミッター・チャンネル (内 4 つは ATX PLL のバンク内、2 つは隣接バンク内) での駆動が可能です。GXT クロック・ネットワークは、17.4 Gbps を超えるデータレートに使用されます。L タイルと H タイルの GXT チャンネルの仕様については、「GXT チャンネル」の項を参照してください。

注意: インテル Stratix 10 L タイル ES1 では、GXT クロック・ネットワークはサポートしていません。

図 -9: 上部 ATX PLL GXT のネットワーク範囲

ATX PLL が上位トリプレット内にある場合、その駆動範囲は、その ATX PLL のバンク内の 4 つの GXT チャネルすべてと、その上のバンクのチャンネル ch0 および ch1 です。

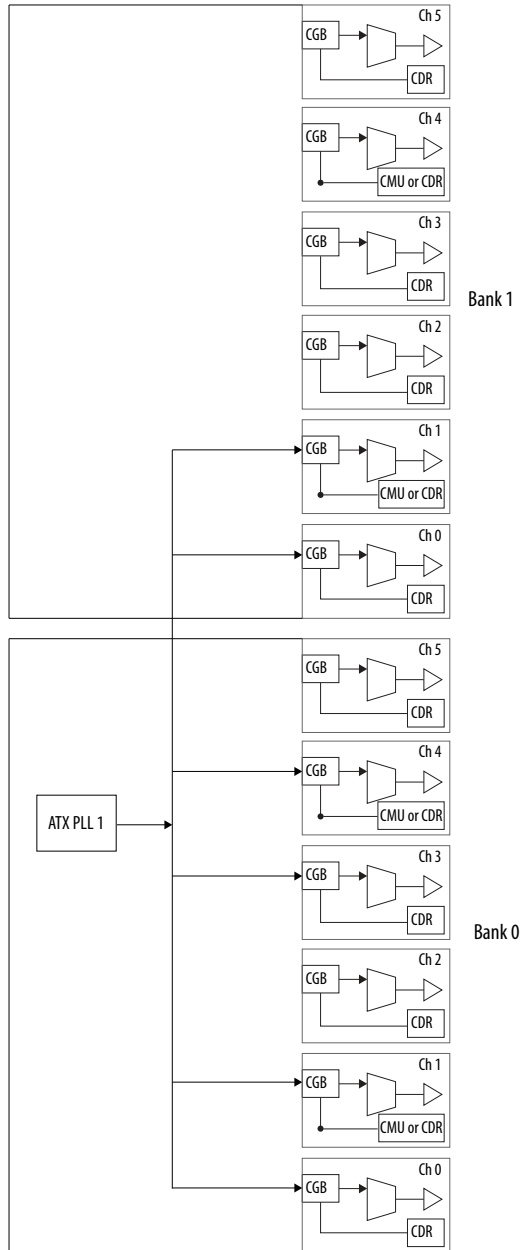
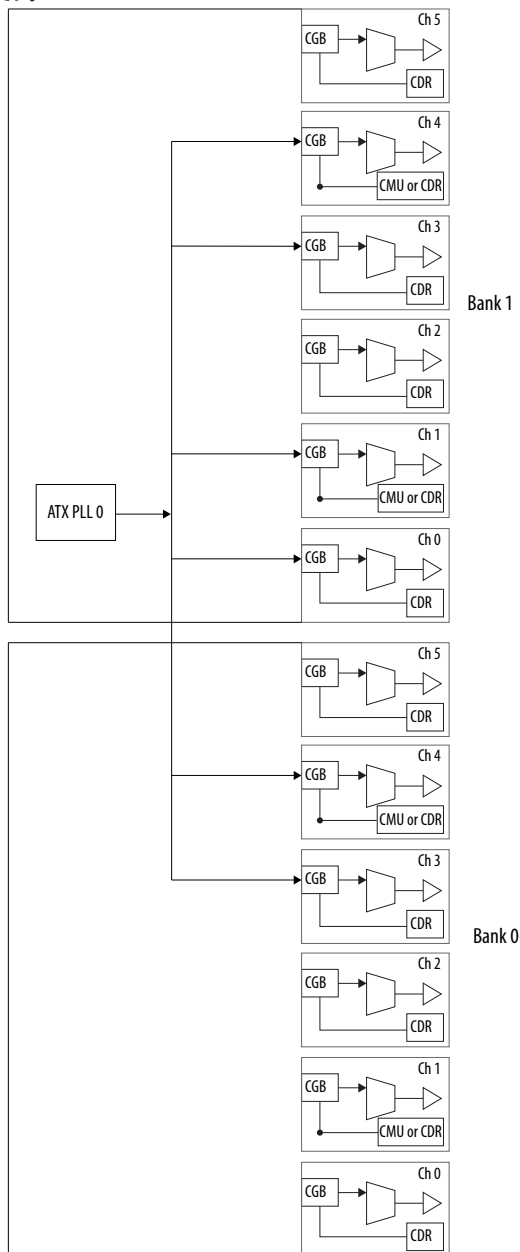


図 -10: 下部 ATX PLL GXT のネットワーク範囲

ATX PLL が下位トリプレット内にある場合、その駆動範囲は、その ATX PLL のバンク内の 4 つの GXT チャンネルすべてと、その下のバンクのチャンネル ch3 および ch4 です。



関連情報

GXT チャンネル (22 ページ)



1.1.4. キャリブレーション

トランシーバーのキャリブレーションは、電源投入時に行われます。OSC_CLK_1 信号は、デバイス・コンフィグレーションおよびトランシーバー・キャリブレーション・ロジックに使用されます。OSC_CLK_1 の駆動は、トランシーバー・タイルを使用する場合、自走 25 MHz、100 MHz、または 125 MHz のクロックソースで行ってください。内蔵 FPGA オシレーターは、トランシーバーのキャリブレーションには使用できません。

クロックソースは、FPGA デバイス・コンフィグレーションでは安定させ、またデバイス動作中も継続して動作させてください。

2. タイル・アーキテクチャーの制約

2.1. トランシーバー・チャンネルの配置

インテル Stratix 10 製品ファミリーでは、トランシーバー・タイルのパリエーションがいくつか導入され、幅広いプロトコル実装をサポートしています。

表 3. チャンネルの種類

合計 24 チャンネルが各タイルで使用可能です。コンフィグレーションは、合計チャンネルが 24 を超えない限りは、GX チャンネルとしても、GX チャンネルと最大 16 の GXT チャンネルの組み合わせとすることもできます。GXT チャンネルは GX チャンネルとして使用可能ですが、GX チャンネルの配置制約がすべて適用されます。

機能	L タイル・トランシーバー	H タイル・トランシーバー	E タイル・トランシーバー	
最大データレート (チップ間)	GX ⁽²⁾ : 17.4 Gbps GXT ⁽²⁾ : 26.6 Gbps	GX : 17.4 Gbps GXT : 28.3 Gbps	GXE : 57.8 Gbps Pulse Amplitude Modulation (PAM-4)	GXE : 28.9 Gbps Non-Return to Zero (NRZ)
最大データレート (バックプレーン)	GX および GXT : 12.5 Gbps			

関連情報

[L-Tile/H-Tile Building Blocks](#)

2.1.1.1. GX チャンネルと GXT チャンネルの可能な組み合わせ

本項では、L タイル ES1 および L タイル/H タイルでの GX チャンネルと GXT チャンネルの可能な組み合わせについて説明します。

関連情報

[GXT チャンネル駆動時の ATX PLL 使用モデル \(31 ページ\)](#)

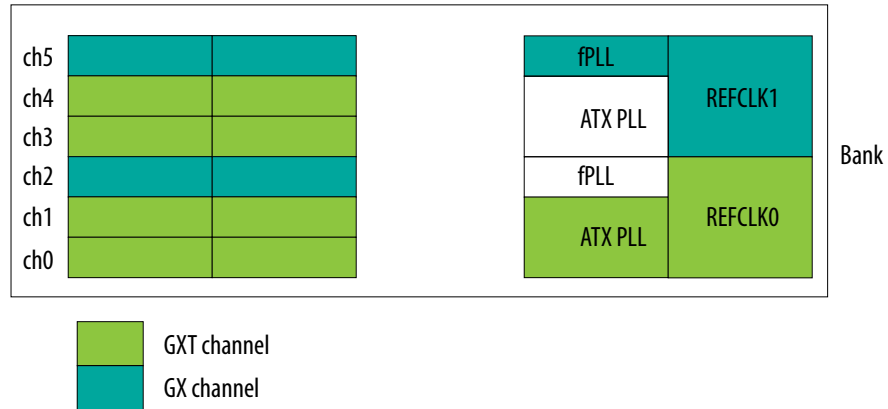
2.1.1.1.1. H タイルでの GX チャンネルと GXT チャンネルの可能な組み合わせ

表 4. 組み合わせ 1 : GXT チャンネル 4 つと GX チャンネル 2 つ

チャンネルの種類	1 バンクあたりのチャンネル数	H タイルのチャンネル性能	
		チップ間	バックプレーン
GX	2	12.5 Gbps	該当なし
GXT ⁽³⁾	4	28.3 Gbps	28.3 Gbps

(2) GX および GXT チャンネルについて詳しくは、「L-Tile/H-Tile Building Blocks」のセクションを参照してください。

図 -11: 組み合わせ 1 の例 : GXT チャンネル 4 つと GX チャンネル 2 つ

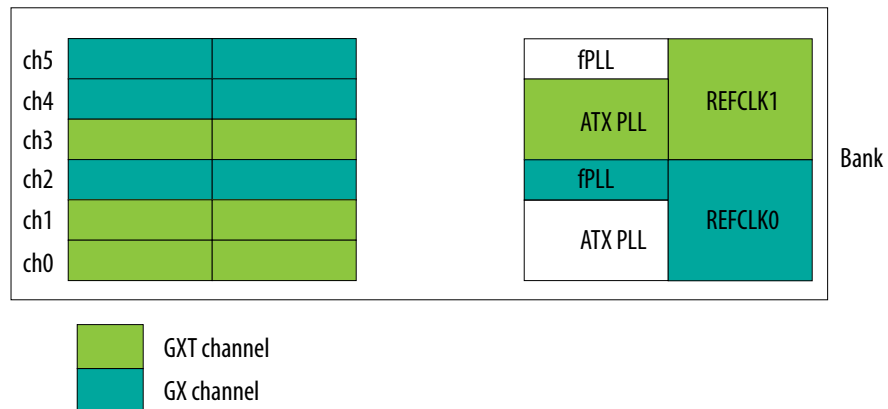


注:
1つのバンクにGXTチャンネルを2つ以上使用する場合、ATX PLLはGXチャンネルに対しては使用できません。

表 5. 組み合わせ 2 : GXT チャンネル 3 つと GX チャンネル 3 つ

チャンネルの種類	1 バンクあたりのチャンネル数	H タイルのチャンネル性能	
		チップ間	バックプレーン
GX	3	12.5 Gbps	該当なし
GXT ⁽³⁾	3	28.3 Gbps	28.3 Gbps

図 -12: 組み合わせ 2 の例 : GXT チャンネル 3 つと GX チャンネル 3 つ



注:
1つのバンクにGXTチャンネルを2つ以上使用する場合、ATX PLLはGXチャンネルに対しては使用できません。

⁽³⁾ GXT チャンネル・データレートを使用する場合、VCCR_GXB および VCCT_GXB 電圧は 1.12 V に設定してください。

表 6. 組み合わせ 3 : GXT チャンネル 2 つと GX チャンネル 4 つ

チャンネルの種類	1バンクあたりのチャンネル数	H タイルのチャンネル性能	
		チップ間	バックプレーン
GX	4	12.5 Gbps	該当なし
GXT ⁽³⁾	2	28.3 Gbps	28.3 Gbps

図 -13: 組み合わせ 3 の例 : GXT チャンネル 2 つと GX チャンネル 4 つ

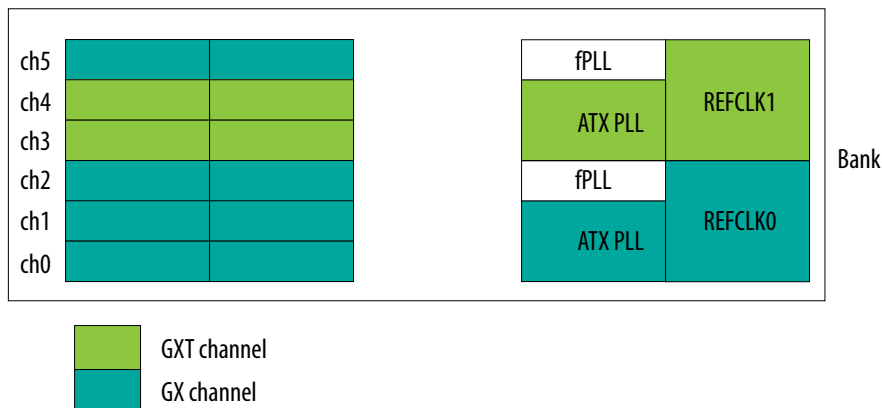
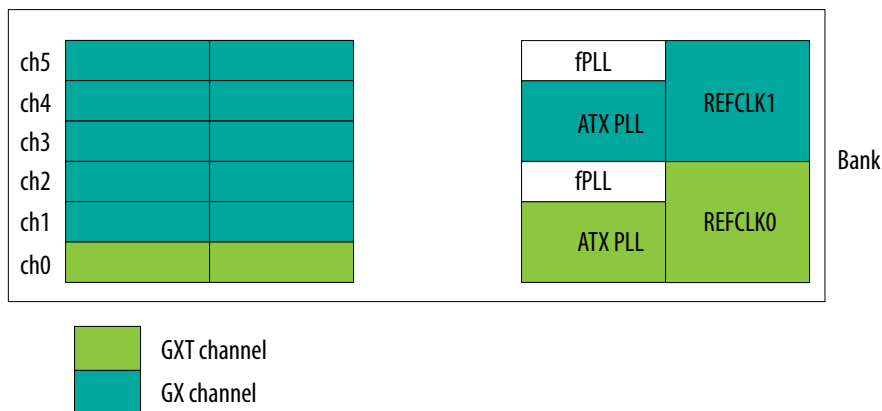


表 7. 組み合わせ 4 : GXT チャンネル 1 つと GX チャンネル 5 つ

チャンネルの種類	1バンクあたりのチャンネル数	H タイルのチャンネル性能	
		チップ間	バックプレーン
GX	5	12.5 Gbps	該当なし
GXT ⁽³⁾	1	28.3 Gbps	28.3 Gbps

図 -14: 組み合わせ 4 の例 : GXT チャンネル 1 つと GX チャンネル 5 つ



注:
単一のGXTチャンネルは、チャンネル位置0、1、3、または4に配置できます。

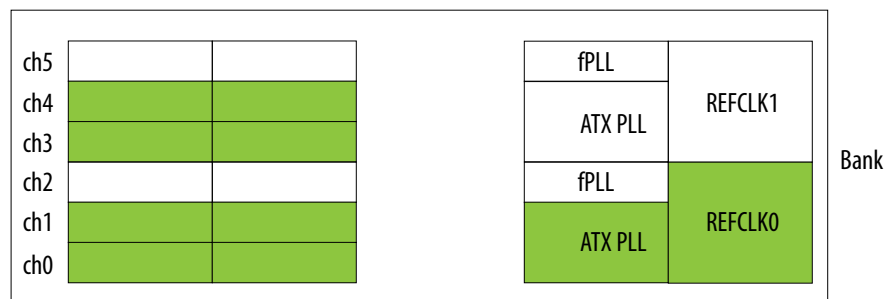
2.1.1.2. L タイル Production での GX チャンネルと GXT チャンネルの可能な組み合わせ

GXT チャンネルがサポートされているのは、バンク GXB1D/H/L、GXB4D/H/L、GXB1F/J/N、GXB4F/J/N のみです。

表 8. 組み合わせ 1 : GXT チャンネル 4 つと GX チャンネル 0

チャンネルの種類	1 バンクあたりのチャンネル数	L タイル Production のチャンネル性能	
		チップ間	バックプレーン
GX	0	該当なし	該当なし
GXT ⁽⁴⁾	4	26.6 Gbps	該当なし

図 -15: 組み合わせ 1 の例 : GXT チャンネル 4 つと GX チャンネル 0



注:

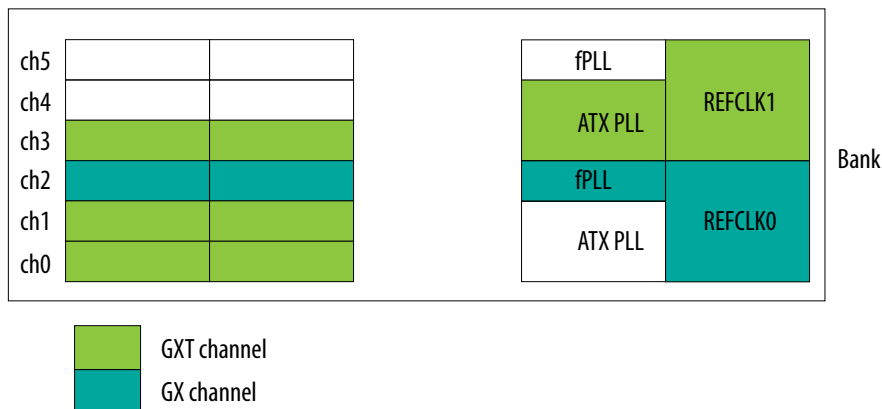
1つのバンクにGXTチャンネルを2つ以上使用する場合、ATX PLLはGXチャンネルに対しては使用できません。

表 9. 組み合わせ 2 : GXT チャンネル 3 つと GX チャンネル 1

チャンネルの種類	1 バンクあたりのチャンネル数	L タイル Production のチャンネル性能	
		チップ間	バックプレーン
GX	1	12.5 Gbps	12.5 Gbps
GXT ⁽⁴⁾	3	26.6 Gbps	該当なし

⁽⁴⁾ GXT チャンネル・データレートを使用する場合、VCCR_GXB および VCCT_GXB 電圧は 1.12 V に設定してください。

図 -16: 組み合わせ 2 の例 : GXT チャンネル 3 つと GX チャンネル 1 つ



注:
1つのバンクにGXTチャンネルを2つ以上使用する場合、ATX PLLはGXチャンネルに対しては使用できません。

表 10. 組み合わせ 3 : GXT チャンネル 2 つと GX チャンネル 2 つ

チャンネルの種類	1バンクあたりのチャンネル数	L タイル Production のチャンネル性能	
		チップ間	バックプレーン
GX	2	12.5 Gbps	12.5 Gbps
GXT ⁽⁴⁾	2	26.6 Gbps	該当なし

図 -17: 組み合わせ 3 の例 : GXT チャンネル 2 つと GX チャンネル 2 つ

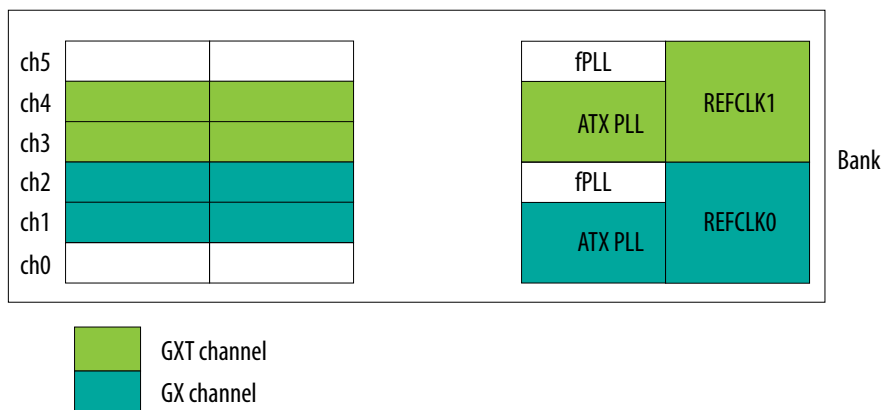
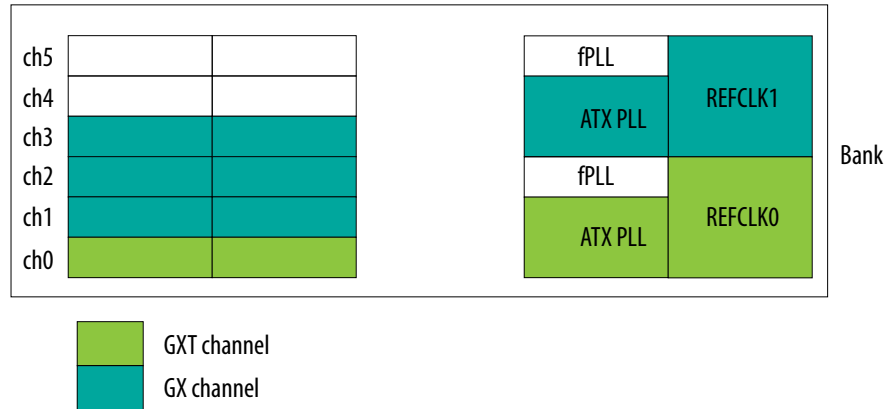


表 11. 組み合わせ 4 : GXT チャンネル 1 つと GX チャンネル 3 つ

チャンネルの種類	1バンクあたりのチャンネル数	L タイル Production のチャンネル性能	
		チップ間	バックプレーン
GX	3	12.5 Gbps	12.5 Gbps
GXT ⁽⁴⁾	1	26.6 Gbps	該当なし

図 -18: 組み合わせ 4 の例 : GXT チャンネル 1 つと GX チャンネル 3 つ



注:
単一のGXTチャンネルは、チャンネル位置0、1、3、または4に配置できます

2.1.2. GX チャンネル

インテル Stratix 10 GX デバイスのトランシーバー・チャンネルでサポートするデータレートは、チップ間アプリケーションでは最大 17.4 Gbps、バックプレーン・アプリケーションでは 12.5 Gbps です。

インテル Stratix 10 トランシーバーのクロッキング・アーキテクチャーでは、結合と非結合のトランシーバー・チャンネル・コンフィギュレーションの両方をサポートします。チャンネル結合を使用する目的は、複数のトランシーバー・チャンネル間のクロックスキューの抑制です。インテル Stratix 10 トランシーバーの場合、結合という用語が指すのは、PMA 結合および PMA-PCS 結合です。

2.1.2.1. 非結合 GX チャンネル

非結合チャンネルの配置は、トランシーバー・タイル内の任意の場所にできます。

個別の PHY IP コア、TX PLL、および REFCLK ソースが各タイルには必要です。これは、トランシーバーが同じデータレートで同じ機能で動作している場合でも当てはまります。

2.1.2.2. 結合 GX チャンネル

複数のトランシーバー・タイルにまたがる結合はサポートされていません。結合チャンネルはすべて、同じトランシーバー・タイル内に配置してください。最大で 24 チャンネルが結合できます。

PMA 結合がイネーブルの場合、チャンネル配置は、トランシーバー・タイル内で隣接させる必要はありません。PMA 結合と PCS 結合の両方がイネーブルの場合、チャンネル配置は、トランシーバー・タイル内で隣接させ、昇順にしてください。



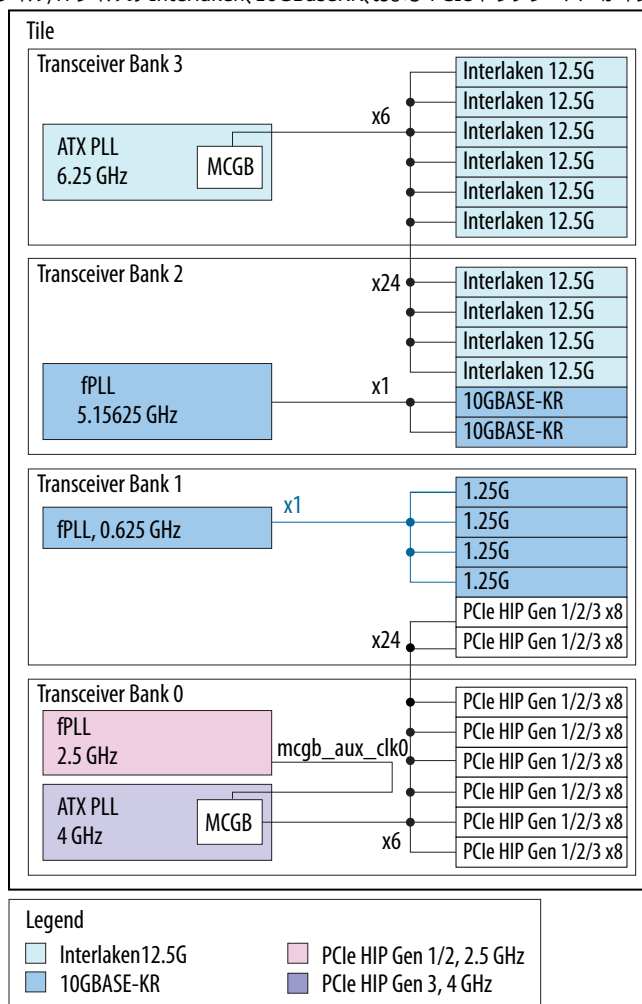
図 -19: x4 コンフィグレーション

下の図で示しているのは、結合チャンネル4つの配置方法です。この場合、論理 PCS Master Channel 番号 2 の指定は、Physical チャンネル 4 にしてください。

	CH5		fPLL		
	CH4	Master CGB	ATX PLL	Transceiver bank 1	
	CH3				
	CH2		fPLL		
	CH1	Master CGB	ATX PLL		
	CH0				
3	CH5	Data CH	fPLL	Transceiver bank 0	
2	CH4	Master CH	Master CGB		ATX PLL
1	CH3	Data CH			
0	CH2	Data CH	fPLL		
	CH1		Master CGB		ATX PLL
	CH0				
Logical Channel		Physical Channel			

図 -20: GX チャンネルデザインの組み合わせ例

インテル Stratix 10 L タイル/H タイルの Interlaken、10GBaseKR、および PCIe トランシーバーがインスタンス化された例です。

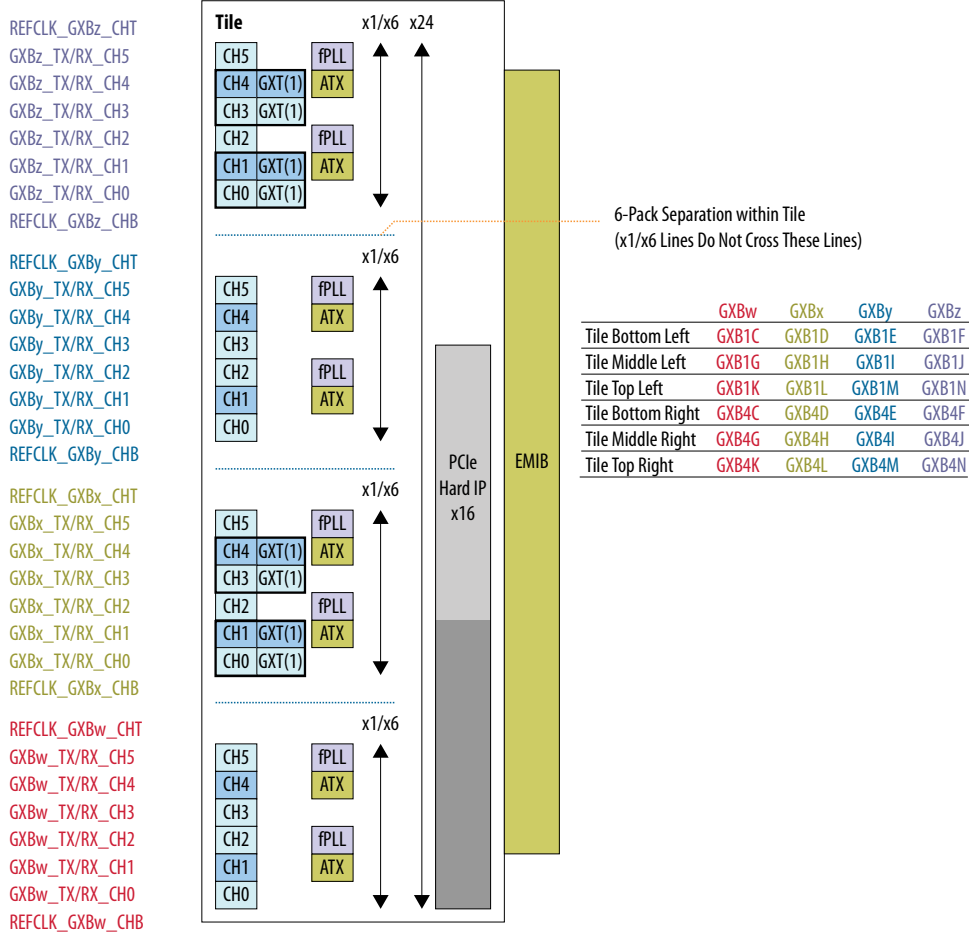


2.1.3. GXT チャンネル

インテル Stratix 10 GXT チャンネルは、L タイル ES2、L タイル Production、および インテル Stratix 10 H タイル・トランシーバーでサポートされています。インテル Stratix 10 L タイル ES1 トランシーバーでは使用できません。

さまざまなチャンネルタイプとそのチャンネルでサポートするデータレートについて詳しくは、「L タイルおよび H タイルの概要」の章の「チャンネルの種類」の表を参照してください。

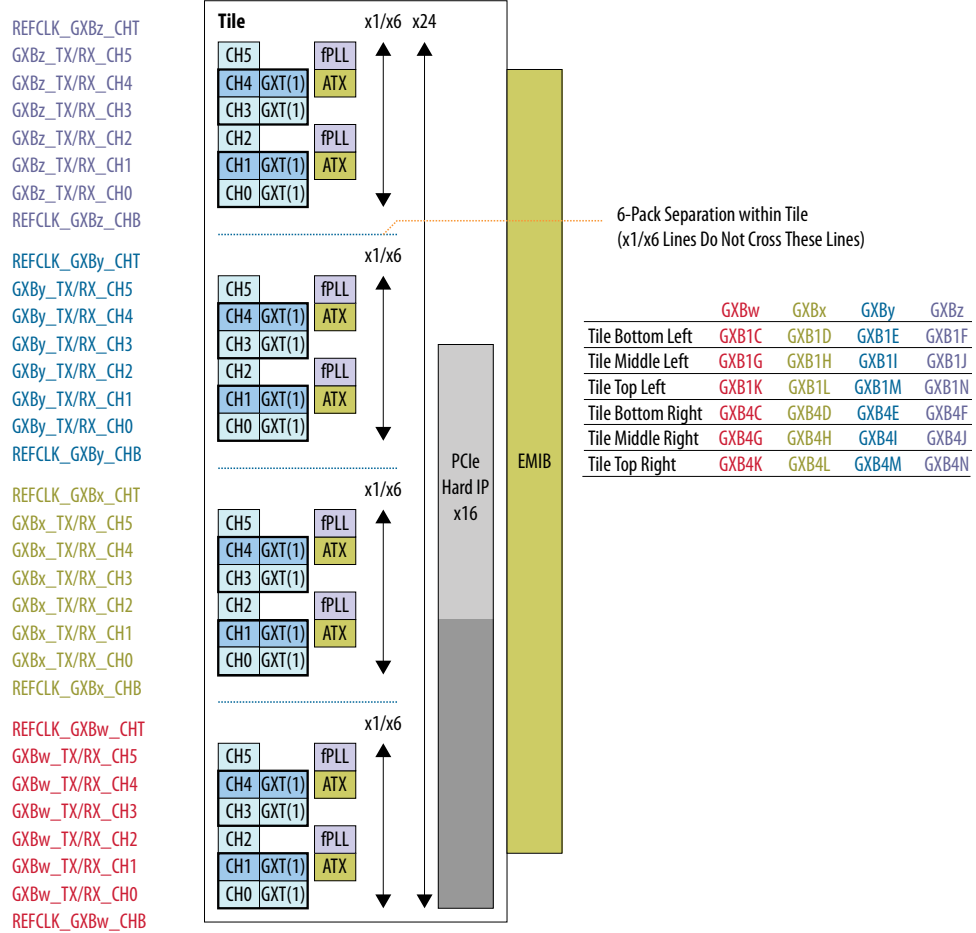
図 -21: インテル Stratix 10 L タイル GXT チャンネルの位置



注:
1. GXTチャンネル機能については、「チャンネルの種類」の表を参照してください。

- Transceiver Channel
- Transceiver Channel and CMU PLL
- PCIe Hard IP x8 Maximum Lanes Supported on EAP and Initial ES

図 -22: インテル Stratix 10 H タイル GXT チャンネルの位置



注:
1. GXTチャンネル機能については、「チャンネルの種類」の表を参照してください。

- Transceiver Channel
- Transceiver Channel and CMU PLL
- PCIe Hard IP x8 Maximum Lanes Supported on EAP and Initial ES



図 -23: L タイルの GXT および GX チャンネルの配置例

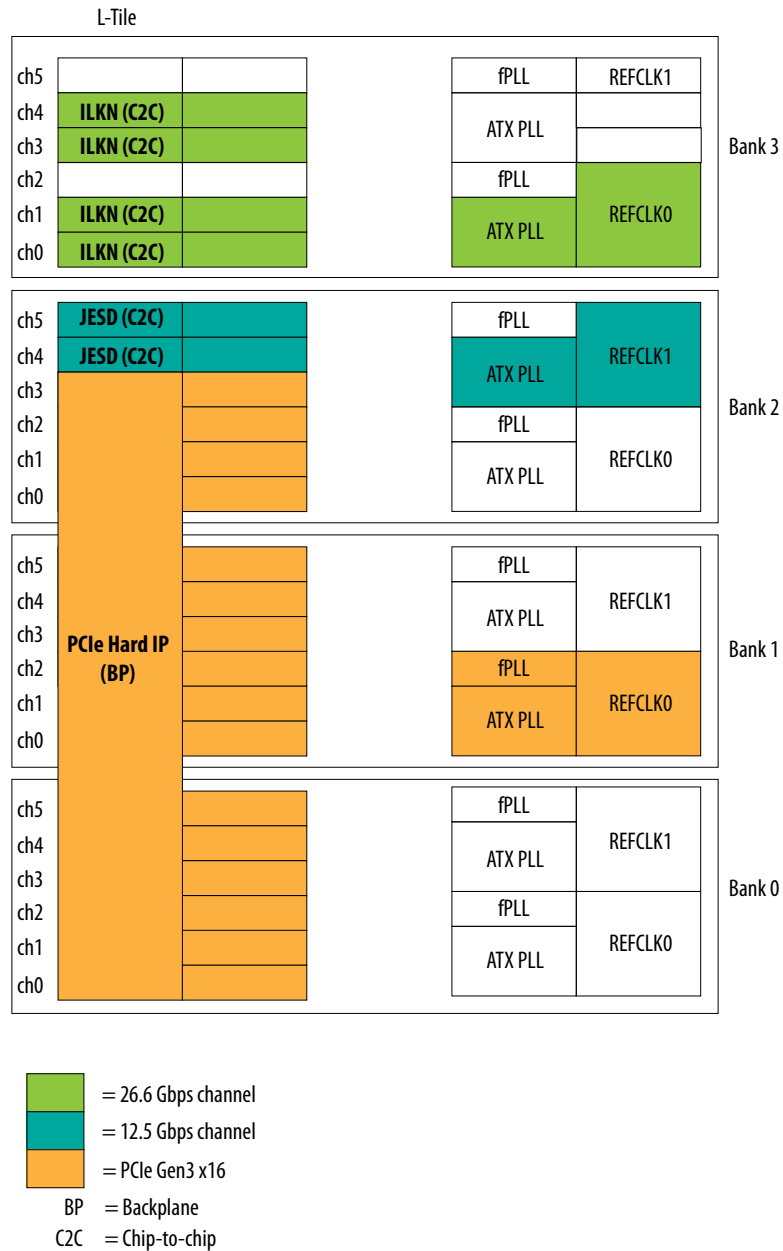


図 -24: H タイルの GXT および GX チャンネルの配置例

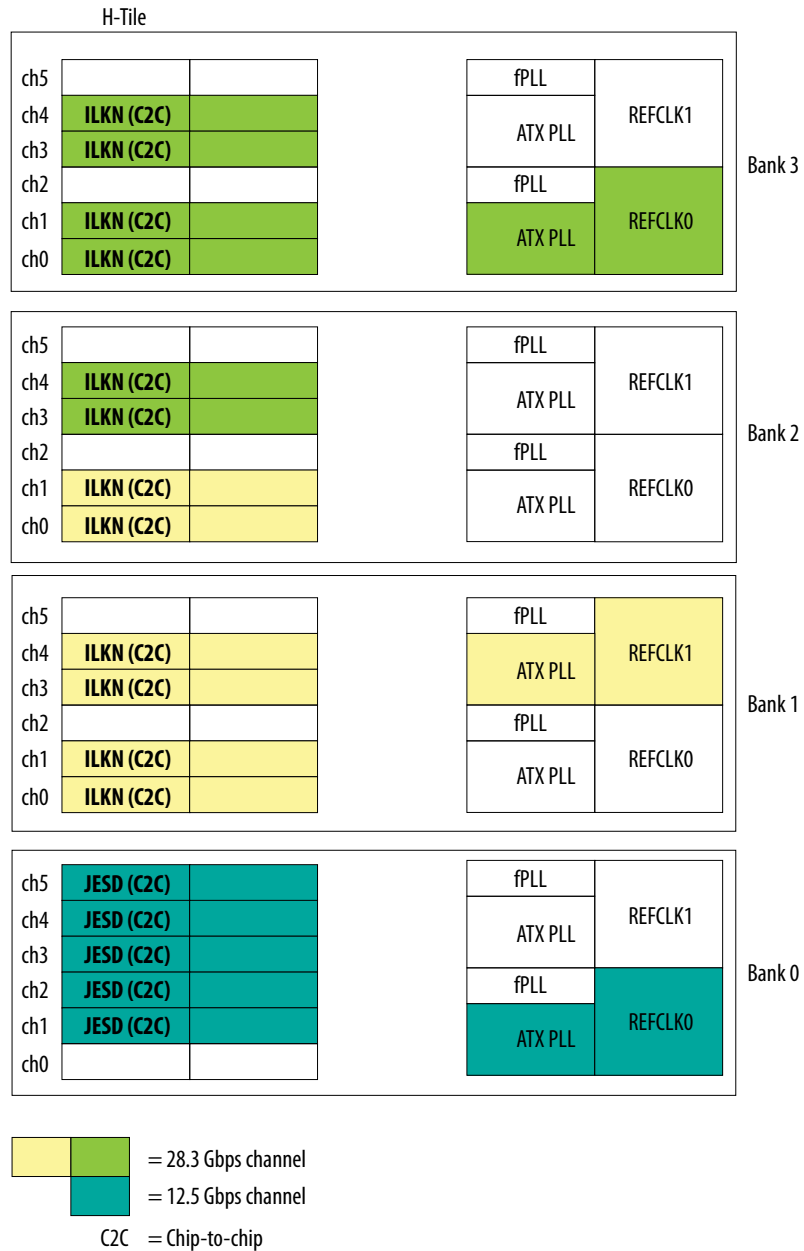
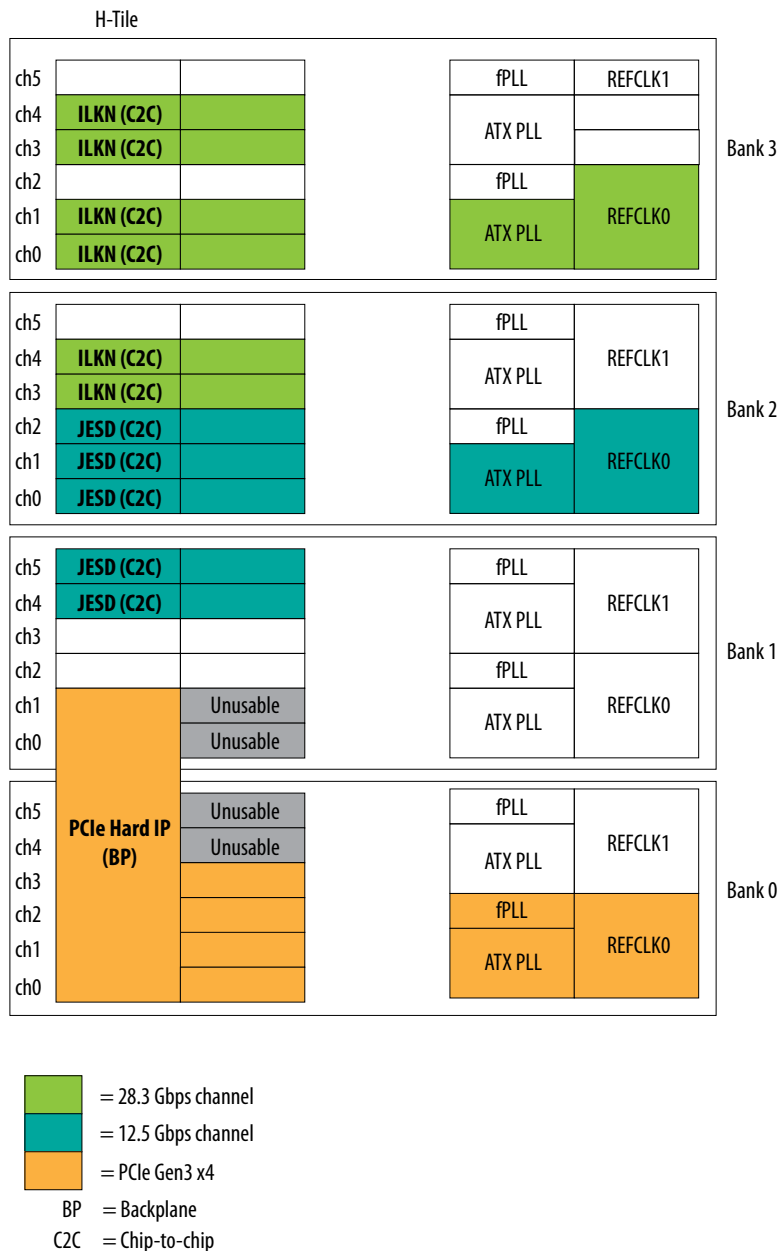


図 -25: H タイルの GXT および GX チャンネルの配置例 (PCIe インターフェイス使用)



性能仕様について詳しくは、インテル *Stratix 10* デバイス・データシートを参照してください。

関連情報

- [L タイルおよび H タイルの概要 \(4 ページ\)](#)
- [インテル Stratix 10 デバイス・データシート](#)

2.1.4. L タイルおよび H タイル用リファレンス・クロックのガイドライン

トランスミッター PLL およびクロック・データ・リカバリー (CDR) ブロックには、入力リファレンス・クロック・ソースが必要です。これは、トランシーバーの動作に必要なクロックを生成するためです。入力リファレンス・クロックは、デバイス起動時に安定状態で自走させ、適切な PLL キャリブレーションを行ってください。

インテル Stratix 10 トランシーバー PLL に備えられている 5 つの可能な入力リファレンス・クロック・ソースは、次のジッター要件により異なります。

- 専用リファレンス・クロック・ピン
- レシーバー入力ピン
- リファレンス・クロック・ネットワーク
- PLL カスケード出力 (fPLL のみ)
- コア・クロック・ネットワーク (fPLL のみ)

注意: 各コア・クロック・ネットワークのリファレンス・クロックピンでは、複数の L/H タイルにある fPLL は駆動できません。

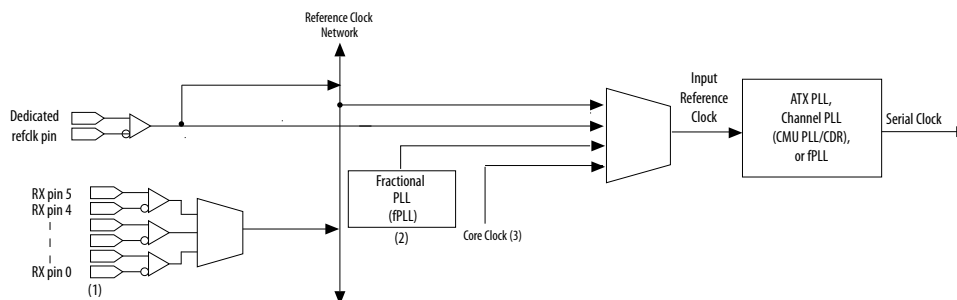
インテルでは、専用リファレンス・クロック・ピンおよびリファレンス・クロック・ネットワークの使用をお勧めしています。これにより、最良のジッター性能を得ることができます。

最良のジッター・パフォーマンスを得るため、インテルでは、リファレンス・クロックの配置は、トランスミッター PLL にできるだけ近い位置にすることをお勧めしています。次のプロトコルでは、リファレンス・クロックの配置は、トランスミッター PLL と同じバンクにすることが必要です。

- OTU2e、OTU2、OC-192、および 10G PON
- 6G および 12G SDI

注意: GXT チャンルの最適なパフォーマンスを得るためには、トランスミッター PLL のリファレンス・クロックは、同じバンクの専用リファレンス・クロック・ピンからのものであることをお勧めします。

図 -26: 入力リファレンス・クロック・ソース



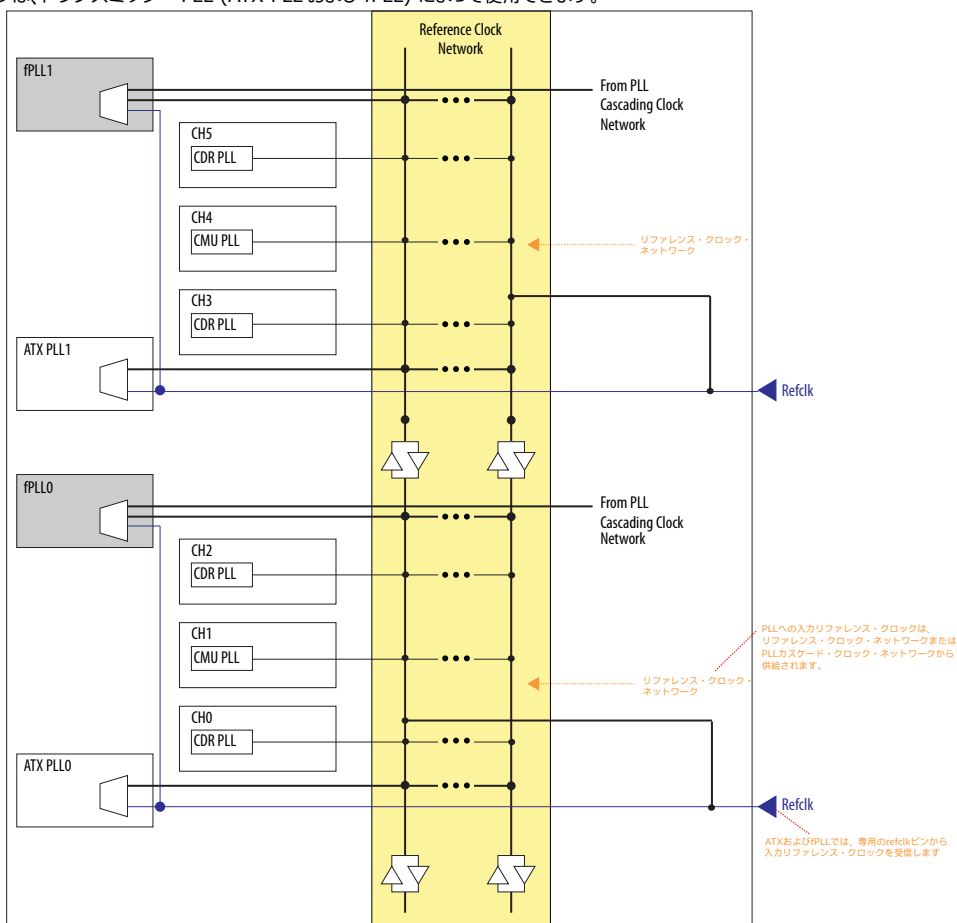
注: (1) 同じバンク内のRXピンはいずれも入力リファレンス・クロックとして使用できます。
 (2) 別のPLLの出力は、PLLカスケード網に入力リファレンス・クロックソースとして使用できます。インテルStratix 10トランシーバーでは、fPLLからfPLLおよびATX PLLからfPLLカスケードをサポートします。PLLカスケードについては詳しくは、「PLL Cascading Clock Network」を参照してください。
 (3) Core ClockはfPLLのみ存在します。

注意: インテル Stratix 10 デバイスでは、FPGA ファブリックのコア・クロック・ネットワークの使用は、fPLL の入力リファレンス・ソースとしてのみ可能です。

入力リファレンス・クロックは作動信号です。インテルでは、専用リファレンス・クロックは、トランスミッター PLLと同じバンクで使用して、最良のジッター・パフォーマンスを得ることをお勧めしています。入力リファレンス・クロックは、デバイス起動時に安定状態で自走させ、適切な PLL 動作および PLL キャリブレーションを行ってください。リファレンス・クロックがデバイス起動時に使用できない場合は、リファレンス・クロックが使用可能になってから PLL の再キャリブレーションを行ってください。

図 -27: 専用リファレンス・クロック・ピンおよびその他のリファレンス・クロック・ソース

インテル Stratix 10 の L タイルおよび H タイルデバイスでは、専用リファレンス・クロック・ピンおよびリファレンス・クロック・ネットワークは、トランスミッター PLL (ATX PLL および fPLL) によって使用できます。



関連情報

- [Input Reference Clock Source](#)
- [Implementing PLL Cascading](#)

2.1.5. PLL の配置

2.1.5.1. ATX PLL の間隔要件

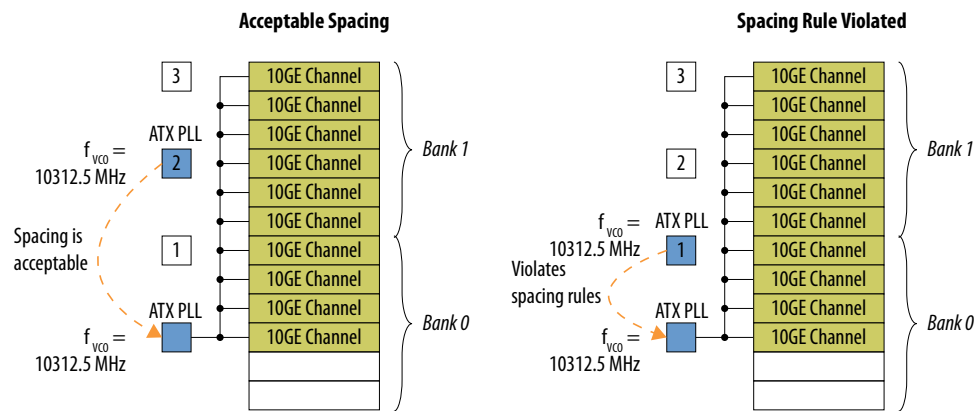
複数の ATX PLL を同じ VCO 周波数またはそれぞれの 100 MHz 以内で動作させて使用する場合は、次の表に示す間隔要件に従ってください。

表 12. ATX PLL の間隔要件

ATX PLL の条件	L タイル ES1	L タイル/H タイル Production
2 つの ATX PLL で PCIe/PIPE (PCI Express 用 PHY インターフェイス) Gen3 用シリアルクロックを提供	4 (PLL3 つをスキップ)	2 (PLL1 つをスキップ)
ATX PLL と ATX PLL の間隔 (PCIe 以外)	VCO 周波数に依存します。詳しくは、「インテル Stratix 10 L-Tile ES1 Transceiver PHY User Guide」を参照してください。	<ul style="list-style-type: none"> データレート > 17.4 Gbps (GXT) の場合はなし ATX PLL2 つが同じバンクにあり、GX チャンネルを駆動している場合：データレート < 17.4 Gbps (GX) の場合、ATX PLL2 つの間隔 (1 つをスキップ) ATX PLL2 つが別々のバンクにあり、GX チャンネルを駆動している場合：なし

ATX PLL の配置制限は、2 つの異なるタイル間にはありません。

図 -28: ATX PLL の配置例



関連情報

Intel Stratix 10 L- and H-Tile Transceiver PHY User Guide

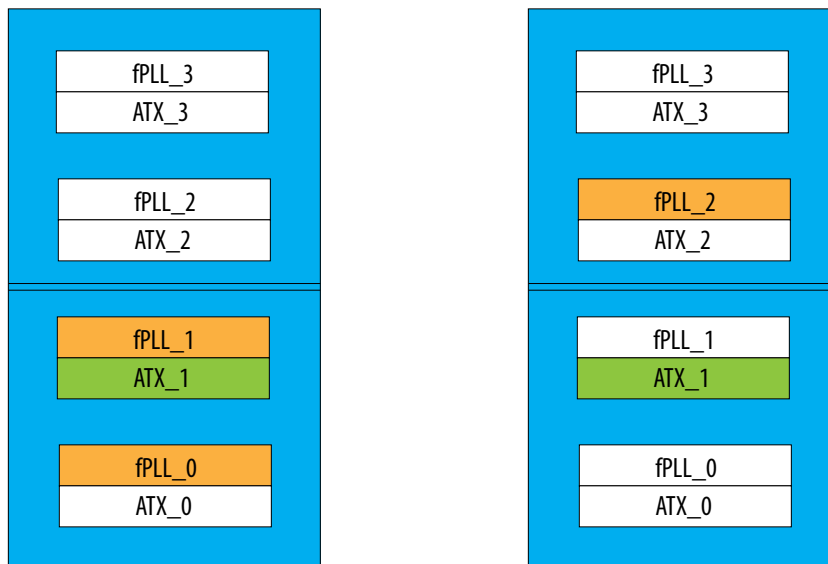
2.1.5.2. ATX PLL と fPLL の間隔要件

表 13. ATX PLL と fPLL の間隔要件

使用する ATX PLL と fPLL が同じ VCO 周波数または 100 MHz 以内で動作する場合は、次の表に示す間隔要件に従ってください。

ATX PLL と fPLL の間隔	間隔要件
ATX PLL と fPLL の間隔	<ul style="list-style-type: none"> 1 ATX PLL をスキップまたは fPLL L counter ≥ 2 の場合はなし

図 -29: ATX PLLとfPLLの配置例



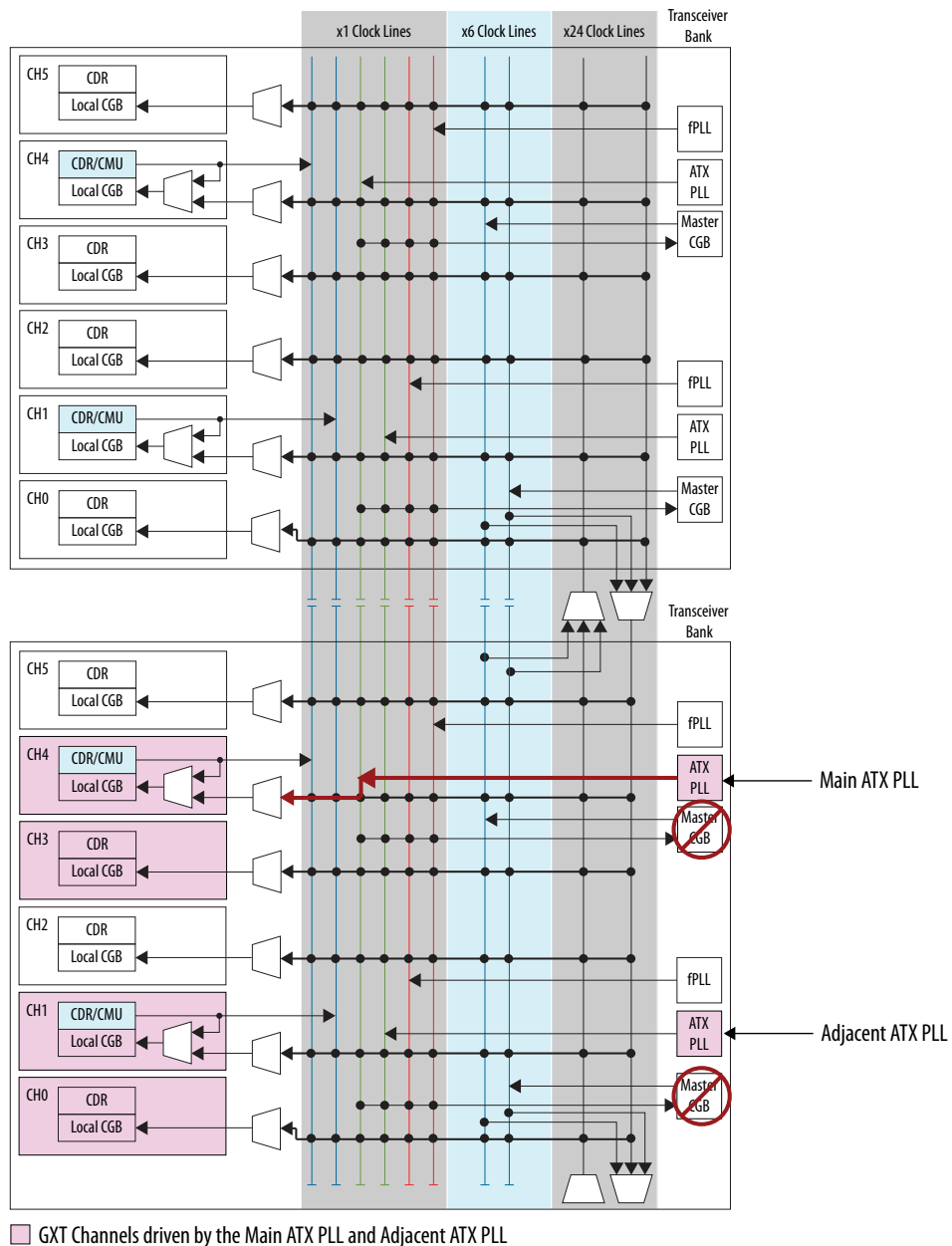
fPLL_0、fPLL1、または両方を
ATX_1と同じVCO周波数で
実行する場合、
この配置は許可されません。

fPLL_2を
ATX_1と同じVCO周波数で
実行する場合、
この配置はOKです。

2.1.5.3. GXT チャンネル駆動時の ATX PLL 使用モデル

- ATX PLL IP のコンフィグレーションが「Main ATX PLL」(Local ATX PLL 出力) として行われている場合、ATX PLL Master Clock Generation Block (MCGB) は使用できません。
- ATX PLL IP のコンフィグレーションが「Adjacent ATX PLL」(ATX PLL 下部/上部からの入力選択) として行われている場合、3 パック内の MCGB は使用できません。
 - Main ATX PLL または Adjacent ATX PLL としての同じ 3 パックでは、fPLL をコンフィグレーションして、x1 クロックラインを駆動することができます。

図 -30: ATX PLL GX および MCGB の制約



関連情報

- [Using the ATX PLL for GXT Channels](#)
- [GXT Implementation Usage Restrictions for ATX PLL GX & MCGB](#)

2.1.5.4. シンプレックス・チャンネルのマージ

次のロジックインスタンスは、単一の物理チャンネルにマージ可能です。

- RX-only PHY および TX-only PHY インスタンス
- CMU PLL および TX-only PHY インスタンス

図 -31: 単純なチャンネルのマージ: RX-only PHY および TX-only PHY

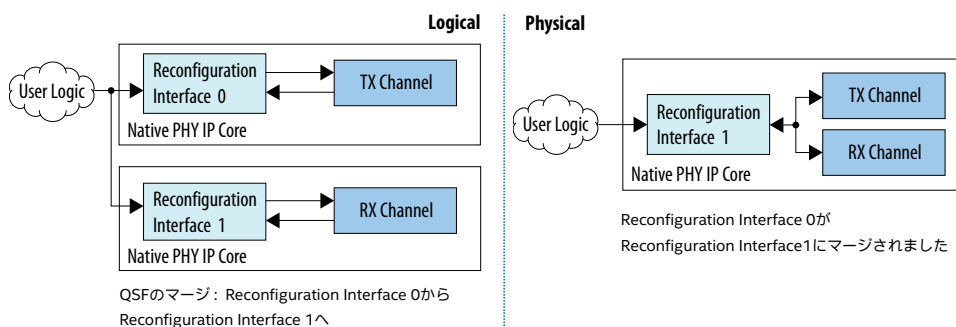
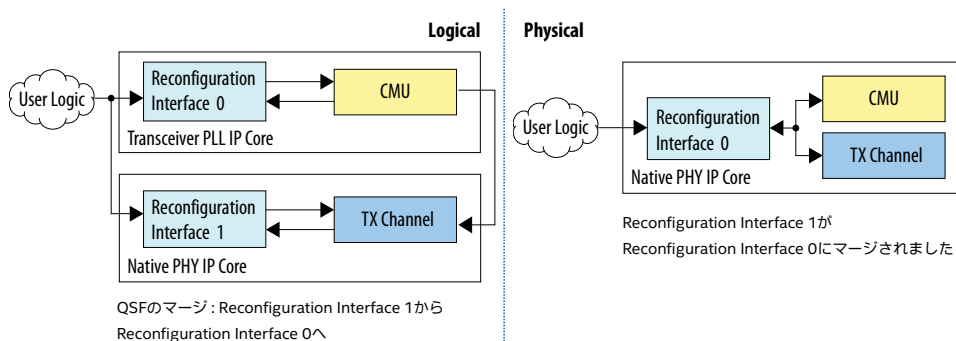


図 -32: チャンネルのマージ: CMU PLL および TX-only PHY インスタンス



マージの規則

- マージする両方のインスタンスのリコンフィグレーション・インターフェイス (reconfig_*) は、同じソースで駆動する必要があります。
- マージする2つのリコンフィグレーション・インターフェイスを指定するには、QSF 割り当てが必要です。
 - オプション 1: リコンフィグレーション・インターフェイス名を使用する
 - ```
set_instance_assignment -name XCVR_RECONFIG_GROUP 0 -to topdesign:topdesign_inst|<TX only instance name>*ct1_hssi_avmm1_if_inst->inst_ct1_xcvr_avmm1
```
    - ```
set_instance_assignment -name XCVR_RECONFIG_GROUP 0 -to topdesign:topdesign_inst|<RX only instance name>*ct1_hssi_avmm1_if_inst->inst_ct1_xcvr_avmm1
```
 - オプション 2: ピン名を使用する
 - ```
set_instance_assignment -name XCVR_RECONFIG_GROUP 1 -to tx[0]
```
    - ```
set_instance_assignment -name XCVR_RECONFIG_GROUP 0 -to rx[0]
```

- 片方もしくは双方のシンプレックス・インスタンスで次のいずれかのオプションがイネーブルされている場合、シンプレックス・チャンネルはマージできません。
 - Altera Debug Master Endpoint (ADME)
 - オプションのリコンフィグレーション・ロジック
 - エンベデッド・リコンフィグレーション・ストリーマー
 - 共有リコンフィグレーション・インターフェイス

関連情報

Reconfiguration Interface and Dynamic Reconfiguration

2.1.5.5. PCIe 使用時の TX PLL の制約

インテルでは、L タイル ES 1/L タイル Production (PIPE) のタイルの残りのチャンネルの駆動は、ATX PLL によって行うことをお勧めしています。これは、4 チャンネル以上の PCIe が Gen 2 または Gen 3 スピードで使用されている場合です。ATX PLL を使用してこのチャンネルを駆動することで、より良いパフォーマンスの達成に役立ちます。インテル Quartus® Prime によって警告が表示されるのは、fPLL が残りのチャンネルの駆動に使用されている場合です。

2.2. サポートされていないダイナミック・リコンフィグレーションの機能

サポートされていないダイナミック・リコンフィグレーションの機能のリストは次の通りです。

- 結合コンフィグレーションから非結合コンフィグレーションへのリコンフィグレーション、またはその逆
- 結合プロトコルから別の結合プロトコルへのリコンフィグレーション
- (ハード IP がある) PCIe から (ハード IP がない) PCIe へのリコンフィグレーション、または非 PCIe 結合プロトコルの切り替え
- マスタークロック生成ブロック (MCGB) のリコンフィグレーション
- 2 つの MCGB 間での切り替え
- 結合チャンネルでのシリアライゼーション・ファクターの変更
- 結合チャンネルでの TX PLL の切り替え

2.3. インテル Stratix 10 L タイル・トランシーバーから H タイル・トランシーバーへのマイグレーション

L タイル・トランシーバーの制約すべては、H タイル・トランシーバーにも適用されます。H タイル・トランシーバーには、L タイル・トランシーバー以外の制約はありません。ただし、GXT チャンネルは例外です。

GXT チャンネルを H タイルで使用する場合は、このタイル上の V_{CCR_GXB} ピンおよび V_{CCT_GXB} ピンの設定は 1.12 V にしてください。

注意: L タイル・トランシーバーから H タイル・トランシーバーへマイグレーションする際は、*Stratix 10 Early Power Estimator (EPE)* ツールを使用して、レギュレーターのサイズを確認してください。

L タイル Production および H タイルのトランシーバーで使用可能な GXT チャンネルの配置制約は、GXT チャンネルの項に記載されています。



関連情報

GXT チャンネル (22 ページ)

2.4. 温度に関するガイドライン

最良の熱性能を達成するには、トランシーバー・タイル内の出力密度を低減させます。高データレート・チャンネルを多数隣接して配置すると、出力密度が高い領域がタイル内に生成されます。次の一般的なガイドラインは、出力密度を最低限に抑えるためのものです。これに従うことで、FPGA に対して、あまり複雑でなく安価な冷却ソリューションが得られます。

最良の熱性能を達成するには、出力密度を低く抑えます。これには、トランシーバー・チャンネルの配置の選択を早期に行います。タイル内でトランシーバー・チャンネルを配置する際は、次のガイドラインに従ってください。

- チャンネル配置はできるだけ広い範囲で行います。
- タイル内のチャンネルがすべて使用されている場合は、低データレートと高データレートのチャンネルを分散させます。
- Pin Planner で見た場合、タイルの中央部分が最良の熱性能を持ち、各タイルの下部と上部がそれに続きます。

最新の インテル Stratix 10 Early Power Estimator (EPE) に含まれている Thermal ワークシートは、サーマル・ソリューション要件に対するトランシーバーの配置による影響を判断するのに役立ちます。ボードデザインの完成前に、インテル Stratix 10 EPE を使用してトランシーバー・チャンネルの配置を分析し、熱対策を最適な状態にしてください。

注意: すべてのトランシーバー・チャンネルの配置が決定した上で、最寄りの FAE にご連絡いただければ、インテルにてボードデザインの熱解析を実行できます。

3. PCIe のガイドライン

3.1. PCIe ハード IP

トランシーパー・タイルごとに 1 つの PCIe ハード IP が使用可能です。

3.1.1. PCIe ハード IP のチャンネル配置

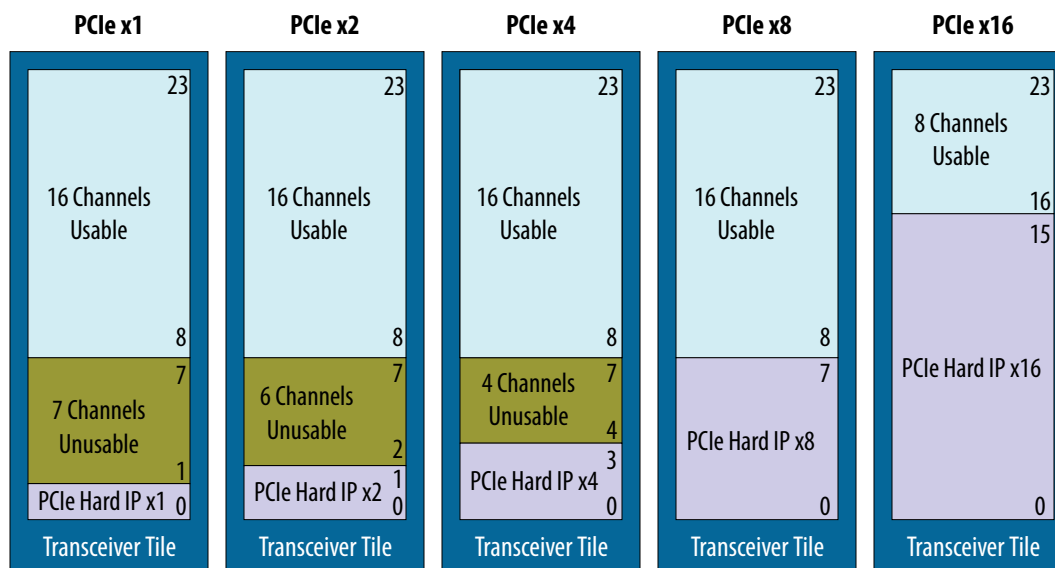
PCIe レーン 0 は、常にトランシーパー・タイルの ch0 にマッピングされます。トランシーパー・タイルの Channel 0 は、Bank 0、Channel 0 です。

PCIe x1、x2、x4、および x8 コンフィグレーションでは、常に合計 8 つのトランシーパー・チャンネルを消費します。

CvP サポート

左下のトランシーパー・タイルのみで、プロトコル経由コンフィグレーション (CvP) をサポートしていません。

図 -33: PCIe x1、X2、x4、x8、および x16 でのトランシーパー・チャンネルの使用



L タイル ES1 および L タイル Production (PIPE のみ) では、トランシーパー・チャンネルの動作データレートが 6.5 Gbps を超え、タイルの共有先が、Gen2 または Gen3 対応かつ 2 レーン (Gen2/3 x4、x8、x16) 以上でコンフィグレーションされたアクティブ PCI Express インターフェイスの場合、ビットエラー (BER) が一時的に観測されることがあります。観測されるのは、PCI Express のレート変更



イベント (PCIe リンク・トレーニングのアップとダウンの両方、例えばリンクダウンやリンク・トレーニングの開始) の実行中です。トランシーバー・チャンネルは、タイルの共有先が Gen1 のみ対応のアクティブ PCI Express インターフェイスの場合は、影響を受けません。

3.1.2. PCIe ハード IP の PLL 配置

PCIe ハード IP のコンフィグレーションが、Gen1/Gen2 対応 IP としてされている場合、fPLL はトランスミッター PLL として使用されます。

PCIe ハード IP のコンフィグレーションが、Gen3 対応 IP としてされている場合、

- fPLL がトランスミッター PLL として使用されるのは、Gen1/Gen2 スピードでの実行時です。
- ATX PLL がトランスミッター PLL として使用されるのは、Gen3 スピードでの実行時です。

図 -34: Gen1 および Gen2 x1/x2/x4/x8 での PLL 配置

fPLL1	PMA Channel 5	PCS Channel 5		
ATXPLL1	PMA Channel 4	PCS Channel 4		
	PMA Channel 3	PCS Channel 3		
fPLL0	PMA Channel 2	PCS Channel 2		
ATXPLL0	PMA Channel 1	PCS Channel 1		
	PMA Channel 0	PCS Channel 0		
fPLL1	PMA Channel 5	PCS Channel 5		
ATXPLL1	PMA Channel 4	PCS Channel 4	Ch 15	PCIe Hard IP
	PMA Channel 3	PCS Channel 3	Ch 14	
fPLL0	PMA Channel 2	PCS Channel 2	Ch 13	
ATXPLL0	PMA Channel 1	PCS Channel 1	Ch 12	
	PMA Channel 0	PCS Channel 0	Ch 11	
fPLL1	PMA Channel 5	PCS Channel 5	Ch 10	
ATXPLL1	PMA Channel 4	PCS Channel 4	Ch 9	
	PMA Channel 3	PCS Channel 3	Ch 8	
fPLL0	PMA Channel 2	PCS Channel 2	Ch 7	
ATXPLL0	PMA Channel 1	PCS Channel 1	Ch 6	
	PMA Channel 0	PCS Channel 0	Ch 5	
fPLL1	PMA Channel 5	PCS Channel 5	Ch 4	
ATXPLL1	PMA Channel 4	PCS Channel 4	Ch 3	
	PMA Channel 3	PCS Channel 3	Ch 2	
fPLL0	PMA Channel 2	PCS Channel 2	Ch 1	
ATXPLL0	PMA Channel 1	PCS Channel 1	Ch 0	
	PMA Channel 0	PCS Channel 0		

HRC connects to fPLL0

図 -35: Gen1 および Gen2 x16 での PLL 配置

fPLL1	PMA Channel 5	PCS Channel 5		
ATXPLL1	PMA Channel 4	PCS Channel 4		
	PMA Channel 3	PCS Channel 3		
fPLLO	PMA Channel 2	PCS Channel 2		
ATXPLLO	PMA Channel 1	PCS Channel 1		
	PMA Channel 0	PCS Channel 0		
fPLL1	PMA Channel 5	PCS Channel 5		
ATXPLL1	PMA Channel 4	PCS Channel 4		
	PMA Channel 3	PCS Channel 3	Ch 15	PCIe Hard IP
fPLLO	PMA Channel 2	PCS Channel 2	Ch 14	
ATXPLLO	PMA Channel 1	PCS Channel 1	Ch 13	
	PMA Channel 0	PCS Channel 0	Ch 12	
fPLL1	PMA Channel 5	PCS Channel 5	Ch 11	
ATXPLL1	PMA Channel 4	PCS Channel 4	Ch 10	
	PMA Channel 3	PCS Channel 3	Ch 9	
fPLLO	PMA Channel 2	PCS Channel 2	Ch 8	
ATXPLLO	PMA Channel 1	PCS Channel 1	Ch 7	
	PMA Channel 0	PCS Channel 0	Ch 6	
fPLL1	PMA Channel 5	PCS Channel 5	Ch 5	
ATXPLL1	PMA Channel 4	PCS Channel 4	Ch 4	
	PMA Channel 3	PCS Channel 3	Ch 3	
fPLLO	PMA Channel 2	PCS Channel 2	Ch 2	
ATXPLLO	PMA Channel 1	PCS Channel 1	Ch 1	
	PMA Channel 0	PCS Channel 0	Ch 0	

HRC connects to fPLLO middle transceiver bank



図 -36: Gen3 x1/x2/x4/x8 での PLL 配置

fPLL1	PMA Channel 5	PCS Channel 5			
ATXPLL1	PMA Channel 4	PCS Channel 4			
	PMA Channel 3	PCS Channel 3			
fPLL0	PMA Channel 2	PCS Channel 2			
ATXPLL0	PMA Channel 1	PCS Channel 1			
	PMA Channel 0	PCS Channel 0			
fPLL1	PMA Channel 5	PCS Channel 5			
ATXPLL1	PMA Channel 4	PCS Channel 4	Ch 15	PCIe Hard IP	
	PMA Channel 3	PCS Channel 3	Ch 14		
fPLL0	PMA Channel 2	PCS Channel 2	Ch 13		
ATXPLL0	PMA Channel 1	PCS Channel 1	Ch 12		
	PMA Channel 0	PCS Channel 0	Ch 11		
fPLL1	PMA Channel 5	PCS Channel 5	Ch 10		
ATXPLL1	PMA Channel 4	PCS Channel 4	Ch 9		
	PMA Channel 3	PCS Channel 3	Ch 8		
fPLL0	PMA Channel 2	PCS Channel 2	Ch 7		
ATXPLL0	PMA Channel 1	PCS Channel 1	Ch 6		
	PMA Channel 0	PCS Channel 0	Ch 5		
fPLL1	PMA Channel 5	PCS Channel 5	Ch 4		
ATXPLL1	PMA Channel 4	PCS Channel 4	Ch 3		HRC connects to fPLL0 & ATXPLL0
	PMA Channel 3	PCS Channel 3	Ch 2		
fPLL0	PMA Channel 2	PCS Channel 2	Ch 1		
ATXPLL0 (Gen3)	PMA Channel 1	PCS Channel 1	Ch 0		
	PMA Channel 0	PCS Channel 0			

図 -37: Gen3 x16 での PLL 配置

fPLL1	PMA Channel 5	PCS Channel 5		
ATXPLL1	PMA Channel 4	PCS Channel 4		
	PMA Channel 3	PCS Channel 3		
fPLL0	PMA Channel 2	PCS Channel 2		
ATXPLL0	PMA Channel 1	PCS Channel 1		
	PMA Channel 0	PCS Channel 0		
fPLL1	PMA Channel 5	PCS Channel 5		
ATXPLL1	PMA Channel 4	PCS Channel 4	Ch 15	PCIe Hard IP
	PMA Channel 3	PCS Channel 3		
fPLL0	PMA Channel 2	PCS Channel 2	Ch 14	
ATXPLL0	PMA Channel 1	PCS Channel 1	Ch 13	
	PMA Channel 0	PCS Channel 0	Ch 12	
fPLL1	PMA Channel 5	PCS Channel 5	Ch 11	
ATXPLL1	PMA Channel 4	PCS Channel 4	Ch 10	
	PMA Channel 3	PCS Channel 3	Ch 9	
fPLL0	PMA Channel 2	PCS Channel 2	Ch 8	
ATXPLL0 (Gen3)	PMA Channel 1	PCS Channel 1	Ch 7	
	PMA Channel 0	PCS Channel 0	Ch 6	
fPLL1	PMA Channel 5	PCS Channel 5	Ch 5	
ATXPLL1	PMA Channel 4	PCS Channel 4	Ch 4	
	PMA Channel 3	PCS Channel 3	Ch 3	
fPLL0	PMA Channel 2	PCS Channel 2	Ch 2	
ATXPLL0	PMA Channel 1	PCS Channel 1	Ch 1	
	PMA Channel 0	PCS Channel 0	Ch 0	

PCIe 使用時の TX PLL ガイドライン

1. L タイル ES1 のタイルの残りのチャンネルの駆動には、ATX PLL の使用をお勧めします。これは、4 チャンネル以上の PCIe を Gen2 または Gen3 スピードで使用している場合です。ATX PLL を使用してこのチャンネルを駆動することで、より良いパフォーマンスを達成できます。インテル Quartus Prime によって警告が表示されるのは、fPLL が残りのチャンネルの駆動に使用されている場合です。

表 14. PCIe 使用時の TX PLL ガイドライン

PCIe CONFIG	残りのチャンネル向けの推奨される PLL 選択
PCIe GEN 1 (すべてのレーン幅)	任意の PLL
PCIe GEN 2 (x4, x8, x16)	ATX PLL ⁽⁵⁾
PCIe GEN 3 (x4, x8, x16)	ATX PLL ⁽⁵⁾

2. PIPE インターフェイスと PCIe ハード IP のインスタンス化を同じトランシーバー・タイルで行う場合、ATX PLL と ATX-fPLL の間隔規則に注意してください。詳しくは、PLL の配置の項を参照してください。

関連情報

[PLL の配置 \(29 ページ\)](#)

⁽⁵⁾ Quartus 開発ソフトウェアによって警告が表示されるのは、ATX PLL の代わりに fPLL が使用されている場合です。



3.2. PHY Interface for PCIe Express (PIPE)

PIPE を使用するの、柔軟なチャンネル配置を希望する場合や、インテル Stratix 10 PCIe PHY とのインターフェイス接続に既存のサードパーティー製 PCIe IP を使用する場合は、

3.2.1. PIPE のチャンネル配置

L タイル ES1 および L タイル Production (PIPE のみ) では、トランシーバー・チャンネルの動作データレートが 6.5 Gbps を超え、タイルの共有先が、Gen2 または Gen3 対応かつ 2 レーン (Gen2/3 x4, x8, x16) 以上でコンフィギュレーションされたアクティブ PCI Express インターフェイスの場合、ビットエラー (BER) が一時的に観測されることがあります。観測されるのは、PCI Express のレート変更イベント (PCIe リンク・トレーニングのアップとダウンの両方、例えばリンクダウンやリンク・トレーニングの開始) の実行中です。トランシーバー・チャンネルは、タイルの共有先が Gen1 のみ対応のアクティブ PCI Express インターフェイスの場合は、影響を受けません。

これは、L タイル ES1 および L タイル Production (PIPE のみ) に適用されます。

PIPE のチャンネル配置について詳しくは、「インテル Stratix 10 Transceiver PHY User Guide」の「How to place channels for PIPE configurations」の項を参照してください。

関連情報

[How to Place Channels for PIPE Configurations](#)

3.2.2. PIPE の PLL 配置

PIPE インターフェイスと PCIe ハード IP のインスタンス化を同じトランシーバー・タイルで行う場合、ATX PLL と ATX-fPLL の間隔規則に注意してください。詳しくは、PLL の配置の項を参照してください。

PCIe 使用時の TX PLL ガイドライン

1. インテルでは、L タイル ES1/L タイル Production のタイルの残りのチャンネルの駆動には、ATX PLL の使用をお勧めします。これは、4 チャンネル以上の PCIe を Gen2 または Gen3 スピードで使用している場合です。ATX PLL を使用してこのチャンネルを駆動することで、より良いパフォーマンスを達成できます。インテル Quartus Prime によって警告が表示されるのは、fPLL が残りのチャンネルの駆動に使用されている場合です。

表 15. PCIe 使用時の TX PLL ガイドライン

PCIe CONFIG	残りのチャンネル向けの推奨される PLL 選択
PCIe GEN 1 (すべてのレーン幅)	任意の PLL
PCIe GEN 2 (x4, x8, x16)	ATX PLL ⁽⁶⁾
PCIe GEN 3 (x4, x8, x16)	ATX PLL ⁽⁶⁾

2. PIPE の PLL 配置についての詳細は、「インテル Stratix 10 Transceiver PHY User Guide」の「How to Connect TX PLLs for PIPE Gen1, Gen2, and Gen3 Modes」の項を参照してください。

(6) Quartus 開発ソフトウェアによって警告が表示されるのは、ATX PLL の代わりに fPLL が使用されている場合です。



関連情報

- [PLL の配置 \(29 ページ\)](#)
- [How to Connect TX PLLs for PIPE Gen1, Gen2, and Gen3 Modes](#)

4. AN 778: インテル Stratix 10 トランシーバー ユーザーガイド 改訂履歴

ドキュメント・バージョン	変更内容
2019.03.07	次の変更を行いました。 <ul style="list-style-type: none"> Non-Return to Zero (NRZ) のデータレートを 28.9 Gbps に変更しました。
2018.07.13	次の変更を行いました。 <ul style="list-style-type: none"> 「ATX PLL のブロック図」を更新して、アップストリーム PLL からのカスケード入力がサポートされていないことを明記しました。 「この組み合わせは、バンク GXB1D/H/L, GXB4D/H/L, GXB1F/J/N, GXB4F/J/N でのみサポートされています。」の注記を L タイル Production での GX チャンネルと GXT チャンネルの可能な組み合わせに追記しました。
2017.11.06	次の変更を行いました。 <ul style="list-style-type: none"> 新たに「インテル Stratix 10 インテル Stratix 10 L タイル ES2 Production GXT チャンネル配置」の図を追加しました。 「チャンネルの種類」を更新して、L タイルチャンネルを含めました。 「ATX PLL の間隔規則」の表と「ATX PLL-fPLL の間隔規則」の表を更新しました。 「温度に関するガイドライン」の項を更新しました。 「GX チャンネルデザインの組み合わせ例」の図で次の内容を変更しました。 <ul style="list-style-type: none"> PCIe Gen 1/2/3 x8 を PCIe HIP Gen 1/2/3x8 に変更しました。 PCIe Gen 1/2, 2.5 GHz を PCIe HIP Gen 1/2, 2.5 GHz に変更しました。 PCIe Gen 3, 4 GHz を PCIe HIP Gen 3, 4 GHz に変更しました。 「PCIe x16 使用時の TX PLL の制約」の説明を更新しました。 「PCIe ハード IP の配置」の説明を更新しました。 PCIe/PIPE Gen3 で 1 つ以上のチャンネルがバンクで使用される場合の制約について記載しました。 「PIPE コンフィグレーションにおけるチャンネルの配置方法」の手順を更新しました。 「PIPE コンフィグレーション向け論理 PCS Master Channel」の表で PCS Master Channel 番号の値を 1 から 0 に変更しました。 「各コア・クロック・ネットワークのリファレンス・クロック・ピンでは、複数の L/H タイルにある fPLL は駆動できません。」の注記を追加しました。 新たに「x4 コンフィグレーション」の図を「結合 GX チャンネル」の項に追加して、昇順のチャンネル配置について説明しました。
2017.01.13	次の変更を行いました。 <ul style="list-style-type: none"> 新しい項を追加しました。「ATX PLL GXT チャンネルの配置」
2016.12.19	次の変更を行いました。 <ul style="list-style-type: none"> ATX PLL の間隔要件を明確にし、その内容を「ATX PLL の間隔規則」の表に一覧表示しました。
2016.09.20	初版

Intel Corporation. 無断での引用、転載を禁じます。Intel, インテル, Intel ロゴ, Altera, ARRIA, CYCLONE, ENPIRION, MAX, NIOS, QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。