



電力を考慮した Stratix 10 デバイスの設計

AN-767
2016.06.14



目次

1 電力を考慮した Stratix 10 デバイスの設計.....	3
1.1 電力最適化の手法および推奨.....	3
1.2 リソース使用率での電力見積もり.....	6
改訂履歴.....	8



1 電力を考慮した Stratix 10 デバイスの設計

Stratix[®] 10 デバイスは、SmartVID や使用されていないブロックのパワー・ゲーティング、低消費電力トランシーバー、低電圧デバイス、および低スタティック電力のデバイスなどの電力削減において高度な機能を提供します。

さらに、Stratix 10 デバイスは、業界をリードするインテルの 14 nm プロセスの Tri-Gate (トライゲート) で開発された唯一の高性能 FPGA およびプログラマブルな SoC であり、前世代と比較して最大 70% の消費電力の低減を実現します。

このアプリケーション・ノートは、Stratix 10 FPGA でデザインをする際に実装できる電力最適化ストラテジーに重点を置いて説明しています。また、さまざまな設計シナリオで使用されるリソースでの消費電力の統計も紹介しています。

1.1 電力最適化の手法および推奨

電源オプションでのデバイス

パート番号にあるスピードグレードの後ろの接尾は、Stratix 10 デバイスで提供される電源オプションです。

- V—SmartVID
- L—低電力 (固定電圧)
- X—超低電力 (固定電圧)

L デバイスは 0.85V の固定電圧で、低スタティック電力でピンングされます。これらはスピードグレード 2 です。

X デバイスは 0.8V の固定電力で、最も低いスタティック電力でピンングされます。これらはスピードグレード 3 のデバイスです。

SmartVID デバイスは「標準」のスタティック電力です。これらはスピードグレード 1、2 および 3 のデバイスです。

SmartVID

SmartVID 機能は、電圧適応を利用してプロセス分散を狭めることで、プロセス・バリエーションを補います。一定電圧の代わりに、SmartVID 対応のデバイスは性能の目標を達成すると同時に、最適な電力を得るためにデバイスの電圧を臨機応変に調整します。節電するには、仕様を満たす要件を上回る性能のデバイスの電圧を低下させます。

SmartVID は、特定のデバイス・スピードグレードの性能を維持しながら、電源レギュレーターが Stratix 10 デバイスにより低い V_{CC} および V_{CCP} 電圧レベルを供給することができます。SmartVID を使用している場合、Stratix 10 デバイスは V_{CC} と V_{CCP} の両方のデフォルト電圧レベルまでパワーアップする必要があります。Stratix 10 デバイスの VID 値が決定し、外部電圧レギュレーターに伝播

された後、 V_{CC} と V_{CCP} の両電圧は VID 値に基づいて調整されます。SmartVID 電圧は 10mV 単位で、0.8V ~ 0.94V の間で変動します。より詳しくは、*Stratix 10 Power Management User Guide* を参照してください。

DSP パワー・ゲーティング

Stratix 10 デバイスは、DSP ブロックでのスタティック・パワー・ゲーティングをサポートしているため、DSP ブロックが使用されていない場合はスタティック消費電力が削減されます。Quartus® Prime 開発ソフトウェアは、未使用の DSP ブロックでのスタティック・パワー・ゲーティングを自動的に定式化します。DSP ブロックのパワー・ゲーティングは、Configuration RAM (CRAM) ビットを介してイネーブルされます。

また、Stratix 10 デバイスは DSP のパーシャル・リコンフィグレーションもサポートしています。Quartus Prime 開発ソフトウェアは、パーシャル・リコンフィグレーション時に必要に応じて DSP ブロックに電源投入するビットストリームを生成します。

インテルは、内蔵 DSP レジスターを使用した電力削減の最適化を可能な限り推奨しています。内蔵 DSP レジスターを使用したデザインと内蔵していない DSP レジスターを使用したさまざまな設計の調査では、50% の消費電力の削減を実現しました。

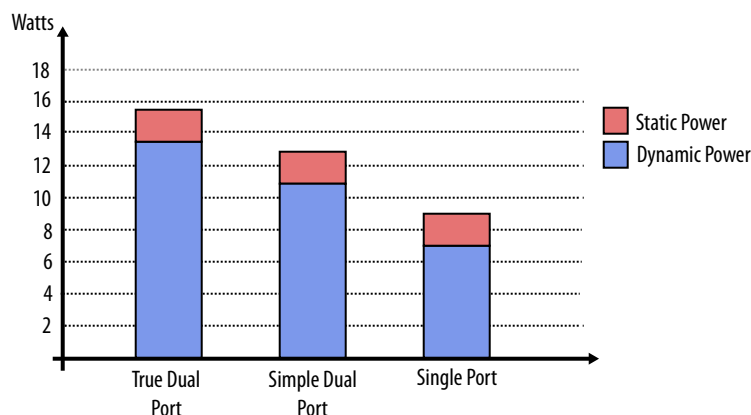
M20K パワー・ゲーティング

Stratix 10 M20K メモリーブロックはスタティック・パワーゲートすることもできます。各メモリアレイの半分は、それらに電源供給する PMOS スリープデバイスを介してパワーダウンすることができます。Quartus Prime 開発ソフトウェアは、この機能により未使用のメモリアレイへの電源供給をシャットダウンします。

Quartus Prime 開発ソフトウェアは、パーシャル・リコンフィグレーション中に必要に応じて M20K メモリーブロックをパワーアップするビットストリームを生成します。

M20K ブロックのモードはその消費電力に影響を与える場合があります。下の図で示すように、メモリーブロックの同じ番号 (8500 M20K ブロック) とトグルレート (40%) では、消費電力はそれぞれのメモリータイプによって異なります。

図 -1: 異なるコンフィグレーションでの M20K の消費電力の比較





クロック・ゲーティング

クロック・ゲーティングはダイナミック消費電力を削減することができます。アプリケーションがアイドル状態の場合、そのクロックは一時的にゲートされ、ウェイクアップ・イベントに基づいてゲートされません。各デザイン要件に応じて、非アクティブと判断された回路にクロック信号をゲートすることにより、ダイナミック消費電力の削減が実現できます。クロック・ゲーティングは、次のレベルで実行することができます。

- **Root Clock Gate**

各 I/O バンクとトランシーバー・バンクごとに 1 つのルート・クロック・ゲートがあります。このゲートはペリフェリー DCM (分配クロック・マルチプレクサー) の一部であり、クロックバッファの近くに配置されています。Stratix 10 のルート・クロック・ゲートは高い挿入遅延が許容されるクロック・ゲーティングのシナリオが制限されていることを想定しています。ルート・クロック・ゲートをイネーブルにする際、クロックゲートの挿入と出力クロック信号の対応する変化の間いくつかのクロックサイクルの遅延が予想されます。高いクロック周波数では、SCLK (セクタークロック) ゲーティングを使用してください。詳しくは、*Stratix 10 Clocking and PLL User Guide* を参照してください。

- **Sector Clock Gate**

すべての Stratix 10 FPGA はセクターに分かれています。各セクターはより柔軟性を提供する独自のクロック・ネットワークを備えています。セクター・クロック・ゲーティングは SCLK マルチプレクサー・レベルで実行されます。デバイスの各セクターには、32 個の SCLK があります。各 SCLK は、クロックゲートとバイパス可能なクロックゲート・パスがあります。SCLK ゲートは、コアロジックからのクロックイネーブル入力により制御されています。Quartus Prime 開発ソフトウェアはセクター内の 32 個の SCLK に最大 8 個の異なるクロックイネーブル信号を配線することができます。セクターの SCLK ネットワーク内に入るクロック信号は、そのセクター内のコアロジックにしに到達できません。

デザインで SCLK ゲートをインスタンス化すると、Quartus Prime 開発ソフトウェアは SCLK ゲートを自動的に複製し、クロック信号が配線されるすべてのセクターにクロックゲートを作成します。SCLK ゲートは高いクロック周波数用のサイクル固有のクロック・ゲーティングに適しています。SCLK ゲートへのパスのタイミングは、Quartus Prime 開発ソフトウェアにより分析されます。

- **I/O PLL Clock Gate**

Stratix 10 の I/O PLL の各出力カウンターは動的にゲートすることができます。これにより、ルートクロックは 9 つの出力カウンターの中の 1 つだけをゲートすることができ、代わりに手段として役立つルート・クロック・ゲートを提供します。

ただし、I/O PLL クロックゲートはサイクル固有ではありません。I/O PLL クロックゲートを使用している間、クロックゲートのアサーションまたはデアサーションと対応するクロック信号の変化との間にいくつかのクロックサイクルの遅延が予想されます。イネーブルされた信号が出力クロックのクロックドメインに同期されなければならないため、遅延サイクル数は非確定的です。これによりグリッチのないゲートが保証されます。より詳しくは、*Stratix 10 Clocking and PLL User Guide* を参照してください。

トランシーバー使用中の電力削減

Stratix 10 デバイスは、高い電力効率、広い帯域幅、低遅延トランシーバーの特徴があります。最適なスタティック電力およびダイナミック電力の削減では、インテルはそれぞれのデータレートとプロトコル要件をサポートする最も低いトランシーバー電圧 (V_{CCR} / T_{GXB}) の使用を推奨しています。

1.2 リソース使用率での電力見積もり

次の見積もりは、Stratix 10 デバイスでの仮想デザインに基づいています（前世代のデバイスから参照）。スタティック消費電力とダイナミック消費電力の両方の値は、インテルの PowerPlay Early Power Estimator の使用により入手できます。

- デバイス—F43 パッケージでの SG280
- デバイスタイプ—X
- ジャンクション温度

表 1. コアロジック / FPGA ファブリックの電力見積もり

リソース・コンフィグレーション	スタティック電力 ⁽¹⁾	ダイナミック電力	
		低使用率 ~ 50% 800K 半分-ALM	高使用率 ~ 90% 1.7M 半分-ALM
低速コンフィグレーション : • 500 MHz (最大 CLK) • 312 MHz (平均 weighted CLK)	なし	18 W	40 W
高速コンフィグレーション : • 750 MHz (最大 CLK) • 468 MHz (平均 weighted CLK)	なし	27 W	56 W

表 2. M20K—20Kb 内部メモリーブロックの電力見積もり

リソース・コンフィグレーション	スタティック電力	ダイナミック電力	
		低使用率 ~ 40% 4600 メモリーブロック	高使用率 ~ 70% 8500 メモリーブロック
低速コンフィグレーション : • シングルポート • 500 MHz、トグル率 40% • 70% R/W、70% 有効 • 5 ビット幅、4096 ビット深	2 W	3.7 W	7 W
高速コンフィグレーション : • ツール・デュアル・ポート • 800 Mhz、トグル率 40% • 70% R/W、70% 有効 • 20 ビット幅、1024 ビット深	2 W	16.5 W	30 W

表 3. DSP ブロックの電力見積もり

リソース・コンフィグレーション	スタティック電力	ダイナミック電力	
		低使用率 ~ 40% 2300 DSP ブロック	高使用率 ~ 70% 4000 DSP ブロック
低速コンフィグレーション :	2.5/4 W	5 W	8.6 W

continued...

(1) ロジック使用率に依存しません。



リソース・コンフィグレーション	スタティック電力	ダイナミック電力	
		低使用率 ~ 40% 2300 DSP ブロック	高使用率 ~ 70% 4000 DSP ブロック
<ul style="list-style-type: none"> 500 MHz、トグル率 15% 3 レジスターステージ プリアダーなし 係数あり 			
高速コンフィグレーション : <ul style="list-style-type: none"> 800 Mhz、トグル率 15% 0 レジスターステージ プリアダーあり 係数なし 	2.5/4 W	40 W	66 W

表 4. トランシーバーの電力見積もり

リソース・コンフィグレーション	スタティック電力	ダイナミック電力	
		低使用率 16 チャンネル	高使用率 96 チャンネル
低速コンフィグレーション : <ul style="list-style-type: none"> 16 チャンネル 16 チャンネル (PCIe Gen3) 1588 での 10G イーサネットの 40 チャンネル 24 チャンネル @ 17.4 Gbps 	2 W	5 W	40 W
高速コンフィグレーション : <ul style="list-style-type: none"> 16 チャンネル (PCIe Gen3) 80 チャンネル @ 17.4 Gbps 	2 W	7 W	45 W

表 5. クロックの電力見積もり

リソース・コンフィグレーション	スタティック電力	ダイナミック電力	
		低使用率 ~ 50%	高使用率 ~ 90%
低速コンフィグレーション : <ul style="list-style-type: none"> 254 Mhz 平均 weighted CLK 75% グローバル + ローカルイネーブル (いくつかの CLK ゲーティングあり) 	1 W	3 W	6 W
高速コンフィグレーション : <ul style="list-style-type: none"> 364 Mhz 平均 weighted CLK 100% グローバル + ローカルイネーブル (CLK ゲーティングなし) 	1 W	7 W	13.5 W

Stratix 10 デバイスは、前世代の FPGA デバイスよりも集積度と性能が大幅に向上し、高速です。これに対応して、電力効率の向上にもかかわらず消費電力が増加します。したがって、このアプリケーション・ノートの電力削減機能を活用し、Stratix 10 FPGA デザインでの消費電力の熱 Stratix 10 影響を計画する必要があります。Stratix 10 デバイスの熱ソリューションについて詳しくは、インテルのサポートチームにお問い合わせください。

関連情報

Stratix 10 デバイスの概要

Stratix 10 デバイスに関する詳細情報を提供します。



改訂履歴

表 6. 改訂履歴

日付	変更内容
2016.06.14	初版

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/ またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2008
登録済