



AN 692: インテル® Cyclone® 10 GX、インテル® Arria® 10、および インテル® Stratix® 10 デバイスの電源シーケンスについての考慮事項

インテル® Quartus® Prime 開発デザインスイートの更新情報: **17.1**

目次

1. 参照資料.....	3
2. インテル Cyclone 10 GX、インテル Arria 10、および インテル Stratix 10 デバイスの電源シーケンスについての考慮事項.....	4
2.1. インテル Cyclone 10 GX、インテル Arria 10、および インテル Stratix 10 デバイスの電源投入シーケンスの要件.....	5
2.2. インテル Cyclone 10 GX、インテル Arria 10、および インテル Stratix 10 デバイスの電源切断シーケンスの推奨事項と要件.....	7
3. 制御されたシーケンスの設計.....	12
3.1. プログラマブル電源管理コントローラー (PPMC) (推奨バージョン).....	12
3.1.1. PPMC デザイン例.....	13
3.1.2. 複数の電源シーケンサー.....	14
3.2. 低コストのディスクリート・シーケンサー・デザイン.....	15
3.2.1. 低コスト・シーケンサー回路の説明.....	16
3.2.2. 低コストのディスクリート・シーケンサーのシミュレーション結果.....	17
4. フォールトトレランス.....	19
4.1. 制御不能な電源喪失イベントの管理.....	19
4.2. シーケンシャル・パワーダウンと同時パワーダウン.....	22
4.3. クランプ機能付き電圧レギュレーター.....	22
5. 電源が投入されていない FPGA ピンの駆動.....	23
5.1. 電源が投入されていない FPGA の LVDS I/O ピンのガイドライン.....	23
5.2. 電源が投入されていない FPGA のトランシーバー・ピンのガイドライン.....	23
6. AN 692: インテル Cyclone 10 GX、インテル Arria 10、および インテル Stratix 10 デバイスの電源シーケンスについての考慮事項 改訂履歴.....	24

1. 参照資料

表 1. 関連リンク

タイトル	リンク
エラッタシート	https://www.altera.com/documentation/lit-es.html
インテル® Stratix® 10 電源管理ユーザーガイド	https://www.altera.com/documentation/wtw1443764386078.html
インテル Stratix 10 GX, MX, TX, および SX デバイスファミリーのピン接続ガイドライン	https://www.altera.com/documentation/lod1484643014646.html
インテル Stratix 10 デバイス・データシート	https://www.altera.com/documentation/mcn1441092958198.html
インテル Arria® 10 GX, GT, および SX デバイスファミリーのピン接続ガイドライン	https://www.altera.com/documentation/wtw1404286459773.html
インテル Arria 10 デバイス・データシート	https://www.altera.com/documentation/mcn1413182292568.html
インテル Cyclone® 10 GX デバイスファミリーのピン接続ガイドライン	https://www.altera.com/documentation/osf1485840198234.html
インテル Cyclone 10 GX デバイス・データシート	https://www.altera.com/documentation/muf1488511478825.html
Quad-Comparator Circuit Provides Power-Down Sequencing At Low Cost	How2Power Today, Josh Mandelcorn

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/ またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

2. インテル Cyclone 10 GX、インテル Arria 10、および インテル Stratix 10 デバイスの電源シーケンスについての考慮事項

インテル Cyclone 10 GX、インテル Arria 10、および インテル Stratix 10 デバイスは、特別な電源投入/電源切断シーケンスを必要とします。本資料では、いくつかの電源管理オプションについて解説し、デバイスの電源投入および電源切断時の適切な I/O 管理についても説明します。電源ソリューションは、完全な電源シーケンスが適切に制御されるように設計してください。

FPGA デバイスへの不要な電流が流れることを防止するには、本資料の要件に従う必要があります。インテル Cyclone 10 GX、インテル Arria 10、および インテル Stratix 10 デバイスは、下の表に記載されている条件以外では「ホットソケット」をサポートしません。下の表に、電源投入および電源切断シーケンス中に電源が供給されていないピンが許容可能な範囲も示します。

表 2. ピンの許容範囲 – 電源投入/電源切断

「√」は許容可能、「-」は適用不可を表します。

ピンの種類	電源投入				電源切断			
	トライステート	GND に駆動	VCCIO に駆動	< 1.1 Vp-p で駆動	トライステート	GND に駆動	VCCIO に駆動	< 1.1 Vp-p で駆動
3VIO バンク	√	-	-	-	√	√	-	-
LVDS I/O バンク	√	√	√ ⁽¹⁾	-	√	√	√ ⁽¹⁾	-
差動トランシーバー・ピン	√	√	-	√ ⁽²⁾	√	√	-	√ ⁽²⁾

関連情報

- 電源が投入されていない FPGA の LVDS I/O ピンのガイドライン (23 ページ)
- 電源が投入されていない FPGA のトランシーバー・ピンのガイドライン (23 ページ)

- (1) デバイスに電源が投入されていない、あるいは電源投入/電源切断の条件が 10 mA である場合の、任意の LVDS I/O バンクで許容可能な最大電流（「電源が投入されていない FPGA ピンに向けた LVDS I/O ピンのガイドライン」を参照してください）
- (2) これは、インテル Stratix 10 L タイル/H タイルのみに適用されます（「電源が投入されていない FPGA トランシーバー・ピンに向けたトランシーバー・ピンのガイドライン」を参照してください）

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

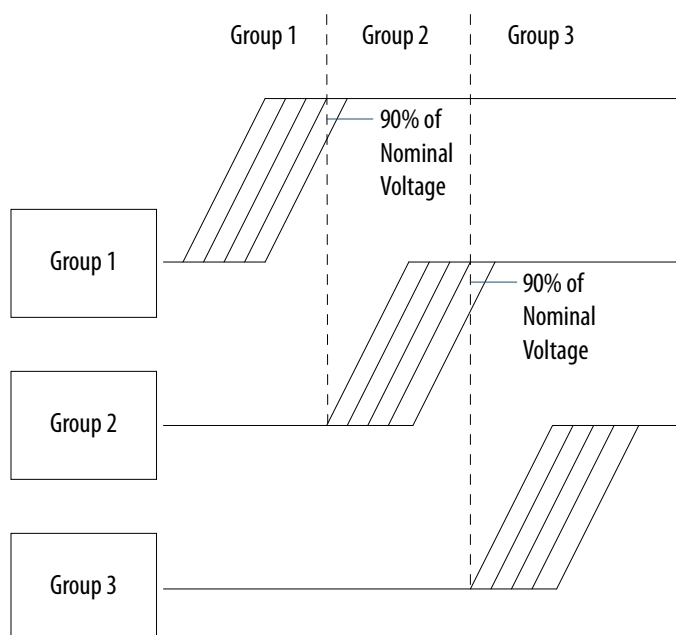
*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

2.1. インテル Cyclone 10 GX、インテル Arria 10、および インテル Stratix 10 デバイスの電源投入シーケンスの要件

インテル Cyclone 10 GX、インテル Arria 10、および インテル Stratix 10 デバイスの電源レールは、それぞれが3つのグループに分割されています。詳細については、インテル Cyclone 10 GX デバイスファミリーのピン接続ガイドライン、インテル Arria 10 GX, GT、および SX デバイスファミリーのピン接続ガイドライン、インテル Stratix 10 GX, MX, SX、および TX デバイスファミリーのピン接続ガイドライン、および インテル Stratix 10 の電源管理ユーザーガイドを参照してください。

次の図は、インテル Cyclone 10 GX、インテル Arria 10、および インテル Stratix 10 デバイスの電圧グループおよびそれらに必要な電源投入シーケンスを表しています。

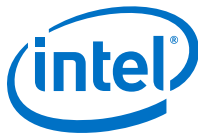
図 -1: インテル Cyclone 10 GX、インテル Arria 10、および インテル Stratix 10 デバイスの電源投入シーケンス



注意: VCCBAT は、以下のグループのいずれにも属していません。VCCBAT にはシーケンス要件はありません。VCCBAT はセキュリティキーの内容を保持します。

表 3. 電圧レール

	インテル Cyclone 10 GX	インテル Arria 10	インテル Stratix 10
グループ 1	VCC VCCP VCCERAM VCCR_GXB VCCT_GXB	VCC VCCP VCCERAM VCCR_GXB VCCT_GXB VCLL_HPS	VCC VCCP VCCERAM VCCR_GXB VCCT_GXB VCLL_HPS VCCPLLDIG_SDM VCCRT_GXE (TX デバイス)
<i>continued...</i>			



	インテル Cyclone 10 GX	インテル Arria 10	インテル Stratix 10
			V _{CCRTPLL_GXE} (TX デバイス)
グループ 2	V _{CCPT} V _{CCH_GXB} V _{CCA_PLL}	V _{CCPT} V _{CCH_GXB} V _{CCA_PLL} V _{CCPLL_HPS} V _{CCIOREF_HPS}	V _{CCPT} V _{CCH_GXB} V _{CCA_PLL} V _{CCPLL_HPS} V _{CCPLL_SDM} V _{CCADC} V _{CCH_GXE} (TX デバイス)
グループ 3	V _{CCPGM} V _{CCIO}	V _{CCPGM} V _{CCIO} V _{CCIO_HPS}	V _{CCIO} V _{CCIO3V} V _{CCIO_SDM} V _{CCIO_HPS} V _{CCFUSEWR_SDM} V _{CCIO_UIB} V _{CCM} V _{CCCLK_GXE} (TX デバイス)

グループ 1 のすべての電源レールは、グループ 2 の電源レールがランプアップを開始する前に、それぞれの公称電圧の最小 90%まで (任意の順序で) ランプアップする必要があります。

グループ 2 内の電源レールは、グループ 1 内の最後の電源レールが公称電圧の 90%の最小閾値まで上昇した後、任意の順序で上昇することができます。グループ 2 のすべての電源レールは、グループ 3 の電源レールがランプアップを開始する前に、公称値の 90%の最小閾値までランプアップする必要があります。

グループ 3 内の電源レールは、グループ 2 内の最後の電源レールが最大値の 90%の最小閾値までランプアップした後、任意の順序でランプアップ可能です。

インテル Cyclone 10 GX デバイスと インテル Arria 10 デバイスの場合、2 つのグループがグループ 2 の電源レール V_{CCIO}、V_{CCPGM}、および V_{CCIO_HPS} と同じ電圧レギュレーターと同じ電圧レベルを共有するのであれば、グループ 3 の電源レールをグループ 2 の電源レールと組み合わせてランプアップすることが可能です。

注意: 新しく組み合わせた電源レールが、電源が投入されていない GPIO またはトランシーバー・ピンを駆動しないことを確認してください。

すべての電源レールは単調に上昇する必要があります。電源投入シーケンスは、標準または高速のパワーオンリセット (POR) 遅延タイムのいずれかを満たす必要があります。POR 遅延タイムは、使用する POR 遅延設定によって異なります。



表 4. POR 遅延の仕様

デバイス	POR 遅延	最小	最大	単位
インテル Stratix 10	AS (Normal モード)、 AVST ×8、AVST ×16、 AVST ×32、NAND、 SD/MMC	12	20	ms
インテル Stratix 10	AS (Fast モード)	2	6.5	ms
インテル Cyclone 10 GX インテル Arria 10	標準	100	300	ms
インテル Cyclone 10 GX インテル Arria 10	高速	4	12 ⁽³⁾	ms

CvP (Configuration Via Protocol) では、最初の電源投入ランプアップから最後の電源投入ランプアップまでの TRAMP の合計が 10 ms 未満でなければなりません。高速 POR 遅延設定を選択して、PCI Express* (PCIe) リンクの初期化とコンフィギュレーションに十分な時間を持たせます。電源投入シーケンスは、使用する PRO 設定に応じて、標準または高速の POR 遅延タイムを満たす必要があります。

関連情報

- [インテル Cyclone 10 GX デバイスファミリーのピン接続ガイドライン](#)
- [インテル Arria 10 GX、GT、および SX デバイスファミリーのピン接続ガイドライン](#)
- [インテル Stratix 10 GX、MX、SX、および TX デバイスファミリーのピン接続ガイドライン](#)
- [インテル Stratix 10 Power Management User Guide](#)

2.2. インテル Cyclone 10 GX、インテル Arria 10、および インテル Stratix 10 デバイスの電源切断シーケンスの推奨事項と要件

インテルの FPGA は、電源切断シーケンス中に特定の要件に従う必要があります。電源切断シーケンスは、オン/オフスイッチを介して制御された電源切断イベント、あるいは電源供給のコラプスといった制御されないイベントのどちらかとなります。いずれの場合も特定の電源切断シーケンスに従う必要があります。以下は 4 つの電源切断シーケンスの仕様です。これには、推奨 (1)、必須 (2)、そしてリラックス (1) があります。インテルの FPGA 電源切断要件に従う場合、推奨オプションが最良のシーケンスとなります。

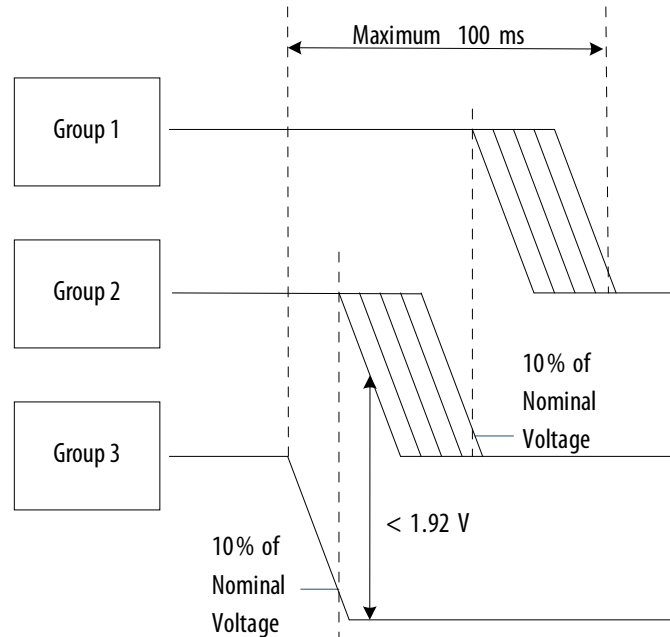
注意: 推奨の仕様に従うことが難しい場合は、必須の仕様に従う必要があります。

推奨する電源切断ランプ仕様

これは供給電源電流を最小にするための最良の選択肢です。

(3) これは POR トリップ後、PCIe* ハード IP が初期化するために十分なタイムを提供します。

図 -2: 推奨する電源切断ランプ仕様



- 100 ms 以内にすべての電源レールを完全にパワーダウンします。
- 同じグループ内の電源供給を任意の順序でパワーダウンします。
- グループ 2 の電源供給をパワーダウンする前に、グループ 3 のすべての電源供給を GND の 10% 以内でパワーダウンします。
- グループ 1 の電源供給をパワーダウンする前に、グループ 2 のすべての電源供給を GND の 10% 以内でパワーダウンします。
- 任意のグループ 3 の電源供給と任意のグループ 2 の電源供給との間の最大電圧差は 1.92 V です。

インテル Cyclone 10 GX、インテル Arria 10、および インテル Stratix 10 デバイスの場合、2 つのグループがグループ 2 の電源レールと同じ電圧レギュレーターと同じ電圧レベルを共有するのであれば、グループ 3 の電源レールをグループ 2 の電源レールと組み合わせることでランブアップが可能です。

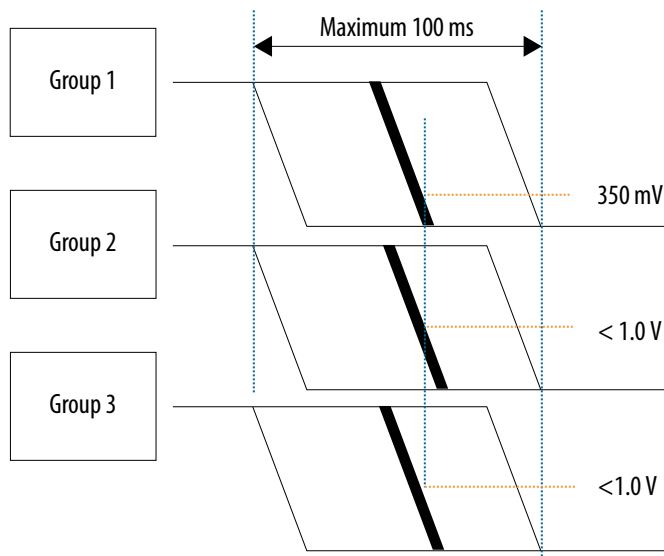
- 新しく組み合わせた電源レールが、電源が供給されていない GPIO またはトランシーバー・ピンを駆動しないことを確認してください。
- 新しく組み合わせた電源レールが、デバイス (サードパーティー) リークによる電源切断シーケンスに違反しないことを確認してください。必須の電圧差の仕様に従ってください。

電源投入/電源切断シーケンスの間、デバイスの出力ピンはトライステートになります。デバイスの長期信頼性を確保するために、インテルではこの間に入力ピンを駆動しないことを推奨しています。

必須の電源切断ランプ仕様

電源供給がコラプスしている場合、または推奨する仕様が満たせない場合は、次の PDS シーケンスが必須となります。

図 -3: 必須の電源切断ランプ仕様



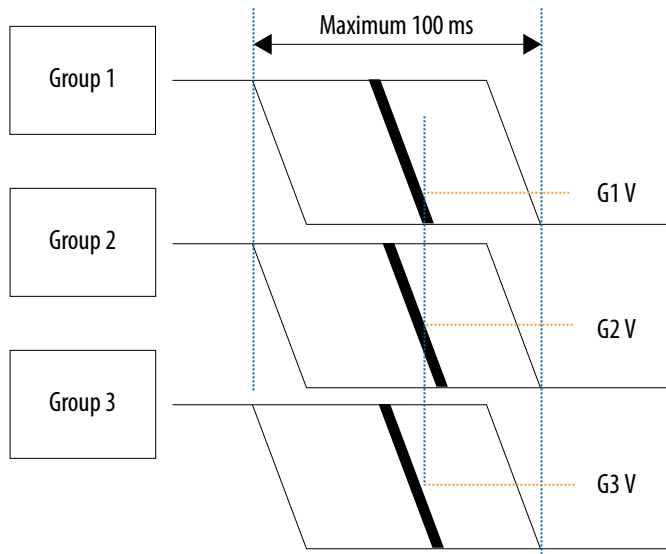
- 100 ms 以内にすべての電源レールを完全にパワーダウンします。
- 可能な限り速やかに、すべての電源供給を無効にします。
 - トライステートのグループ 1 が供給し、それらを能動的に GND に駆動しないでください。
 - 可能であれば、グループ 2 とグループ 3 の供給を GND に駆動または終端します。
- 電源切断シーケンス中は、他の電源供給の別のソースが存在しないことを確認してください。すべての電源供給を単調に減少させ、RC の標準的な減衰を一定にします。
- グループ 1 のいずれかの電源が 0.35 V を下回るまでに、グループ 2 およびグループ 3 の電源はすべて 1.0 V を下回る必要があります。

必須の電圧差動仕様

電源切断中にデバイスのトランジスターに過度のストレスがかからないように、電源切断中に異なる電源グループ間の 2 つの電源間に追加の電圧要件があります。

$$\Delta V < \Delta V_{\text{nom}} + 500 \text{ mV}$$

図 -4: 必須の電圧差動仕様



- 100 ms 以内にすべての電源レールを完全にパワーダウンします。
- たとえば、グループ 1 の電圧 = 0.9 V、グループ 2 の電圧 = 1.8 V、グループ 3 の電圧 = 3.0 V の場合、次のようになります。

$G3V_{nom} = 3.0\text{ V}$ $G2V_{nom} = 1.8\text{ V}$	$G2V_{nom} = 1.8\text{ V}$ $G1V_{nom} = 0.9\text{ V}$	$G3V_{nom} = 3.0\text{ V}$ $G1V_{nom} = 0.9\text{ V}$
$(G3V - G2V)_{nom} = 1.2\text{ V}$	$(G2V - G1V)_{nom} = 0.9\text{ V}$	$(G3V - G1V)_{nom} = 2.1\text{ V}$
$(G3V - G2V) \leq 1.2\text{ V} + .5\text{ V}$	$(G2V - G1V) \leq 0.9\text{ V} + .5\text{ V}$	$(G3V - G1V) \leq 2.1\text{ V} + .5\text{ V}$
$(G3V - G2V) \leq 1.7\text{ V}$	$(G2V - G1V) \leq 1.4\text{ V}$	$(G3V - G1V) \leq 2.6\text{ V}$

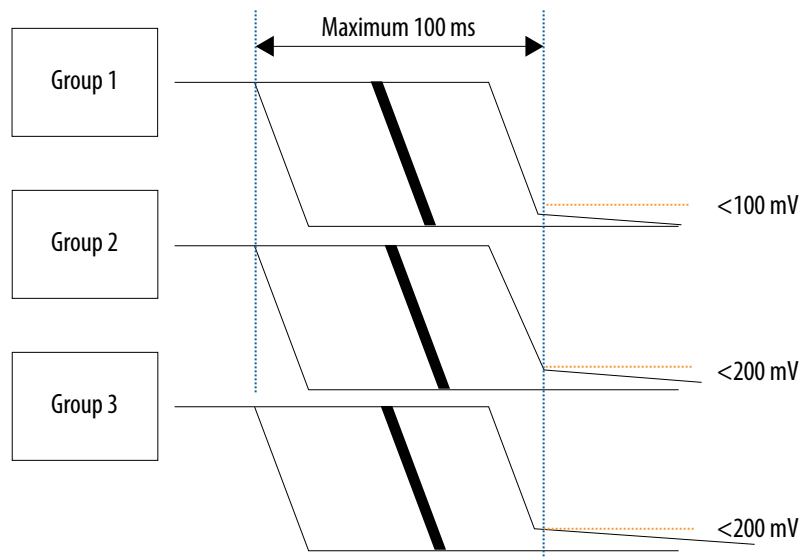
- この電圧差の要件を満たすには、「必須の電源切断ランプ仕様」に従ってすべての電源を可能な限り速やかにランプダウンしてください。

注意: 必須の電源切断シーケンスに従わない場合、予期せぬデバイス動作や内部の高電流パスが発生する原因となります。

リラックスした電源切断期間の仕様

アクティブ終端なしで電源供給が切断されている場合、電源供給が 0 V に近づくと GND への電圧降下が遅くなります。この場合、100 ms の電力要件は緩和されます。

図 -5: リラックスした電源切断期間の仕様



- グループ 1 のすべての電源が 100 mV 未満で 100 ms に達成することを確認してください。
- グループ 2 とグループ 3 のすべての電源が 100 mV 未満で 100 ms に達成することを確認してください。

3. 制御されたシーケンスの設計

3.1. プログラマブル電源管理コントローラー (PPMC) (推奨バージョン)

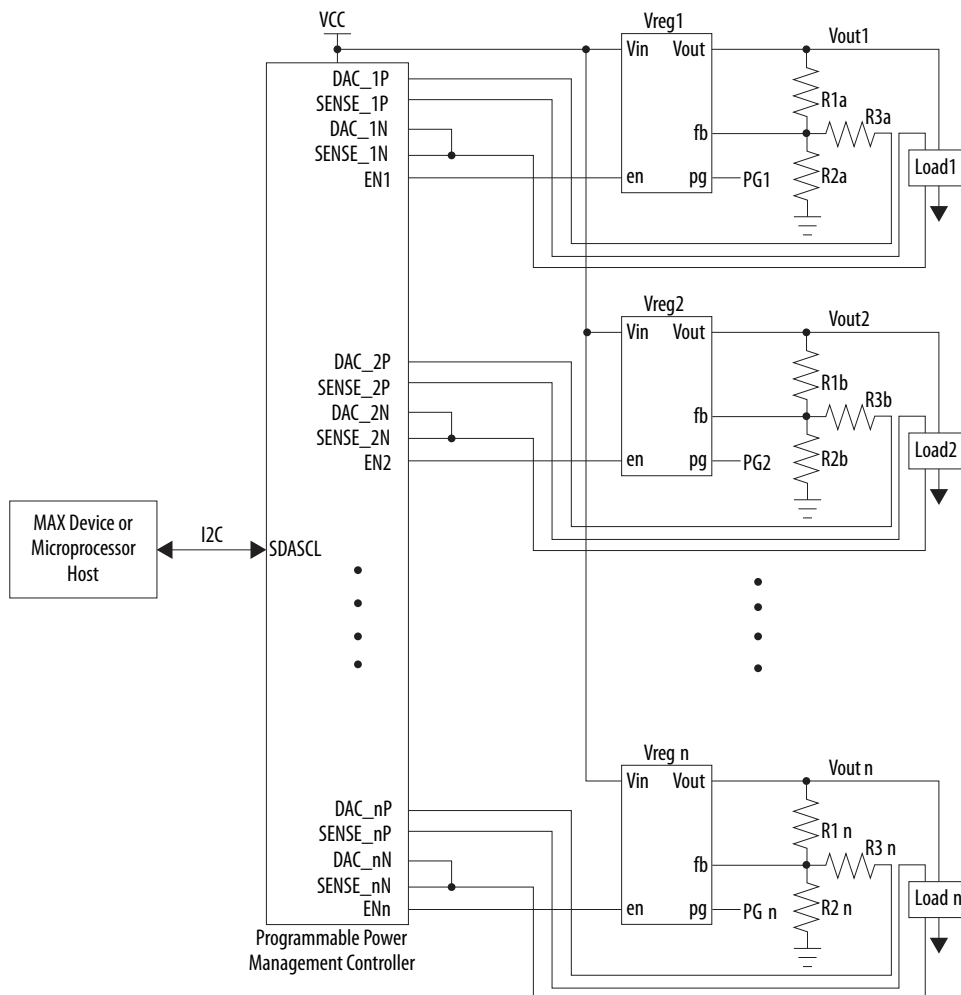
プログラマブル電源管理コントローラーを使用することで、電源シーケンスの要件を実装するためのフル機能のオプションが利用可能となります。

このコントローラーは、必要な電源投入/電源切断シーケンスの制御機能を提供します。このコントローラーは、レギュレーターの実出力電圧を動的に調整およびモニターし、過電圧や低電圧などの障害状態を監視することができます。電力管理コントローラーのプログラミングにあたっては、システムのマイクロプロセッサといったインテリジェント・ホストへの接続には、PMBus または I²C インターフェイスが一般的に使用されます。

稼働時間とフォールトトレランスが重要な機能であり、電圧監視とエラー報告が不可欠なシステム要件となるシステムに対しては、PPMC が最適なソリューションとなります。

3.1.1. PPMC デザイン例

図 -6: 複数のチャンネルを備えたシンプルなプログラマブル電源管理コントローラー



PPMC の単一チャンネルは通常、次の機能を提供します。

- 負荷電圧を遠隔監視するための差動センスライン入力。
- デジタル-アナログ・コンバーター (DAC) は通常、出力電圧を調整するために出力します。DAC の出力は、レギュレーターのフィードバック入力 (fb) を駆動し、レギュレーターの出力電圧を制御します。
- 電圧レギュレーターのイネーブル入力 (en) を駆動するイネーブル出力 (EN1、EN2、... ENn) です。このレギュレーターのイネーブル出力は、必要な電源投入/電源切断シーケンスを制御します。

通常、PPMC デバイスには複数のチャンネルが存在するため、1つのコントローラーで複数のレギュレーターがシーケンス可能です。単一のデバイスで提供されるものよりも多くのチャンネルが必要な場合は、複数のデバイスをカスケード接続できます。コントローラー・ソフトウェアとプログラミングを管理する目的で、別のホスト・インターフェイス (PMBus または I²C) がシステム・ソフトウェアと PPMC の接続に使用されます。

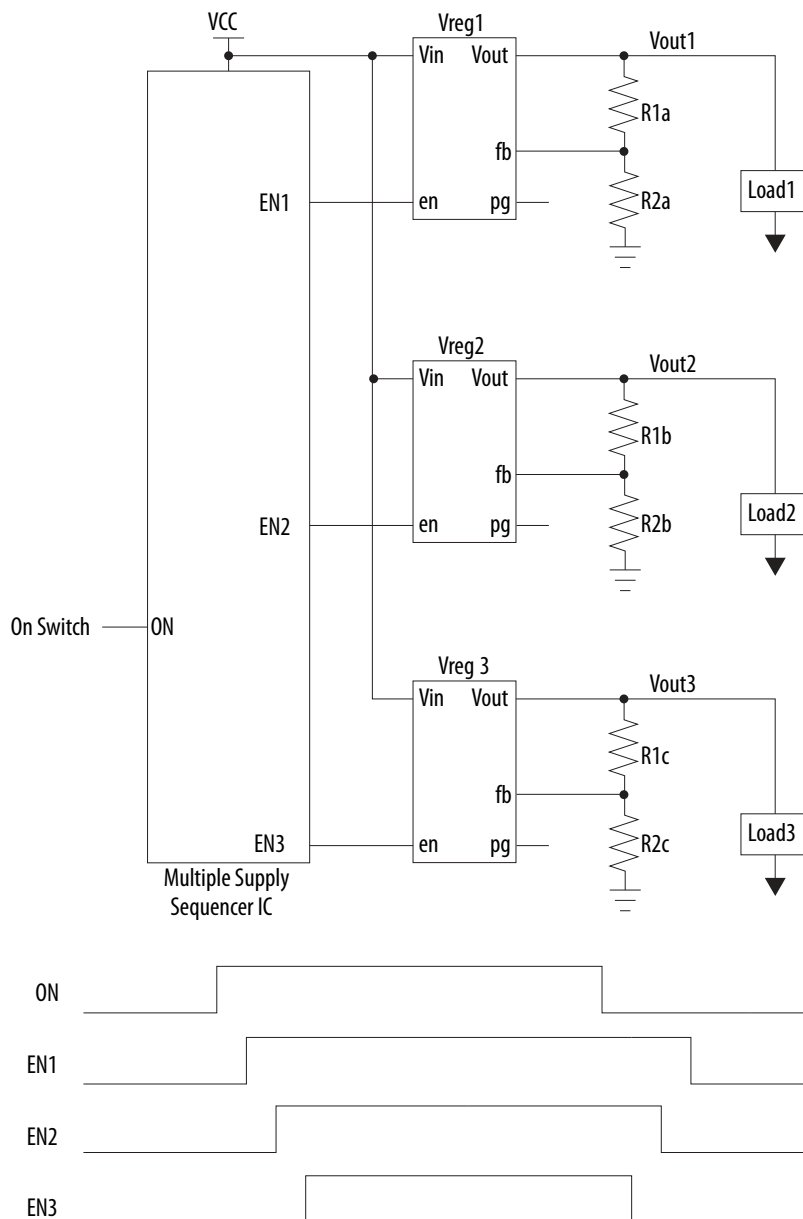
PPMC の詳細については、電源モジュールのベンダーにお問い合わせください。

3.1.2. 複数の電源シーケンサー

インテル Cyclone 10 GX、インテル Arria 10、および インテル Stratix 10 デバイスの電源シーケンスの考慮事項に従うにあたってシンプルな電源投入/電源切断シーケンスのみが必要な場合、低コストの複数の電源シーケンス IC を使用することができます。

これらのデバイスでは、専用の入力によって制御される複数のシーケンス出カインープルが提供されています。この入力がオンになると、プログラミングされた時間遅延の後、出カインープル (EN1/ EN2 / EN3) が順にオンになります。出カインープル間のこの時間遅延は、調整が可能です。

図 -7: 多電源 IC の回路図デザイン例



複数の電源シーケンス IC の詳細については、使用するパワーモジュールのベンダーにお問い合わせください。

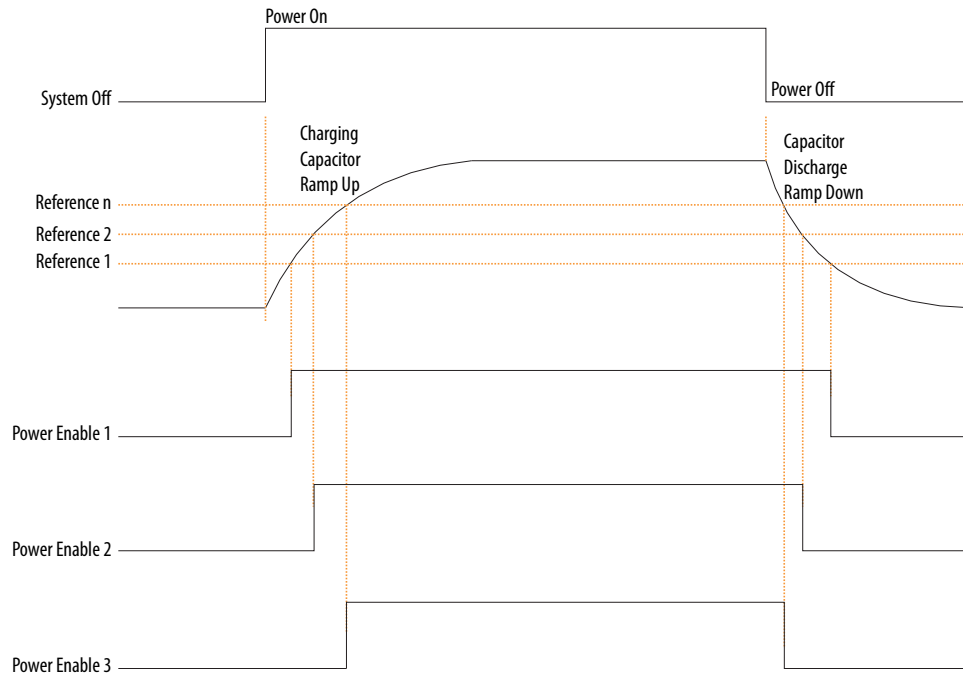
3.2. 低コストのディスクリート・シーケンサー・デザイン

ディスクリート・シーケンサー・デザインは、単純な抵抗-コンデンサー (RC) 間のネットワークの充電および放電電圧とプリセットされた基準電圧レベルを使用する低コストのオプションです。

RC ランプアップ/ランプダウン電圧は、電圧レギュレーターを制御するための一連のシーケンスされたパワーイネーブル出力を生成するために、プリセットされた基準電圧レベルと比較されます。

電源投入イベントはコンデンサーの充電をトリガーします。コンデンサー電圧がプリセットされた各基準電圧レベルを上回ると、パワーイネーブル出力が順次オンになります。同様に、電源切断イベントの場合、コンデンサーの放電によりパワーイネーブル出力が逆の順序でオフになります。

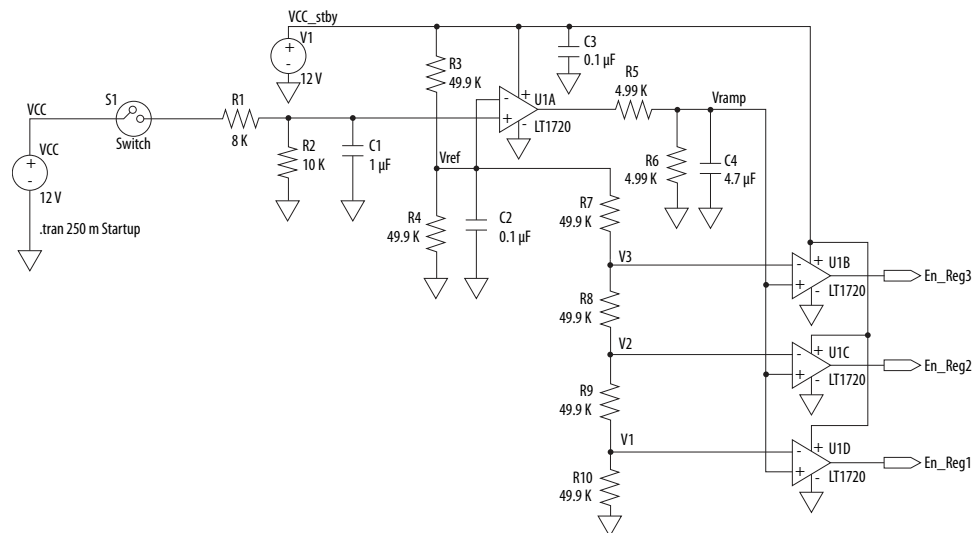
図 -8: 電源投入/電源切断シーケンサー



3.2.1. 低コスト・シーケンサー回路の説明

シンプルで低コストの電源投入/電源切断シーケンサーのデザイン例では、クワッド・コンパレータ IC (U1)、ディスクリート抵抗、コンデンサー (推奨バージョン) を使用しています。

図 -9: 低コスト・シーケンサー回路の例

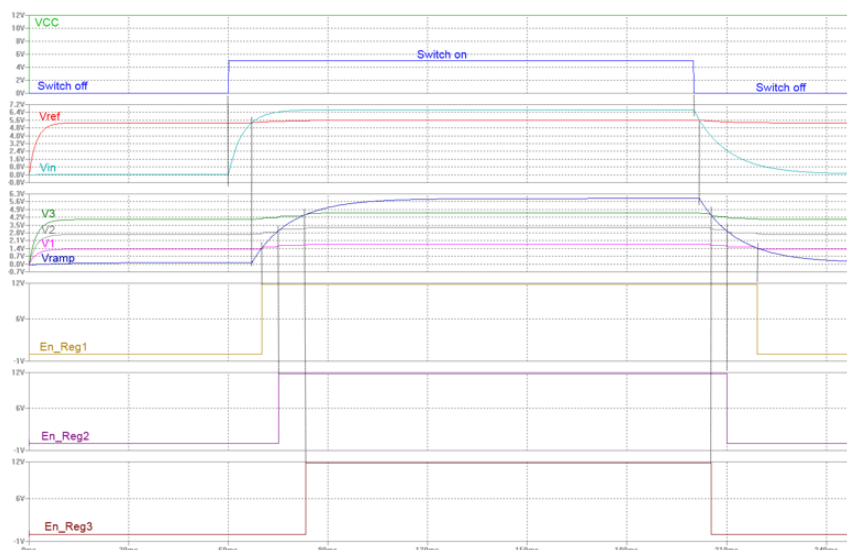




システム待機電圧の VCC_stby は、コンパレーターの **U1A** に電源を供給するため常に存在します。基準電圧 Vref は、抵抗分割器の **R3** と **R4** を介して VCC_stby から生成されます。Vref はコンパレーター **U1A** の反転入力に向けた基準電圧です。より正確な Vref は、抵抗 **R4** の代わりに精密に調整されたツェナーダイオードを使用して生成することが可能です。この抵抗ラダー・ネットワークは、抵抗 **R7**、**R8**、**R9**、および **R10** で構成されています。このラダー・ネットワークは基準電圧 V3、V2、V1 をさらに分割します。コンパレーター (**U1B**、**U1C**、および **U1D**) 出力は関連するレギュレーター・イネーブル (En_reg3、En_Reg2、および En_Reg1) を駆動します。このような出力は、電圧レギュレーター (図中にはありません) をオン/オフします。**S1** スイッチは、システムの電源オン/オフスイッチです。

3.2.2. 低コストのディスクリット・シーケンサーのシミュレーション結果

図 -10: 電源投入/電源切断イベントの回路シミュレーション結果



最初に、パワースイッチの **S1** が開いているため、パワー・シーケンサー回路は動作していません。その結果、すべてのレギュレーター・イネーブル (En_Reg1、En_Reg2、および En_Reg3) は Low になります。レギュレーター・イネーブルが電圧レギュレーターを駆動するため、すべての電圧レギュレーターはオフになります。

パワーオン

- スイッチの **S1** が閉じている場合、システムがオンになり、電圧 VCC がコンデンサー **C1** を電圧レベル Vin までチャージします。
- **C1** は抵抗 **R1** を介してチャージされます。電圧レベル Vin は、分圧器を形成する **R1** と **R2** の値と $V_{in} = (R2 / (R1 + R2)) * VCC$ に依存します。Vin の値がコンパレーター **U1A** の基準電圧 Vref よりもやや高くなるように、**R1** と **R2** を選択します。
- Vin の値が Vref を上回ると、コンパレーター **U1A** の出力が High となり、コンデンサー **C4** が抵抗 **R5** を介してチャージを開始します。
- 抵抗 **R5** と **R6** はランプ電圧 Vramp をセットアップします。抵抗 **R5** とコンデンサー **C4** は、Vramp のランプレートの時定数を定義します。Vramp は、コンパレーター **U1B**、**U1C**、および **U1D** の非反転入力端子への入力電圧です。Vramp が基準電圧 (**V1**、**V2**、および **V3**) を上回ると、コンパレーター **U1D**、**U1C**、および **U1B** を連続してトリップし、レギュレーター・イネーブル En_Reg1、En_Reg2、および En_Reg3 をオンにします。

パワーオフ

- 電源切断シーケンスの要件は、電源投入シーケンスの要件と逆順です。
- スイッチ **S1** が開いている場合、システムはシャットダウンを開始します。コンデンサー **C1** は、**R2** を介してディスチャージを開始します。**R2** と **C1** は、パワーダウン・サイクル中に V_{in} の減衰率を設定します。
- V_{in} が V_{ref} を下回ると、コンパレーター **U1A** の出力はオフになります。これは、**R5** と **R6** の並列組み合わせを介して V_{ramp} をディスチャージします。
- V_{ramp} が **V3**、**V2**、および **V1** より下でディスチャージするにつれ、コンパレーター **U1B**、**U1C**、および **U1D** はレギュレーター・イネーブルを順次オフにします。

この回路例は、より多くのレギュレーター・イネーブル (reg_en) 出力をサポートするように簡単に拡張が可能です。

回路を拡張するには、さらに多くのコンパレーターを追加し、抵抗ラダー・ネットワークを拡張して追加の基準電圧比較ポイント (**V4**、**V5** など) を生成します。また、 V_{ramp} のチャージ/ディスチャージ・レートを上昇させることで、追加のレギュレーター・イネーブル間でより多くの時間を可能とします。この時間遅延は、**R5**、**R6**、および **C4** によって決定される時定数によって制御されます。

4. フォールトトレランス

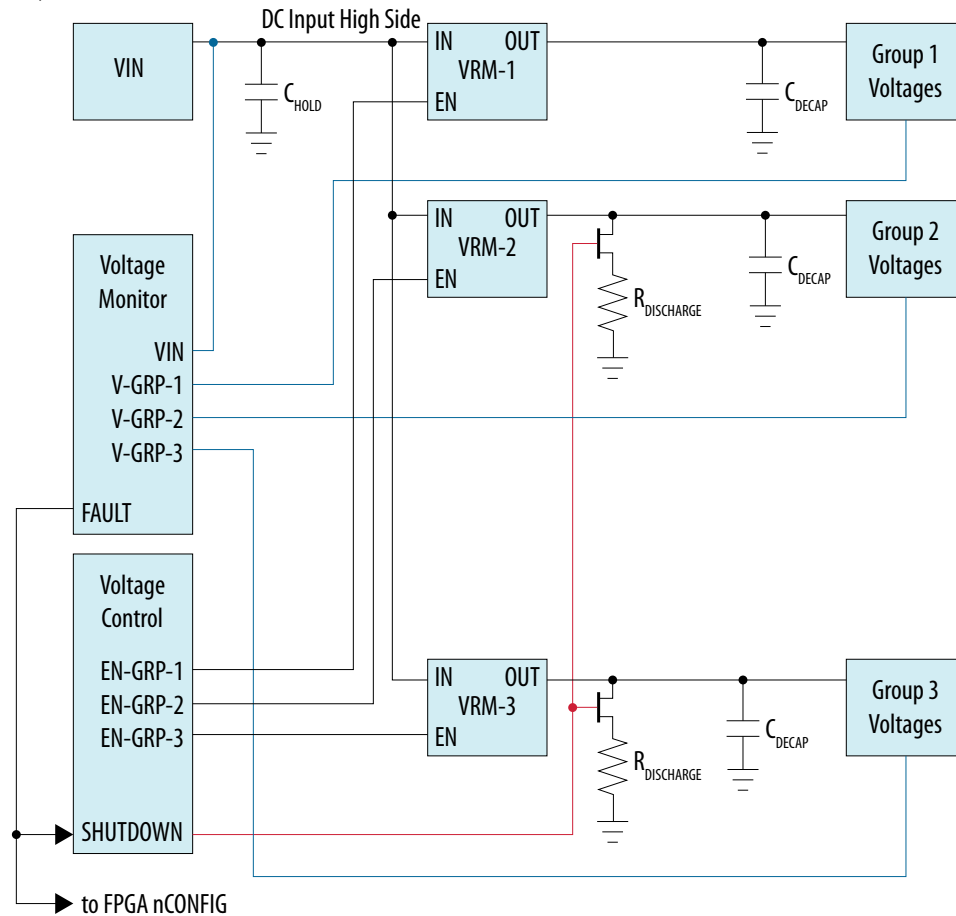
4.1. 制御不能な電源喪失イベントの管理

ユーティリティー・グリッドの停電、システム電源ケーブルの誤った取り外しなどをはじめとする制御不可能な突然の電源喪失イベントは、システム設計者にとって困難な電源管理シナリオを生み出す可能性があります。インテル Cyclone 10 GX、インテル Arria 10、および インテル Stratix 10 で、このようなタイプの例外を管理するには、電源管理設計に以下の機能が組み込まれていることを確認してください。

1. 電源喪失検出
2. シャットダウン時にパワーマネージメント回路を継続して動作させるためのホールドアップ・コンデンサー (潜在的に必要)
3. シャットダウン中の消費電力を最小限に抑えるための FPGA およびシステムへのリセットロジック
4. シャットダウン・タイムを最小にするための各電源グループに向けた高速放電回路

図 -11: フォールト・トレラント・ブロック図 (必須のバージョン)

次の図は、制御不能な電力喪失イベントを管理するための概念的な実装を示しています。



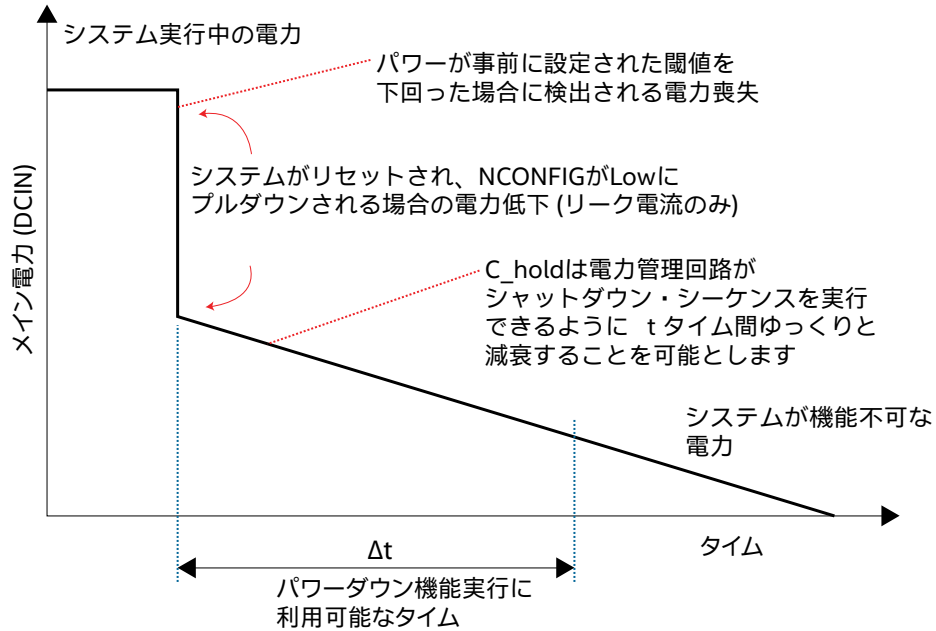
上の図の電源管理回路は、VIN ハイサイド DC 入力電圧から直接給電されていますが、5 V で動作可能です。電力喪失イベント中に電源管理回路を継続して動作させるには、 C_{HOLD} が必要となる場合があります。 C_{DECAP} グループの 1~3 は、各パワー・レール・グループに関連するデカップリング容量の合計を表します。 $R_{\text{DISCHARGE}}$ の 2~3 とそれに関連するパワー FET は、シャットダウン・シーケンスを開始する際、各パワーグループの電圧を 0 V まで高速で放電が可能です。この高速放電回路は、(自然な RC 放電の減衰が非常に低速であるため) 各レールのパワーダウン・サイクルを高速化し、 $R_{\text{DISCHARGE}}$ を調節することで放電するレールの順序を定義することも可能です。高速放電回路を使用しない場合、シャットダウン・タイムは非常に長くなることもあり、 C_{HOLD} に対してより大きなキャパシタンスが必要となります。

動作理論

システムの稼働中、ハイサイド DC 入力は $V_{\text{IN}} \pm 10\%$ の許容範囲に維持されます。電力喪失検出回路は、電力喪失イベントの DC 入力を継続的にモニターします。この検出回路は、基準電圧が -10% の閾値よりわずかに低い閾値に設定された単純なコンパレータ、または誤った電力中断を区別するために複数の連続サンプリングを使用するアナログ-デジタル・コンバータ (ADC) です。

有効な電源喪失イベントが発生すると、検出回路はシステムへのリセットを生成します。リセット信号は FPGA の NCONFIG 信号を Low にプルダウンし、デバイスの動作電流をその静的な静止値まで減少させます。同時に、電力管理回路がシャットダウン・シーケンスを開始するためにトリガーされます。このことは、シャットダウン処理中に電力管理回路をサポートするために必要な C_{HOLD} の値を減少させます。

図 -12: 主電源喪失の検出およびシャットダウンイベント



適切なパワーダウンの実行に電力管理回路が必要とする Δt タイムは、システムの総消費電力と、信頼性の高いシステム電力を維持するために必要な C_{HOLD} コンデンサーによって決定されます。個々の電力グループが逆の順序でディスエーブルされますが、各特定グループの FET もまた、 $R_{DISCHARGE}$ 抵抗を介してそれぞれの電力レールのグラウンドへの急速な放電を容易にするために順次オンにされます。瞬間的な放電電流を処理するには、放電用 FET と抵抗を適切なサイズ設定する必要があります。放電抵抗は、放電時間の間にシングルパルス電力負荷の処理が可能でなければいけません。処理が可能かどうかは、選択した抵抗のデータシートから判断します。データシートは一般的に、様々な抵抗パッケージサイズに向けた *Maximum pulse load power* 対 *Pulse duration* をプロットしたグラフで、このデータを提供します。コンデンサーに蓄えられたエネルギーとシステム動作の維持に必要な総電力から C_{HOLD} の値を決定します。この値は、次の式で計算されます。

$$\text{Power} = \frac{\Delta E}{\Delta t} = \frac{\frac{1}{2} C (v_1^2 - v_2^2)}{(t_1 - t_2)}$$

$$C_{\text{hold}} = \frac{2 \times (P_{\text{FPGA leakage}} + P_{\text{System peripherals}}) \times (t_1 - t_2)}{\text{Eff} \times (v_1^2 - v_2^2)}$$

E = ジュール単位でコンデンサーに蓄積されたエネルギー

P = ワット単位の電力

V = ボルト単位の電圧

C = ファラッド単位のキャパシタンス

t = 秒単位のタイム

Eff = レギュレーターの効率パーセンテージ

デザイン例

システムがリセット状態の際に総静止電流が 25 A である FPGA システム (FPGA リーク電流と総システムスタンバイ電流) の場合、電圧が 10 V から 5 V に低下するに伴いコンデンサーのホールドタイムを 1 ms にする必要があります。また、電圧レールが 0.9 V であると仮定します。

適切なパワーダウン・シーケンスを完了できるように、電源管理コントローラーが動作を維持するために必要な C_{HOLD} キャパシタンスを決定します。

上の式を適用します。

$$C_{\text{HOLD}} = (2 * 25 \text{ A} * 0.9 \text{ V} * .001 \text{ s}) / (0.85 * (10^2 - 5^2)) = 0.045 / 63.75 \mu\text{F} \\ = 706 \mu\text{F}$$

4.2. シーケンシャル・パワーダウンと同時パワーダウン

市販されているシーケンサーの中には、電圧レールを順にパワーダウンする代わりに、すべての電圧レールを同時にパワーダウンさせるものも存在します。

フォールト状態時にシーケンスを制御するための設計を選択する際は、注意が必要です。シーケンシャルでないパワーダウン・コントローラーは、インテル Cyclone 10 GX、インテル Arria 10、およびインテル Stratix 10 デバイスのパワーダウン仕様に違反する可能性があります。外部アクティブ終端とトリミング $R_{\text{DISCHARGE}}$ は、この問題を軽減することができます (*制御不能な電源喪失イベントの管理*の「フォールト・トレラント・ブロック図 (必須のバージョン)」を参照してください)。

4.3. クランプ機能付き電圧レギュレーター

障害状態が発生した場合に出力を GND にクランプする電圧レギュレーターが市販されています。この種類の制御はディスエーブルすることが可能です。グループ 2 は、グループ 3 と同じ制御信号でクランプされている場合にのみクランプできます。それ以外の場合は、グループ 1 とグループ 2 のレギュレーターでこのオプションがイネーブルされていないことを確認してください。

6. AN 692: インテル Cyclone 10 GX、インテル Arria 10、および インテル Stratix 10 デバイスの電源シーケンスについての考慮事項 改訂履歴

ドキュメント・バージョン	変更内容
2018.04.13	<p>次の内容を変更しました。</p> <ul style="list-style-type: none"> 注「電源投入の要件を満たすために、電源投入シーケンスの完了後すぐに FPGA デバイスをプログラミングしてください。」を削除しました。 参照資料にリンクを追加し、掲載箇所を資料の冒頭に変更しました。
2018.02.28	<p>次の内容を変更しました。</p> <ul style="list-style-type: none"> インテル Cyclone 10 GX のデバイスサポートを追加しました。 「シーケンシャル・パワーダウンと同時パワーダウン」を追加しました。 「クランプ機能付き電圧レギュレーター」を追加しました。 「電源が投入されていない FPGA ピンの駆動」、「電源が投入されていない FPGA ピンに向けた LVDS I/O ピンのガイドライン」、および「電源が投入されていない FPGA ピンに向けたトランシーバー・ピンのガイドライン」を追加しました。 ホットプラグ・サポートを削除しました。 インテル Cyclone 10 GX および インテル Arria 10 の POR 遅延の仕様を追加しました。
2017.05.08	<p>次の内容を変更しました。</p> <ul style="list-style-type: none"> インテル Arria 10 および インテル Stratix 10 デバイスの電源切断シーケンスについて次の記述を追加しました。「Arria 10 および Stratix 10 デバイスでは、グループ 3 のパワーレールが 1.8V で同じレギュレーターを共有する場合、グループ 3 のパワーレールはグループ 2 のパワーレールと組み合わせることが可能です。この場合、グループ 2 とグループ 3 のパワーレールは同時にクランプダウンが可能です。」この追加情報に応じてダイアグラム図を更新しました。 次の注を「ホットプラグの課題」に追加しました。「VCC、VCCT、および VCCR の電力レベルをモニターする目的で 6 パックごとにホットソケット回路があります。これらの電源のいずれかが動作レベルにない場合、すべての PMA 出力および入力に低クエルトされます。」
2016.10.31	<p>次の内容を変更しました。</p> <ul style="list-style-type: none"> 「ホットスワップ・コントローラーおよびレギュレーター」の項で「ラインカードが完全に接続されると、カード存在表示器は新しいカードの挿入に成功したことをホストに知らせます。次に、CONF_DONE 信号はマスターにルートをバックされ、駆動されている信号へのイネーブルとしてサンプリングされます。これにより、コンフィグレーションが実行され、デバイスが安定し、新しく電源が投入されたスレープデバイスにマスターがパーツを損傷させることなく I/O を駆動することが保証されます。このホストシステムはラインカードの I/O ピンを駆動し、それを通常動作用に設定します。」という記述を更新しました。 項「ホットプラグの例」の「スタガード・ピン・レンガ・コネクタを使用したホットプラグの例」に 2 つのダイアグラム図を新しく追加しました。
2016.09.20	<p>次の内容を変更しました。</p> <ul style="list-style-type: none"> トピック「Arria 10 および Stratix 10 デバイスの電源シーケンス」で図「グループ 2 とグループ 3 の電源が組み合わされた Arria 10 デバイスのパワーダウン・シーケンス」に「電源投入/電源切断シーケンスの間、デバイスの出力ピンはトライステートになります。デバイスの長期信頼性を確保するために、インテルではこの間に入力ピンを駆動しないことを推奨しています。」という記述を追加しました。
2016.06.16	<p>次の内容を変更しました。</p>

continued...

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2015
登録済

6. AN 692: インテル Cyclone 10 GX、インテル Arria 10、および インテル Stratix 10 デバイスの電源シーケンスについての考慮事項 改訂履歴

AN-692 | 2018.04.13



ドキュメント・バージョン	変更内容
	<ul style="list-style-type: none">「Arria 10 デバイスのパワーダウン・シーケンス」、「Stratix 10 デバイスのパワーダウン・シーケンス」、「グループ 2 とグループ 3 の電源が組み合わされた Arria 10 デバイスのパワーダウン・シーケンス」に新しく図を追加しました。「Stratix 10 デバイスのパワーアップ・シーケンスの考慮事項」を追加しました。「制御不能な電源喪失イベントの管理」に新しい項を追加しました。「Stratix 10 デバイスのパワーダウン・シーケンス」に新しく図を追加しました。
2015.1.02	次の内容を変更しました。 <ul style="list-style-type: none">項「Arria 10 デバイスのパワーダウン・シーケンス」の情報を明確にしました。
2013.09.06	MOLSON への初期リリース。