

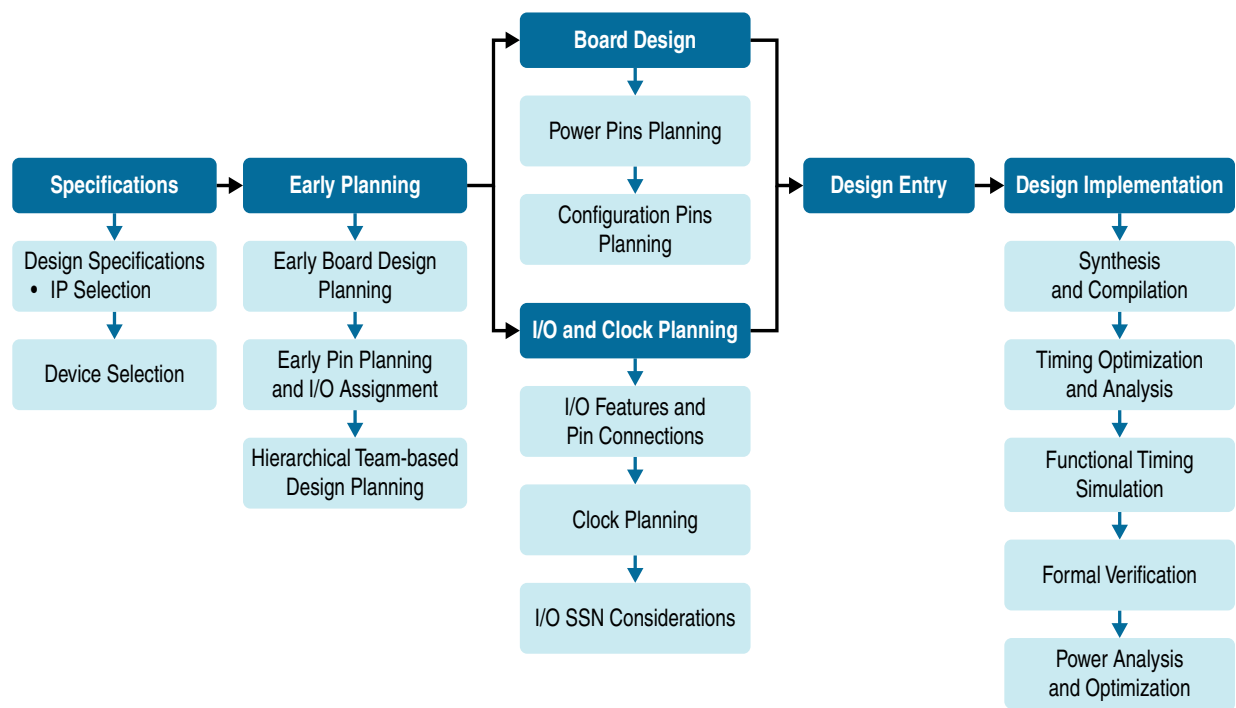
このアプリケーション・ノートでは、Arria® V または Cyclone® V の FPGA 使用するデザインを作成するときのデザイン・ガイドライン、推奨事項、および考慮すべき要素が含まれるチェックリストのセットを提供します。

- 成功デザインにとって極めて重要であるデザイン・プロセスの早い段階で FPGA およびシステムをプランニングするために、このドキュメントを使用します。
- 良好な結果を達成し、一般的な問題を回避し、デザインの生産性を向上させるには、デザイン・プロセス全体を通じてアルテラの推奨事項に従うことが重要です。

図 1 に、OpenCore Plus 評価機能を使用したデザイン・フローを示します。

このドキュメントの項では、デザインフローの各部分のためのチェックリストやガイドラインを提供します。

図 1. Arria V および Cyclone V のデザイン・フロー



Arria V および Cyclone V SoC FPGA のデバイス・バリエーションについては、このドキュメントに記載されているガイドラインは、専用デバイスの FPGA 部分にのみ適用されます。

ご使用になる前に

デザインおよび FPGA システムのプランニングおよびデザインを開始する前に、FPGA デバイスの機能、また Arria V または Cyclone V デバイス・ファミリに適用可能なデザイン・ツールを理解します。

表 1. 前提条件チェックリス (その 1)

項目	✓ チェックリスト項目
1.	<p><input type="checkbox"/> <i>FPGA</i> のデバイスの概要を読みます。</p> <p>デバイスの概要は、機能とデバイス・ファミリで使用可能なオプションの概要を示します。デバイス・ファミリの製品と一般的な機能を理解するために文書をお読みください。各 <i>FPGA</i> デバイス・ファミリの概要については、次のドキュメントを参照してください：</p> <ul style="list-style-type: none"> ■ <i>Arria V</i> デバイスの概要 ■ <i>Cyclone V</i> デバイスの概要
2.	<p><input type="checkbox"/> デザインの要件を推定します。</p> <p>次の用語でデザインの大きな見積もりを作成します。</p> <ul style="list-style-type: none"> ■ 製品の基本的な機能 ■ 類似した以前のデザイン ■ 一般的なデバイスの要件
3.	<p><input type="checkbox"/> 使用可能なデザイン・ツールを確認します。</p> <p>使用可能なデザイン、推定、システム・ビルダ、および検証ツールを考慮してください。以下の項目は、アルテラが提供する使用可能なツールの一部です。</p> <ul style="list-style-type: none"> ■ Qsys、シミュレーション・ツール、および検証ツールとの統合を含め、デザイン、シンセシス、シミュレーション、およびプログラミングのための Quartus®II ソフトウェア。 ■ Qsys システム統合ツール — IP (Intellectual Property) の機能やサブシステムを接続するためのインタコネクト・ロジックを生成する SOPC ビルダの次世代。 ■ Mentor Graphics® ModelSim®-Altera® シミュレーション・ソフトウェア。 ■ Synopsys® Design Constraints (SDC) フォーマットのサポートを持つスタティックのタイミング解析のための TimeQuest Timing Analyzer。 ■ 電力解析および最適化のための PowerPlay Power Analyzer。 ■ SignalProbe および SignalTap II Logic Analyzer のデバッグ・ツール。 ■ QuartusII ソフトウェアで入手可能な External Memory Interface Toolkit。 ■ トランシーバ・リンク・シグナル・インテグリティのリアルタイム検証のため Transceiver Toolkit。 <p>詳細については、アルテラ・ウェブサイトの次の資料を参照してください。</p> <ul style="list-style-type: none"> ■ Design Tools & Services ■ Design Software Support ■ Transceiver Toolkit <p>SOPC Builder から Qsys のに移行するガイドラインについては、AN 632: SOPC Builder to Qsys Migration Guidelines を参照してください</p>

表 1. 前提条件チェックリス (その 2)

項目	✓ チェックリスト項目
4.	<input type="checkbox"/> 利用可能な IP を確認します。 アルテラとサードパーティ IP パートナーは、実装と検証時間を短縮するために実装できるアルテラのデバイス用に最適化された IP コアのパラメータ化されたブロックの大規模な選択を提供します。 推定要件に基づいて、必要とする機能を提供する使用可能な IP アドレスをチェックするために、アルテラ・ウェブサイトの All Intellectual Property ページを参照してください。

デザイン仕様

典型的には、FPGA は、システム全体の重要な部分であり、システム・デザインの他の部分に影響を与えます。次の手順でデザイン例を完成させます。

表 2. デザイン仕様チェックリスト (その 1)

項目	✓ チェックリスト項目
1.	<input type="checkbox"/> 詳細なデザイン仕様を作成します。 ロジック・デザインを作成したり、システム・デザインを完成させる前に、デザインの詳細な仕様を確定する必要があります。 <ul style="list-style-type: none"> ■ モジュールの I/O バンクを選択します。 ■ 異なるクロックドメインを識別します。 ■ 基本的なデザイン関数のブロック図を含みます。 ■ 共通のデザイン・ディレクトリを考慮 — デザインが複数の設計者を含む場合、一般的なデザイン・ディレクトリ構造は、デザイン統合段階を容易にします。
2.	<input type="checkbox"/> 詳細な機能検証やテスト・プランを作成します。 システムの検証方法を確認するために機能検証のプランを作成します。また、この段階でテスト・プランを作成すると、DFT (Design-For-Testability) および DFM (Design-For-Manufacturability) も容易になります。 たとえば、インタフェースを駆動するビルト・イン・セルフ・テスト (BIST) 機能を実行することをプランニングしている場合、FPGA デバイス内の Nios®II プロセッサと UART インタフェースを使用するようにプランニングすることができます。 詳細は、 10 ページの「使用可能なオンチップ・デバッグ・ツールを確認します。」 を参照してください。
3.	<input type="checkbox"/> システム・デザイン、特に I/O インタフェースに影響を与える IP を選択します。 詳細なデザイン仕様の IP (Intellectual Property) のブロックを含んでください。これらの仕様を作成することにより、デザイン効率が向上します。 アルテラとサードパーティ IP パートナーによって提供される使用可能な IP アドレスのリストについては、アルテラ・ウェブサイトの All Intellectual Property ページを参照してください。

表 2. デザイン仕様チェックリスト (その 2)

項目	✓ チェックリスト項目
4.	<input type="checkbox"/> ボード・デザインで <i>OpenCore Plus</i> の <i>Tethered</i> モードをサポートしていることを確認します。 多くの IP コアで使用可能な <i>OpenCore Plus</i> 機能を使用して、IP ライセンスを購入する前に、FPGA をプログラムして、ハードウェアでデザインを確認することができます。 <i>OpenCore Plus</i> は、以下のモードをサポートします。 <ul style="list-style-type: none"> ■ <i>Untethered</i> (アンテザード) — デザインは限定時間のみ実行されます。 ■ <i>ethered</i> — デザインは、ハードウェアの評価期間の期間中に実行されます。このモードでは、ボード上の JTAG ポートおよび <i>Quartus II Programmer</i> を実行するホスト・コンピュータに接続されているアルテラのダウンロード・ケーブルが必要です。<i>Tethered</i> モードを使用する場合、ボード・デザインでこの動作モードがサポートされていることを確認します。
5.	<input type="checkbox"/> 使用可能なシステム開発ツールを確認します。 詳細については、アルテラ・ウェブサイトの次の資料を参照してください。 <ul style="list-style-type: none"> ■ Design Tools & Services ■ Design Software Support

デバイスの選択

デザインのために適しているデバイス・バリエーション、密度、およびパッケージの組み合わせを決定するために、次のチェックリストを使用します。

表 3. デバイス選択の検討事項 (その 1)

事項	✓ チェックリスト項目
1.	<input type="checkbox"/> 使用可能なデバイスの亜種を検討します。 <i>Arria V</i> と <i>Cyclone V</i> デバイス・ファミリーは、さまざまなアプリケーション要件に最適化されるいくつかのデバイスの亜種で構成されています。 トランシーバ、I/O ピン数、LVDS チャネル、パッケージの種類、ロジック / メモリ / マルチプライヤの集積度、PLL、クロック配線およびスピード・グレードに基づいて、デバイスを選択します。 詳細については、下記の資料を参照してください。 <ul style="list-style-type: none"> ■ Arria V デバイスの概要 ■ Cyclone V デバイスの概要
2.	<input type="checkbox"/> 必要なロジック、メモリ、および乗算密度を推定します。 <i>Arria V</i> または <i>Cyclone V</i> デバイスは、デバイス・ロジック・リソースの異なる量を提供する密度の範囲を提供します。必要なロジック集積度の決定は、デザイン・プランニング・プロセスの中でも困難な作業になる可能性があります。より多くのロジック・リソースの多いデバイスは、大きく複雑なデザインを実装することが可能ですが、通常コストも高くなります。デバイスが小さいほど、スタティック消費電力も少なくなります。

表 3. デバイス選択の検討事項 (その 2)

事項	✓ チェックリスト項目
3.	<p><input type="checkbox"/> バーティカル・デバイス・マイグレーションの対応の可否および要件を検討します。</p> <p>デザインを別のデバイス集積度にマイグレーションするオプションが必要かどうか決定します。デザインが完成に近づいたら、将来のデバイス・マイグレーションに柔軟に対応するために、デバイスの集積度とパッケージを選択します。</p> <p>ピン移行の互換性を確認するには、Quartus II ソフトウェアのピン・プランナで Pin Migration View ウィンドウを使用しています。Pin Planner で Pin Migration View を使用して、マイグレーション・デバイス間に存在する可能性があるピンの違いを識別します。</p> <ul style="list-style-type: none"> ■ 一つのデバイスが V_{CC} または GND に接続するためのピンを持っていますが、別のデバイス上の I/O ピンである場合、Quartus II ソフトウェアは、これらのピンは I/O のために使用されていないことを確認します。移行については、これらのピンは正しく PCB プレーンに接続されていることを確認します。 ■ 同じパッケージ内の 2 つのデバイス間で移行する場合、オリジナル・デザインで大きなダイの V_{CC} または GND に小さいダイに接続されていないピンを接続します。 <p>ピン・マイグレーションの互換性の検証について詳しくは、「<i>Quartus II</i> ハンドブック」の「I/O Management」の章を参照してください。</p>
4.	<p><input type="checkbox"/> 類似したデザインのリソース使用率レポートを確認します。</p> <p>アルテラ・デバイスをターゲットとする他のデザインがある場合、それらのリソース使用率を新しいデザインの見積もりとして使用することができます。Quartus II ソフトウェアで使用されるコーディング・スタイル、デバイス・アーキテクチャ、および最適化オプションは、大幅にデザインのリソースの使用率およびタイミング性能に影響を与えることができます。</p> <p>アルテラの IP デザインの特定のコンフィギュレーションのためのリソース使用率を推定するために、アルテラ・ウェブサイトの IP and Megafunctions ページで関連するアルテラのメガファンクションと IP MegaCores ユーザーガイドを参照してください。</p>
5.	<p><input type="checkbox"/> 今後の開発およびデバッグのために、デバイスのリソースを予備します。</p> <p>デザイン・サイクルの後半でロジックを追加したり、デザインをアップグレードまたは拡張できるように、ある程度の安全マージンを持ってデザイン要件に最適なデバイスを選択します。デバイスの空きスペースを増やして、インクリメンタルまたはチーム・ベース・デザインのデザイン・フロアプランを容易に作成できるようにしたい場合もあります。</p> <p>11 ページの「デバッグ・ツールをプランニングするためのガイドラインを考慮します。」の説明に従って、デバッグ用リソースの確保について検討します。</p>

表 3. デバイス選択の検討事項 (その 3)

事項	✓ チェックリスト項目
6.	<p><input type="checkbox"/> 必要とする I/O ピンの数を見積もります。</p> <p>デザインの他のシステム・ブロックとのインタフェース要件を考慮して、アプリケーションに必要な I/O ピン数を決定します。使用されている I/O ピン数を決定するために、Quartus II ソフトウェアで既存のデザインをコンパイルすることができます。</p> <p>また、他の要素もデザインに必要とする I/O ピン数に影響できます。例えば同時スイッチング・ノイズ (SSN)、ピン配置ガイドライン、ピンが専用入力として使用、各 I/O バンクの I/O 規格の対応の可否、ロウとカラム I/O バンクの I/O 規格およびスピード間の差、および移行のオプションなどです。</p> <p>ピン位置の選択について詳しくは、7 ページの「ボード・デザイン」および 20 ページの「I/O およびクロックのプランニング」の該当するトピックを参照してください。</p>
7.	<p><input type="checkbox"/> デバッグのために予約する I/O ピンを検討します。</p> <p>11 ページの「デバッグ・ツールをプランニングするためのガイドラインを考慮します。」の説明に従って、デバッグ用の I/O ピンを予約について検討します。</p>
8.	<p><input type="checkbox"/> LVDS チャネルの数が十分であることを確認します。</p> <p>大きな密度とパッケージピン数は差動信号のためのより全二重 LVDS チャネルを提供します。お使いのデバイスの集積度とパッケージの組み合わせが十分な LVDS チャネルを備えていることを確認してください。</p>
9.	<p><input type="checkbox"/> PLL とクロック配線リソースの数を確認します。</p> <p>選択されたデバイスの集積度のパッケージ組み合わせがデザインのための十分な PLL とクロック配線リソースを含むことをチェックします。グローバル・クロック・リソースが特定の PLL 間で共有されるため、利用可能な入力に影響できます。</p> <p>クロック・ピンおよびグローバル配線リソースに関する詳細および参照については、を参照してください。20 ページの「I/O およびクロックのプランニング」</p>
10.	<p><input type="checkbox"/> 必要とするデバイスのスピードグレードを決定します。</p> <p>デバイスのスピード・グレードは、デバイスのタイミング性能およびタイミング・クロージャ、また消費電力に影響を与えます。デザインに必要なスピード・グレードを判断する 1 つの方法は、特定の I/O インタフェースでサポートされているクロック・レートを検討することです。</p> <p>異なるデバイスのスピード・グレードでのデバイスの異なるサイドの I/O ピンを使用してメモリ・インタフェースでサポートされているクロック・レートについて詳しくは、External Memory Interface Spec Estimator ページの推定ツールを使用してください。</p> <p>タイミング必要条件を満たすために設計を最適化して、より少ない時間が費やされるので、コンパイル時間を縮小するためにプロトタイプを作る間に、最も速いスピード・グレードを使用することができます。</p> <p>使用可能なスピード・グレードについて詳しくは、次のドキュメントを参照してください：</p> <ul style="list-style-type: none"> ■ Arria V デバイスのデータシート ■ Cyclone V デバイスのデータシート

ボード・デザイン

ボードをデザインするためのガイドラインとして、このセクションでチェックリストを使用してください。

早期ボード・デザイン

早期プランニングによって、FPGA チームは PCB ボード設計者とシステム設計者に情報を提供できます。

表 4. 初期ボード・プランニング・チェックリスト (その 1)

項目	✓ チェックリストの項目
1.	<p><input type="checkbox"/> 使用可能なコンフィギュレーション手法を確認します。</p> <p>Arria V および Cyclone V デバイスは、数種類のコンフィギュレーション手法のいずれか 1 つを使用してコンフィギュレーションできます。</p> <p>各デバイスファミリで使用可能なコンフィギュレーション手法のリストについては、次のドキュメントの「プロトコルを介してエンハンスド・コンフィギュレーションおよびコンフィギュレーション」の項を参照してください。</p> <ul style="list-style-type: none"> ■ Arria V デバイスの概要 ■ Cyclone V デバイスの概要
2.	<p><input type="checkbox"/> コンフィギュレーション手法の選択します。</p> <p>MSEL ピンの設定を含むコンフィギュレーション手法、必要なコンフィギュレーション手法の実行、必要かつ任意のピンの設定については、次のドキュメントを参照してください。</p> <ul style="list-style-type: none"> ■ Arria V デバイスのコンフィギュレーション、デザインのセキュリティ、およびリモート・システム・アップグレード ■ Cyclone V デバイスのコンフィギュレーション、デザインのセキュリティ、およびリモート・システム・アップグレード <p>コンフィギュレーション手法を選択する方法については、Configuring Altera FPGAs を参照してください。</p>

表 4. 初期ボード・プランニング・チェックリスト (その 2)

項目	✓ チェックリストの項目
3.	<p data-bbox="511 304 1421 325">☐ コンフィギュレーション・デバイスのサポートと可用性を考慮します。</p> <ul style="list-style-type: none"> <li data-bbox="552 346 1421 556">■ すべてのコンフィギュレーション手法では、コンフィギュレーション・デバイス、ダウンロード・ケーブル、または外部コントローラ (MAX®II デバイスまたはマイクロプロセッサなど) のいずれかを使用します。アクティブ・シリアル (AS) コンフィギュレーション手法では、アルテラのシリアル・コンフィギュレーション・デバイス (EPCS) およびクワッドシリアル・コンフィギュレーション・デバイス (EPCQ) を使用することができます。 <li data-bbox="552 567 1421 745">■ Quartus II のプログラマは、USB-Blaster™、EthernetBlaster II、または ByteBlaster™II ダウンロード・ケーブルと PS または JTAG インタフェースを直接に使用してデバイスの設定をサポートします。同じダウンロード・ケーブルを使用してボード上のコンフィギュレーション・デバイスをプログラムし、SignalTap™ II エンベデッド・ロジック・アナライザなどのデバッグ・ツールを使用することができます。 <li data-bbox="552 756 1421 1060">■ シリアル・コンフィギュレーション・デバイスは JTAG インタフェースを直接サポートしていませんが、JTAG ダウンロード・ケーブルが Quartus II ソフトウェアのシリアル・フラッシュ・ローダ (SFL) 機能を使用してデバイスをプログラムすることができます。この機能は、両方のデバイスが同じ JTAG インタフェースを使用することを可能にして、JTAG インタフェースおよびコンフィギュレーション・デバイス間のブリッジとして FPGA を使用します。しかし、EPCS または EPCQ コンフィギュレーション・デバイスをプログラミングする前に FPGA をコンフィギュレーションする必要がありますので、SFL ソリューションを使用して EPCS をプログラミングすると、インタフェースなどの標準よりも遅くなります。 <li data-bbox="552 1071 1421 1344">■ システムに既にコモン・フラッシュ・インタフェース (CFI) フラッシュ・メモリがある場合、デバイスのコンフィギュレーション・ストレージとしても使用できます。MAX II および MAX V デバイスのパラレル・フラッシュ・ローダ (PFL) メガファンクションと JTAG インタフェースを通じて CFI フラッシュ・メモリ・デバイスをプログラムすることができます。PFL は、Arria V または Cyclone V デバイスにフラッシュ・メモリ・デバイスからのコンフィギュレーションを制御することができます。また、データ圧縮をサポートしています。この PFL 機能を使用して、PS および FPP 両方のコンフィギュレーション・モードがサポートされます。 <li data-bbox="552 1354 1421 1564">■ また、SRrunner ソフトウェア・ドライバ (設計者が異なるエンベデッド・システムに適合するようにカスタマイズできるエンベデッド・シリアル・コンフィギュレーション・デバイス・プログラミング用に開発されたソフトウェア・ドライバ) 付きの BP Microsystems および System General、または a マイクロプロセッサなどのサード・パーティー・プログラマをサポートしたアルテラ・プログラミング・ユニット (APU) を使用することができます。 <p data-bbox="552 1585 1421 1669">コンフィギュレーション・デバイス、SRrunner ソフトウェア、およびアルテラのダウンロード・ケーブルのドキュメントのリストについては、アルテラ・ウェブサイトの Configuration Devices ページを参照してください。</p>

表 4. 初期ボード・プランニング・チェックリスト (その 3)

項目	✓ チェックリストの項目
4.	<p data-bbox="511 294 1421 357"> <input type="checkbox"/> コンフィギュレーション手法とボードが必要な機能をサポートしていることを確認します。 </p> <ul style="list-style-type: none"> <li data-bbox="552 367 1421 556"> <p>■ データ圧縮復元 — データ圧縮をイネーブルすると、ストレージ要件とコンフィギュレーション・ビットストリームを伝送するための時間削減されます。選択した FPP コンフィギュレーション手法に基づいて、DCLK への DATA の比率が変化されます。成功したコンフィギュレーションのために、コンフィギュレーション・コントローラは、DATA への DCLK の比率を満たす DCLK を送信する必要があります。</p> <li data-bbox="552 567 1421 745"> <p>■ デザイン・セキュリティ — この機能は、256 ビットのセキュリティ・キーを使用しています。デバイスは、FIPS-197 認定された AES アルゴリズムを使用してコンフィギュレーション・ビットストリームを復号化することができます。デザイン・セキュリティは、FPPAS、または PS コンフィギュレーション手法のために使用可能ですが、JTAG コンフィギュレーション手法では使用できません。</p> <li data-bbox="552 756 1421 871"> <p>■ リモート・システム・アップグレード — EPCS および EPCQ デバイスの AS コンフィギュレーション手法でサポートされています。ALTREMOTE_UPDATE メガファンクションを使用して、リモート・システム・アップグレード・インタフェースを実装できます。</p> <li data-bbox="552 882 1421 1071"> <p>■ SEU の緩和 — バイスにおける専用回路は、CRC (Cyclic Redundancy Check) エラー検出を実行し、必要に応じて自動的に SEU エラーをチェックします。SEU エラーを検出するには、エラーをフラグするために CRC_ERROR ピンを使用して、適切なアクションでシステムをデザインします。CRC エラー検出機能をイネーブルしない場合、デザインの I/O ピンとして CRC_ERROR ピンを使用することができます。</p> <p data-bbox="552 1081 1112 1113">詳細については、下記の資料を参照してください。</p> <ul style="list-style-type: none"> <li data-bbox="552 1123 1421 1186">■ <i>Arria V</i> デバイスのコンフィギュレーション、デザインのセキュリティ、およびリモート・システム・アップグレード <li data-bbox="552 1197 1421 1260">■ <i>Cyclone V</i> デバイスのコンフィギュレーション、デザインのセキュリティ、およびリモート・システム・アップグレード <li data-bbox="552 1270 1421 1333">■ リモート・システム・アップグレード (ALTREMOTE_UPDATE) メガファンクションのユーザー・ガイド <li data-bbox="552 1344 917 1375">■ <i>Arria V</i> デバイスの SEU の緩和 <li data-bbox="552 1386 950 1417">■ <i>Cyclone V</i> デバイスの SEU の緩和

表 4. 初期ボード・プランニング・チェックリスト (その 4)

項目	✓ チェックリストの項目
5.	<p data-bbox="511 296 1416 359">☐ 必要に応じてオプションのコンフィギュレーション・ピン (CLKUSR および INIT_DONE) のサポートをプランニングします。</p> <p data-bbox="548 365 1416 428">以下のオプションのコンフィギュレーション・ピンをイネーブルすることができます。</p> <ul style="list-style-type: none"> <li data-bbox="548 443 1416 653">■ CLKUSR—Enable user-supplied start-up clock (CLKUSR) オプションは、初期化に使用するクロック・ソース (内部オシレータまたは CLKUSR ピンに供給される外部クロックのいずれか) を選択することができます。また、CLKUSR は、最大 125 MHz で AS コンフィギュレーション・クロック (DCLK) を駆動することができます。Quartus II ソフトウェアでは、Device and Pins Option ダイアログ・ボックスの Configuration ページでこの機能をイネーブルしてください。 <li data-bbox="548 659 1416 892">■ INIT_DONE— デバイスが初期化を完了し、ユーザー・モードになっているかどうかをチェックするために INIT_DONE ピンを監視することができます。INIT_DONE ピンはオープン・ドレイン出力で、V_{CCPGM} への外部プルアップを必要とします。リセット時に、デバイスが POR を終了した後、コンフィギュレーションの初めに、INIT_DONE ピンはトライステートと外部プルアップ抵抗で High にプルアップされます。INIT_DONE ピンを有効にするには、Enable INIT_DONE output オプションをオンにします。
6.	<p data-bbox="511 905 1416 936">☐ Auto-restart after configuration error オプションのためにプランニングします。</p> <p data-bbox="548 942 1416 1136">nSTATUS ピンを Low に駆動することによって内部的にデバイスをリセットするには、Auto-restart after configuration error オプションをイネーブルします。デバイスは、リセット・タイムアウト期間を過ぎると nSTATUS ピンをリリーズします。この動作は、コンフィギュレーション・サイクルを再び開始することができます。nSTATUS ピンは、V_{CCPGM} の外部 10-kΩ プルアップ抵抗が必要です。</p>
7.	<p data-bbox="511 1148 1416 1180">☐ 使用可能なオンチップ・デバッグ・ツールを確認します。</p> <p data-bbox="548 1186 1416 1249">オン・チップ・デバッグ機能を活用して内部信号を解析し、高性能デバッグ手法を実行します。</p> <p data-bbox="548 1262 1416 1419">システムおよび設計者ごとに、最適なデバッグ・ツールは異なります。初期の計画では、デバッグに費やす時間を削減し、お好みのデバッグ手法に対応するために、後でデザイン変更を排除することができます。デバイスにおける内部信号および I/O ピンのアクセス能力のために、デバッグ・ピンを追加するだけでは不十分な場合があります。</p> <p data-bbox="548 1432 1416 1495">Quartus II ソフトウェアのイン・システムのデバッグ・ツールについて詳しくは、以下のドキュメントを参照してください。</p> <ul style="list-style-type: none"> <li data-bbox="548 1501 1416 1533">■ Quartus II ハンドブックの System Debugging Tools Overview <li data-bbox="548 1539 1416 1570">■ Virtual JTAG (sld_virtual_jtag) Megafunction User Guide

表 4. 初期ボード・プランニング・チェックリスト (その 5)

項目	✓ チェックリストの項目
8.	<p data-bbox="511 304 1372 331"> <input type="checkbox"/> デバッグ・ツールをプランニングするためのガイドラインを考慮します。 </p> <ul style="list-style-type: none"> <li data-bbox="552 346 1421 409"> <input checked="" type="checkbox"/> オン・チップ・デバッグ手法を早期段階で選択して、メモリおよびロジック要件、I/O ピン接続、およびボード接続をプランニングします。 <li data-bbox="552 420 1421 567"> <input checked="" type="checkbox"/> SignalProbe インクリメンタル配線、SignalTap II エンベデッド・ロジック・アナライザ、ロジック・アナライザ・インタフェース、インシステム・メモリ・コンテンツエディタ、イン・システム・ソースおよびプローブ、または Virtual JTAG メガファンクションを使用する場合、デバッグ用の使用可能な JTAG 接続でお使いのシステムやボードをプランニングします。 <li data-bbox="552 577 1421 640"> <input checked="" type="checkbox"/> JTAG デバッグ機能の JTAG ハブ・ロジックを実装するための追加ロジック・リソースをプランニングします。 <li data-bbox="552 651 1421 714"> <input checked="" type="checkbox"/> SignalTap II エンベデッド・ロジック・アナライザのデバッグは、システム動作中にデバイス・メモリを予備してデータをキャプチャします。 <li data-bbox="552 724 1421 808"> <input checked="" type="checkbox"/> 後でデバッグ信号に対応するためにデザインやボードを変更しなくすむように、SignalProbe または Logic Analyzer Interface によるデバッグ用の I/O ピンを予約します。 <li data-bbox="552 819 1421 882"> <input checked="" type="checkbox"/> 対象のボードで、デバッグ信号がシステムの動作に影響を与えないデバッグ・モードがサポートされていることを確認します。 <li data-bbox="552 892 1421 976"> <input checked="" type="checkbox"/> 外部ロジック・アナライザまたはミックスド・シグナル・オシロスコープを使用する場合、必要に応じてピン・ヘッダまたは Mictor コネクタを組み込みます。 <li data-bbox="552 987 1421 1113"> <input checked="" type="checkbox"/> デバッグ・ツールをインクリメンタルに使用して、コンパイル時間を減少させる場合、デバッグツールを変更するために、デザインを再コンパイルする必要がないようにインクリメンタル・コンパイルがオンであることを確認してください。 <li data-bbox="552 1123 1421 1207"> <input checked="" type="checkbox"/> カスタム・デバッグ・アプリケーションに Virtual JTAG メガファンクションを使用する場合、HDL コードでこれをデザイン・プロセスの一部としてインスタンス化します。 <li data-bbox="552 1218 1421 1281"> <input checked="" type="checkbox"/> In-System Sources and Probes 機能を使用する場合、HDL コードのメガファンクションをインスタンス化します。 <li data-bbox="552 1291 1421 1417"> <input checked="" type="checkbox"/> RAMやROMブロック、あるいはIpm_constantメガファンクションにIn-System Memory Content Editor を使用するには、MegaWizard Plug-In Manager でメモリ・ブロックを作成するときに、Allow In-System Memory Content Editor オプションをオンにします。

表 4. 初期ボード・プランニング・チェックリスト (その 6)

項目	✓ チェックリストの項目
9.	<p data-bbox="511 304 1421 367">☐ 電源および冷却ソリューションを推定するための <i>PowerPlay Early Power Estimator (EPE)</i> を使用します</p> <p data-bbox="511 378 1421 525">FPGA の消費電力は論理デザインに依存し、初期のボードの仕様とレイアウト時に推定することが困難です。しかし、それはデザイン上の重要な考慮事項であり、電源、電圧レギュレータ、デカップリング・コンデンサ、ヒート・シンク、冷却システムをデザインするための適切な電力バジェットを開発するために正確に推定する必要があります。</p> <p data-bbox="511 535 1421 714">完全なデザインを持つ前に、電力、電流、およびデバイスの接合部温度を推定するためにアルテラの <i>PowerPlay EPE</i> スプレッドシートを使用してください。EPE は、デバイス情報、プランニングされたデバイス・リソース、動作周波数、トグル・レート、周囲温度、ヒート・シンク情報、エア・フロー、ボードの熱モデル、および他の環境の考慮事項に基づいて推定された情報を算出します。</p> <ul data-bbox="511 724 1421 976" style="list-style-type: none"> ■ 既存のデザインまたは部分的にコンパイルされたデザインがある場合、QuartusII ソフトウェアの Generate PowerPlay Early Power Estimator File コマンドを使用して、スプレッドシートに入力することができます。 ■ 既存のデザインがない場合、デザインで使用するデバイス・リソース数を手動で推定して、それを EPE スプレッドシートで入力する必要があります。デザイン・フェースの間、またはデザイン・フェースの後にデバイスのリソース情報が変更された場合、消費電力の見積りの結果はあまり正確になります。 <p data-bbox="511 997 1421 1081">EPE のユーザー・ガイド、およびデバイスに適切な <i>PowerPlay EPE</i> スプレッドシートをダウンロードするには、アルテラ・ウェブサイトの PowerPlay Early Power Estimators (EPE) and Power Analyzer ページを参照してください。</p> <p data-bbox="511 1092 1421 1186">適切な電源デザインのガイドラインについては、14 ページの「ダウンロード・ケーブルのヘッダに JTAG ピンの接続を確認します。」を参照してください。</p>

表 4. 初期ボード・プランニング・チェックリスト (その 7)

項目	✓ チェックリストの項目
10.	<p><input type="checkbox"/> トランシーバ・デザイン・ガイドラインを確認します。</p> <p>Arria V および Cyclone V のトランシーバのための Quartus II ソフトウェア・サポート・モデルは、データ・フローを処理するためにプロセッサを使用する方法を考慮します。Quartus II ソフトウェアでは、高速トランシーバは PHY IP コアで表されます。PHY IP コアの代わりに、トランシーバ電圧、終端、および PLL 設定は、Quartus II Settings File (.qsf) によって処理されます。</p> <p>および Cyclone V のトランシーバについて詳しくは、次の資料を参照してください。</p> <ul style="list-style-type: none"> ■ Arria V デバイス・ハンドブック Volume 2: トランシーバ ■ Cyclone V デバイス・ハンドブック Volume 2: トランシーバ <p>PHY IP デザインはモジュールであり、標準インタフェースを使用しています。すべての PHY IP では、コントロールおよびステータス・レジスタにアクセスするための Avalon® Memory-Mapped (Avalon-MM) インタフェースまたはコンジット・インタフェース、そしてデータ転送のための MAC レイヤ・デザインに接続するための Avalon Streaming (Avalon-ST) が含まれています。詳細については、下記の資料を参照してください。</p> <ul style="list-style-type: none"> ■ アルテラのトランシーバ PHY IP コア・ユーザー・ガイド ■ Avalon インタフェースの仕様 <p>カスタム PHY IP コアを使用してトランシーバ・デザインをシミュレートする要件、デザインへの移行、.qsf の設定を変更するための方法については、「Stratix V Device Design Guidelines」での「Appendix: Stratix® V Transceiver Design Guidelines」の項を参照してください。文書のガイドラインは、Arria V および Cyclone V トランシーバに適用されます。</p>

電源ピン間の接続

デバイスは、デザイン要件に応じて様々な電圧を供給する必要があります。FPGA の電源ピン接続のボードをデザインするには、次のチェックリストを使用してください。

コンフィギュレーション・ピンの接続

コンフィギュレーション手法に応じて、異なるプルアップまたはプルダウン抵抗、シグナル・インテグリティ、および特定のピンの要件が適用される場合があります。正しくコンフィギュレーション・ピンを接続することが重要です。一般的な問題に対処するために、次のチェックリストを使用します。

表 5. コンフィギュレーション・ピンの接続のチェックリスト (その 1)

項目	✓ チェックリストの項目
1.	<p><input type="checkbox"/> コンフィギュレーション・ピンの接続およびプルアップまたはプルダウン抵抗がコンフィギュレーション手法のために正確であることを確認します。</p> <p>各コンフィギュレーション・ピンについては、次のドキュメントを参照します。</p> <ul style="list-style-type: none"> ■ Arria V Device Family Pin Connection Guidelines ■ Cyclone V Device Family Pin Connection Guidelines

表 5. コンフィギュレーション・ピンの接続のチェックリスト (その 2)

項目	✓ チェックリストの項目
2.	<input type="checkbox"/> 高速信号またはシステム・クロックのデザインと同様の技術を用いるデザイン・コンフィギュレーション DCLK と TCK ピン。 <ul style="list-style-type: none"> ■ TCK 信号のノイズは JTAG コンフィギュレーションに影響を与えることができます。 ■ ノイズ DCLK 信号は、コンフィギュレーションに影響を与え、CRC エラーを引き起こす可能性があります。 ■ デバイスのチェーンでは、チェーンの TCK または DCLK ピンのノイズは、チェーン全体の JTAG プログラミングまたはコンフィギュレーションを失敗させる可能性があります。
3.	<input type="checkbox"/> 確認し JTAG ピンが使用されていないときに安定した電圧レベルに接続されることを確認します。 JTAG コンフィギュレーションはすべてのコンフィギュレーション方式に優先します。JTAG インタフェースを使用しない場合、コンフィギュレーション時に JTAG ピンがフローティングまたはトグルの状態に放置しないでください。
4.	<input type="checkbox"/> ダウンロード・ケーブルのヘッダに JTAG ピンの接続を確認します。 JTAG モードで動作するデバイスは、必要な TDI、TDO、TMS、および TCK の 4 本の専用ピン、および TRST の 1 本のオプション・ピンを使用します。TCK ピンには、内部ウィーク・プルダウン抵抗があります。TDI、TMS、および TRST ピンは内部ウィーク・プルアップ抵抗を備えています。JTAG 出力ピン (TDO) およびすべての JTAG 入力ピンは、2.5V/3.0V の V_{CCPD} 電源で駆動します。
5.	<input type="checkbox"/> 次の JTAG ピン接続のガイドラインを確認します。 <ul style="list-style-type: none"> ■ チェイン内の複数のデバイスがある場合、チェーン内の次のデバイスの TDI ピンに、デバイスの TDO ピンを接続します。 ■ コンフィギュレーション中、ユーザー・モード、またはパワーアップ時の JTAG ピンのノイズにより、デバイスが未定義状態やモードに入る可能性があります。 ■ パワーアップ時に JTAG ステート・マシンをディセーブルするには、予期しない立ち上がりエッジが TCK ピン上で発生しないことを確実にするために、1-kΩ の抵抗を介して TCK ピンを Low にプルダウンします。 ■ 10-kΩ に 1-kΩ~10-kΩ の抵抗で TMS および TDI を High にプルアップします。 ■ V_{CCPD} に直接 TRST を接続します。ピンを Low に接続すると、JTAG 回路をディセーブルします。

表 5. コンフィギュレーション・ピンの接続のチェックリスト (その 3)

項目	✓ チェックリストの項目
6.	<p><input type="checkbox"/> ダウンロード・ケーブルとの JTAG ピンの電圧の互換性を確認します。</p> <p>ダウンロード・ケーブルは、お使いのデバイスの JTAG ピンとインタフェースしています。10 ピン・ヘッダーを介してターゲット・ボードによって、アルテラのダウンロード・ケーブルに供給される動作電圧はダウンロード・ケーブルの動作電圧レベルを決定します。JTAG ピンは V_{CCPD} から電源が供給されます。</p> <p>異なる V_{CCIO} レベルのデバイスを含む JTAG チェインには、高い V_{CCIO} レベルを持つデバイスは、同じまたはより低い V_{CCIO} レベルを持つデバイスを駆動する必要があります。ワン・レベル・シフタは、このデバイス構成を有するチェインの末端に必要とされます。この構成が不可能な場合、より多くのレベル・シフタをチェインに追加する必要があります。</p> <p>チェイン内のデバイスに複数の電圧と JTAG チェインの接続に関する推奨事項については、次のドキュメントを参照してください：</p> <ul style="list-style-type: none"> ■ JTAG Boundary-Scan Testing in Arria V Devices ■ JTAG Boundary-Scan Testing in Cyclone V Devices
7.	<p><input type="checkbox"/> 次のガイドラインに従って JTAG 信号をバッファします。</p> <ul style="list-style-type: none"> ■ ケーブルには、3 つ以上のデバイスを駆動する場合、信号劣化を防ぐために、ケーブル・コネクタで JTAG 信号をバッファリングします。 ■ ボードに何かを追加して、JTAG 信号のインダクタンスやキャパシタンスに影響されると、バッファをチェインに追加する必要がある可能性が高くなります。 ■ 各バッファは、TCK と TMS 信号のための 8 個以下のロードだけ駆動できます (並列に駆動される)。ジャンパーまたはスイッチがパスに追加された場合、ロードの数を減少させます。
8.	<p><input type="checkbox"/> チェインのデバイスが正しく接続されていることを確認します。</p> <p>デバイスがコンフィギュレーション・チェインにある場合、チェイン内のすべてのデバイスが正しく接続されていることを確認します。</p>
9.	<p><input type="checkbox"/> MSEL ピンがフロートの状態のままにしてはなりません。そしてウィーク・プルアップ抵抗を使用しないことを保証します。</p> <ul style="list-style-type: none"> ■ MSEL ピンは直接電源または GND に接続します。 ■ プル・アップ使用またはプル・ダウン抵抗を使用されている場合、0-W の抵抗を使用します。 ■ MSEL ピンはフロートの状態またはウィーク・プルアップしている場合、デバイスをコンフィギュレーションすることができません。
10.	<p><input type="checkbox"/> 他のコンフィギュレーション・ピンは、次のガイドラインを確認します。</p> <ul style="list-style-type: none"> ■ nCE (チップ・イネーブル) ピンを、コンフィギュレーション実行中、初期化中、およびユーザー・モードでは Low に保持します。 <ul style="list-style-type: none"> ■ シングル・デバイス・コンフィギュレーションまたは JTAG プログラミングでは、nCE を Low に接続します。 ■ マルチ・デバイス・コンフィギュレーションでは、最初のデバイスの nCE は Low に接続し、nCEO ピンはチェイン内の次のデバイスの nCE ピンに接続します。

表 5. コンフィギュレーション・ピンの接続のチェックリスト (その 4)

項目	✓ チェックリストの項目
11.	<p><input type="checkbox"/> 有効デバイス全体の出力をオンにする必要があるかどうかを判断します。</p> <p>デバイスは、ユーザーがデバイスの I/O のすべてのトライ・ステートを無効にできるオプションのチップ・ワイド出力イネーブルをサポートしています。この DEV_OE ピンが Low にドライブされると、すべての I/O ピンはトライ・ステートになり、High にドライブされるとプログラムどおりに動作します。</p> <p>チップ・ワイド出力イネーブル機能を使用するには：</p> <ul style="list-style-type: none"> ■ デザインをコンパイルする前に Quartus II ソフトウェアで、Device & Pin Options ダイアログ・ボックスの General タブにある Enable device-wide output enable (DEV_OE) をオンにします。 ■ DEV_OE ピンはボード上の有効なロジック・レベルに駆動されていることを確認します。 ■ DEV_OE ピンをフローティング状態のままにしないでください。

汎用 I/O ピン

一般的な I/O ピン接続をプランニングするために、シグナル・インテグリティを向上させるために、次のチェックリストを使用します。

表 6. 汎用 I/O ピン接続のチェックリスト (その 1)

番号	✓ チェックリストの項目
1.	<p><input type="checkbox"/> 次のガイドラインに従って、未使用の I/O ピンの状態を指定します。</p> <ul style="list-style-type: none"> ■ 消費電力を低減するには、クロック・ピンを設定し、未使用 I/O ピンを As inputs tri-stated として設定します。デフォルトでは、Quartus II ソフトウェアは、イネーブルされたウィーク・プルアップ抵抗でトライ・ステートされる入力ピンを設定します。 ■ シグナル・インテグリティを向上させるには、Quartus II ソフトウェアの Device and Pin Options ダイアログ・ボックスの Unused Pins カテゴリで Reserve all unused pins オプションで、未使用ピン As output driving ground を設定します。この設定により、短いリターン・パスを作成することによってインダクタンスを低減し、隣接する I/O 上のノイズを低減します。しかし、デバイス下の信号に渋滞を引き起こす多くのパスに結果となる場合、このアプローチを使用しないでください。 ■ デザインをコンパイルするときに慎重に、Quartus II ソフトウェアで生成されたピンのレポート・ファイル (.pin) のピン接続を確認してください。.pin は、デバイス・ピンを接続する方法を指定します。GND として指定された I/O ピンはノイズ耐性を改善するためにグラウンドに未接続のまま、または接続することができます。RESERVED ピンは接続しないでください。

表 6. 汎用 I/O ピン接続のチェックリスト (その 2)

番号	✓ チェックリストの項目
2.	<p><input type="checkbox"/> ボード・デザイン・ソースセンターを参照します。</p> <p>デザインが、高速信号を持っている場合、特に Arria V または Cyclone V 高速トランシーバがある場合、ボード・デザインは、システムにおけるシグナル・インテグリティに大きな影響があります。</p> <p>シグナル・インテグリティとボード・デザインについて詳しくは、アルテラ・ウェブサイト上の「Board Design Resource Center」を参照してください。</p> <p>例えば、高速ボードのスタック・アップと信号配線レイヤに関する情報を提供する以下のアプリケーション・ノートが提供されています。</p> <ul style="list-style-type: none"> ■ AN 528: PCB Dielectric Material Selection and Fiber Weave Effect on High-Speed Channel Routing ■ AN 529: Via Optimization Techniques for High-Speed Channel Designs ■ AN 530: Optimizing Impedance Discontinuity Caused by Surface Mount Pads for High-Speed Channel Designs <p>また、Quartus II ソフトウェアに関連した、ボード・レベルのシグナル・インテグリティ情報については、アルテラ・ウェブサイト上の I/O Management, Board Development Support, and Signal Integrity Analysis Resource Center を参照することができます。</p>
3.	<p><input type="checkbox"/> VREF ピンにノイズが発生しないようにデザインします。</p> <p>VREF ピンの電圧変動は、入力のスレッシュホールド感度に影響を及ぼすことがあります。VREF ピンおよび I/O 規格について詳しくは、21 ページの「I/O 機能およびピン接続」を参照してください。</p>
4.	<p><input type="checkbox"/> ボード・デザイン・ガイドラインのソリューション・センターを参照します。</p> <p>SSN によって発生するノイズ — 同時に近接変更電圧レベルがあまりにも多くのピンがある場合、ノイズ・マージンを減少させ、不正確なスイッチングを引き起こす可能性があります。たとえば、これらのボード・レイアウトの推奨事項を考慮してください。</p> <ul style="list-style-type: none"> ■ デバイス近くのボード層で大きなバス信号が突発的に発生した場合に、クロストークの低減に役立つことがあります。 ■ 2つの信号層が隣接している場合、可能であれば配線パターンを直角に配線し、2～3の配線パターン幅を分離して使用します。 <p>ノイズ低減を支援することができるより多くのボード・レイアウトの推奨事項については、アルテラ・ウェブサイト上の Board Design Guidelines Solution Center の PCB ガイドラインを参照してください。</p> <p>I/O およびクロック接続のための推奨事項のリストについては、29 ページの「I/O 同時スイッチング・ノイズ」を参照してください。</p>

表 6. 汎用 I/O ピン接続のチェックリスト (その 3)

番号	✓ チェックリストの項目
5.	<p data-bbox="503 331 1096 363">□ I/O 終端およびインピーダンス整合を確認します。</p> <p data-bbox="544 373 1404 468">電圧リファレンス形式の I/O 規格では、VREF と終端電圧 (VTT) の両方が必要です。受信デバイスのリファレンス電圧は、送信デバイスの終端電圧に追従します。次の項目を参照してください。</p> <ul data-bbox="544 478 1412 835" style="list-style-type: none"> <li data-bbox="544 478 1412 594">■ 電圧リファレンス形式の I/O 規格は、それぞれに固有の終端設定が必要です。例えば、SSTL2 規格では優れたノイズ・マージンを持つ信頼性の高い DDR メモリ・システムを作成するために、適切な抵抗性の信号終端方式が重要です。 <li data-bbox="544 604 1412 699">■ シングル・エンド非電圧リファレンス形式の I/O 規格では終端は不要ですが、反射を抑え、シグナル・インテグリティを向上させるためにインピーダンス・マッチングが必要です。 <li data-bbox="544 709 1412 835">■ 差動 I/O 規格は、通常はレシーバの 2 つの信号間に終端抵抗を必要とします。終端抵抗は、信号ラインの差動ロードのインピーダンスと整合しなければなりません。Arria V および Cyclone V デバイスは、LVDS を使用するときにオプションの差動オンチップ抵抗を提供します。 <p data-bbox="544 846 1412 961">Arria V および Cyclone V の直列および並列 On-Chip Termination では、外部コンポーネントが必要ないためデザインが簡潔になります。その代わりとして、外部プルアップ抵抗を使用して、SSTL や HSTL などの電圧リファレンス形式の I/O 規格を終端できます。</p> <p data-bbox="544 972 1404 1035">各 I/O 規格のための On-Chip Termination (OCT) のサポートの完全なリストについては、次のドキュメントを参照してください。</p> <ul data-bbox="544 1045 933 1119" style="list-style-type: none"> <li data-bbox="544 1045 901 1077">■ Arria V デバイスでの I/O 機能 <li data-bbox="544 1087 933 1119">■ Cyclone V デバイスでの I/O 機能
6.	<p data-bbox="503 1144 1412 1207">□ IBIS モデルを使用して完全なボード・ルーティング・シミュレーションを実行します。</p> <p data-bbox="544 1218 1412 1333">I/O 信号がボード・セットアップにおいて確実にレシーバ・スレッショルド・レベルを満たすようにするには、IBIS モデルを使用するサードパーティ製のボード・レベル・シミュレーション・ツールでフル・ボード配線シミュレーションを実行します。</p> <p data-bbox="544 1344 1412 1459">Quartus II ソフトウェアでピンを設定するには、Assignments メニューの Settings をクリックします。EDA Tool Settings カテゴリの Board-Level ページにナビゲートします。Board-level signal integrity analysis の項の Format オプションで、IBIS を選択します。</p> <p data-bbox="544 1470 1412 1533">詳細は、「Quartus II ハンドブック」の「Signal Integrity Analysis with Third-Party Tools」の章を参照してください。</p>

表 6. 汎用 I/O ピン接続のチェックリスト (その 4)

番号	✓ チェックリストの項目
7.	<p><input type="checkbox"/> <i>Quartus II</i> アドバンスド I/O タイミング解析のためのボード・トレース・モデルをコンフィギュレーションします。</p> <p>システムの正常動作をデザインするときに、シグナル・インテグリティとボード・ルーティング伝播遅延が重要です。ボード・デザインの高速インタフェースを備えた FPGA を使用する場合、I/O およびボード・プランニングの一環として、ボード・レベルのタイミングを分析します。</p> <p>システム・レベルで信号動作により良い洞察を得るためにより正確な I/O 遅延や余分なレポートを生成するには、<i>Quartus II</i> プロジェクトの Settings ダイアログ・ボックスにおける TimeQuest Timing Analyzer カテゴリの Enable Advanced I/O Timing をオンにします。このオプションがオンにすると、TimeQuest タイミング・アナライザは、I/O 遅延を生成するために I/O バッファ、パッケージ、およびボード・トレース・モデル用のシミュレーション結果を使用しています。</p> <p>これらの高度なタイミング・レポートを参考にして、I/O アサインメントとボード・デザインを変更し、タイミングおよびシグナル・インテグリティを向上させることができます。</p>
8.	<p><input type="checkbox"/> ピン接続を確認します。</p> <p>アルテラは、回路図を確定するときに考慮する必要があるデバイスのピン接続のガイドラインおよび他のボード・レベルのピン接続の資料に基づいて回路図レビュー・ワークシートを提供します。</p> <p>回路図中でのエラーを点検して、アルテラのガイドラインに従うには、以下のワークシートを使用します。</p> <ul style="list-style-type: none"> ■ <i>Arria V</i> デバイス回路図レビュー・ワークシート ■ <i>Cyclone V</i> の回路図レビュー・ワークシート

I/O およびクロックのプランニング

ガイドラインは、I/O およびクロックをプランニングするには、この項でチェックリストを使用してください。

早期ピン・プランニングおよび I/O アサインメントの解析

多くのデザイン環境において、FPGA 設計者は、トップ・レベル I/O ピンを早期にプランニングして、ボード設計者が PCB のデザインおよびレイアウトの開発を開始できるようにすることを望みます。

表 7. 早期ピン・プランニングおよび I/O アサインメントの解析のチェックリスト (その 1)

項目	✓ チェックリストの項目
1.	<input type="checkbox"/> 早期に FPGA 配置配線ソフトウェアでピン位置を確認します。 FPGA デバイスの I/O 機能とボード・レイアウト・ガイドラインは、ピン位置およびその他のタイプのアサインメントに影響を及ぼします。FPGA のピン・プランニングを早期に開始することにより、早期のボード・レイアウトに対する信頼が高まり、エラーが生じる可能性が低くなり、デザインの全体的な「Time-To-Market」が短縮されます。

表 7. 早期ピン・プランニングおよび I/O アサインメントの解析のチェックリスト (その 2)

項目	✓ チェックリストの項目
2.	<p data-bbox="511 331 1404 388">□ I/O ピン配置、アサインメント、および検証のための <i>Quartus II Pin Planner</i> を使用します。</p> <p data-bbox="548 401 1404 520">デザイン・プロセスの早期に、システム開発者は通常、標準 I/O インタフェース (メモリ、バス・インタフェースなど)、デザインで使用する IP コア、およびシステム要件で定義されるその他の I/O 関連アサインメントに関する情報を持っています。</p> <p data-bbox="548 533 1421 590">I/O ピンのアサインメント・プランニング、アサインメント、および検証のための <i>Quartus II Pin Planner</i> を使用することができます。</p> <ul style="list-style-type: none"> <li data-bbox="548 602 1421 722">■ <i>Quartus II</i> の Start I/O Assignment Analysis コマンドにより、ターゲットの FPGA アーキテクチャでピン位置とピン・アサインメントがサポートされていることがチェックされます。チェックには、リファレンス電圧ピンの使用、ピン配置アサインメント、および I/O 規格の混在が含まれます。 <li data-bbox="548 735 1421 791">■ I/O アサインメントの解析を使用して、デザイン・プロセスを通じて作成または変更した I/O 関連アサインメントを検証することができます。 <li data-bbox="548 804 1421 903">■ <i>Pin Planner</i> の Create/Import Megafunction 機能は <i>MegaWizard Plug-In Manager</i> とインタフェースし、I/O インタフェースを使用するカスタム・メガファンクションおよび IP コアの作成またはインポートをイネーブルします。 <li data-bbox="548 915 1421 1035">■ ピン配置ルールに影響を及ぼすので、PLL および LVDS ブロックやダイナミック・フェーズ・アラインメント (DPA) などのオプションを含めて入力します。そして、トップ・レベル・デザインネットリスト・ファイルを生成するために Create Top-Level Design File コマンドを使用します。 <li data-bbox="548 1047 1421 1167">■ I/O 解析の結果を使用して、ピン・アサインメントまたは IP パラメータを変更し、I/O インタフェースがデザイン要件を満たし、<i>Quartus II</i> ソフトウェアのピン・チェックに合格するまで、チェック・プロセスを繰り返すことができます。 <li data-bbox="548 1180 1421 1236">■ そのインタフェースとのトランシーバ・インスタンスを作成し、トランシーバ・ピンまたはバンクの配置をチェックすることができます。 <p data-bbox="548 1249 1404 1306">プランニングが完了した後、PCB 設計者に予備のピン位置情報をパスすることができます。</p> <p data-bbox="548 1318 1421 1417">デザインが完成したら、<i>Quartus II Fitter</i> により生成されるレポートとメッセージを使用して、ピン・アサインメントの最終的なサインオフのために使用できます。</p> <p data-bbox="548 1430 1404 1486">I/O アサインメントおよび解析について詳しくは、「<i>Quartus II</i> ハンドブック」の「<i>I/O Management</i>」の章を参照してください。</p>

I/O 機能およびピン接続

この項では、I/O 機能とピン接続に関するガイドラインを提供します。

- デバイスの I/O バンクでの異なる I/O 信号の種類と I/O 規格、およびデザインで使用可能なその他の I/O 機能のサポートを提供します。
- メモリ・インタフェース、パッド配置ガイドライン、および特殊ピンの接続に関する情報も提供します。



I/O ピンの位置と接続のガイドラインのリストについては、次のドキュメントを参照してください。

- Arria V デバイス・ファミリのピン接続のガイドライン
- Cyclone V デバイス・ファミリのピン接続のガイドライン

表 8. I/O 機能およびピン接続のチェックリスト (その 1)

項目	✓ チェックリストの項目
1.	<input type="checkbox"/> システムがシングル・エンド I/O 信号を必要とすることを確認します。 <ul style="list-style-type: none"> ■ シングル・エンド I/O 信号は、シンプルなレール・トゥ・レール・インタフェースを提供します。 ■ その速度は、大きな電圧振幅とノイズで制限されます。 ■ シングル・エンド I/O は、システム内の反射によって悪影響が生じない限り、終端は必要ありません。
2.	<input type="checkbox"/> システムは、電圧リファレンスの信号を必要とすることを確認します。 <ul style="list-style-type: none"> ■ 電圧リファレンス形式の信号は、複数のピンで同時に電圧レベルを変化させる同時スイッチング出力 (SSO) (例えば、外部メモリ・インタフェースのデータおよびアドレス・バス) の影響を軽減します。 ■ また、電圧振幅の低減によりロジック遷移レートを改善し、終端要件に起因する反射によって発生するノイズを抑制します。 ■ 追加の終端コンポーネントは、基準電圧源 (V_{TT}) に必要とされます。
3.	<input type="checkbox"/> システムは、差動信号を必要とすることを確認します。 <ul style="list-style-type: none"> ■ 差動信号は、隣接する追加の反転データ信号とのペアで使用することにより、シングル・エンドおよび電圧リファレンス形式の信号のインタフェース性能障壁をなくします。 ■ また、この信号はクリーンなリファレンス電圧を必要としません。これは、低い振幅電圧とコモン・モード・ノイズ除去機能によるノイズ耐性によって実現できます。 ■ この実装の検討事項には、サンプリング・クロックを生成する専用 PLL の使用、および反転ペアと非反転ペア間の位相差をなくするためのトレース長の一致が含まれます。 ■ ソフトウェアで差動ピン・ペアのネガティブ・ピンの位置を割り当てる。
4.	<input type="checkbox"/> 各 I/O ピンに最適な信号タイプおよび I/O 規格を選択します。 ターゲットの I/O バンクで適切な I/O 規格サポートがサポートされていることを確認します。 詳細については、下記の資料を参照してください。 <ul style="list-style-type: none"> ■ Arria V デバイスの I/O 機能 ■ Arria V デバイスの高速差動 I/O インタフェース ■ Cyclone V デバイスの I/O 機能
5.	<input type="checkbox"/> 同じ電圧レベルを共有する I/O ピンを同じ I/O バンク内に配置します。 <ul style="list-style-type: none"> ■ 特定の I/O バンクは、異なる I/O 規格および電圧レベルをサポートしていません。 ■ Pin Planner で、I/O 規格を割り当て、I/O 関連の設定を行うことができます。 ■ クロックやグローバル・コントロール信号などの信号には、必ず正しい専用ピン入力を使用してください。

表 8. I/O 機能およびピン接続のチェックリスト (その 2)

項目	✓ チェックリストの項目
6.	<p><input type="checkbox"/> 各 I/O バンクのすべての出力信号が、バンクの V_{CCIO} 電圧レベルでドライブ・アウトするようになっていることを確認します。</p> <ul style="list-style-type: none"> ■ バンクの各 V_{CCIO} ピンに、ボードは各バンクに対して1つの V_{CCIO} 電圧レベルを供給する必要があります。 ■ 各 I/O バンクは、特定のバンクの V_{CCIO} ピンでパワーアップされ、他の I/O バンクの V_{CCIO} からは独立します。 ■ 1つの I/O バンクは、V_{CCIO} と同じ電圧でドライブする出力信号をサポートします。 ■ I/O バンクは、異なる差動 I/O 規格との入力信号でも同時にサポートできます。
7.	<p><input type="checkbox"/> 各 I/O バンクのすべての電圧リファレンス形式の信号が、バンクの V_{REF} 電圧レベルを使用するようになっていることを確認します。</p> <ul style="list-style-type: none"> ■ 電圧リファレンス形式の I/O 規格に対応するために、各 I/O バンクは、共通の V_{REF} バスに電源を供給する複数の V_{REF} ピンをサポートしています。バンク内の I/O 規格の正しい電圧に V_{REF} ピンを設定します。 ■ 各 I/O バンクが任意の時点で持つことができるのは、1つの V_{CCIO} 電圧レベルと1つの V_{REF} 電圧レベルだけです。V_{REF} ピンが電圧基準として使用されていない場合、汎用 I/O ピンとして使用することができないので、V_{CCIO} または GND に接続しなければなりません。 ■ シングル・エンド規格または差動規格に対応する I/O バンクは、すべての電圧リファレンス形式の規格が同じ V_{REF} 設定を使用している限り、電圧リファレンス形式の規格をサポートできます。 ■ 性能上の理由により、電圧リファレンス形式の入力規格は、電源として独自の V_{CCPD} レベルを使用します。2.5 V または以下の V_{CCIO} とバンクに電圧リファレンス入力信号を配置することができます。 ■ 電圧リファレンス形式の双方向信号および出力信号は、I/O バンクの V_{CCIO} 電圧と同じでなければなりません。
8.	<p><input type="checkbox"/> <i>LVDS およびトランシーバ機能の I/O バンクのサポートを確認します。</i></p> <p>異なる I/O バンクは LVDS 信号に対して異なるサポートが含まれています。Arria V と Cyclone V のトランシーバ・バンクには、追加のサポートが含まれません。</p> <p>詳細については、下記の資料を参照してください。</p> <ul style="list-style-type: none"> ■ Arria V デバイスの高速差動 I/O インタフェースおよび DPA ■ Arria V デバイスのトランシーバ・アーキテクチャ ■ Cyclone V デバイスの I/O 機能 ■ Cyclone V デバイスのトランシーバ・アーキテクチャ
9.	<p><input type="checkbox"/> 通常の I/O として使用されている V_{REF} ピンの使用を確認します。</p> <p>V_{REF} ピンにより高いピン・キャパシタンスを持つと、別の I/O タイミングの結果が得られます。</p> <ul style="list-style-type: none"> ■ バスなどのグループ化インタフェースでこれらのピンを使用しないでください。 ■ クロックなどの高いエッジ・レート信号のためにこれらのピンを使用しないでください。

表 8. I/O 機能およびピン接続のチェックリスト (その 3)

項目	✓ チェックリストの項目
10.	<p><input type="checkbox"/> 各メモリ・インタフェースのために ALTMEMPHY メガファンクション (または IP コア) を使用して、接続ガイドラインに従います。</p> <p>セルフ・キャリブレート UniPHY メガファンクションは、Arria V または Cyclone V デバイスの I/O 構造を活用するように最適化されています。</p> <p>ALTMEMPHY メガファンクションでは、外部メモリ・インタフェース機能を設定し、システムに最適な物理インタフェース (PHY) の設定を支援します。アルテラのメモリ・コントローラ MegaCore ファンクションを使用する場合、ALTMEMPHY メガファンクションがインスタンス化されます。</p> <p>アルテラの IP を使用してデバイス内に複数のメモリ・インタフェースをデザインする場合、1つのメモリ・インタフェースを一度だけデザインしてそれを繰り返しインスタンス化する方法を取らずに、必ず各インスタンス用の固有インタフェースを生成して、良好な結果が得られるようにしてください。</p> <p>詳細については、「外部メモリ・インタフェース・ハンドブック」の「Planning Pin and FPGA Resources」の章を参照してください。外部メモリ・インタフェース・ハンドブックでピンと FPGA リソースの章の計画。</p>
11.	<p><input type="checkbox"/> メモリ・インタフェースに専用 DQ ピンおよび DQ グループを使用します。</p> <p>データ・ストロブ DQS とデータ DQ ピンの位置は Arria V および Cyclone V デバイ스에固定されています。デバイス・ピンアウトをデザインする前に、これらのメモリ関連の信号の接続に詳細および関する重要な制限のためにメモリ・インタフェース・ガイドラインを参照してください。</p> <p>外部メモリ・インタフェースについて詳しくは、以下のドキュメントを参照してください。</p> <ul style="list-style-type: none"> ■ 外部メモリ・インタフェース・ハンドブックの Volume 2: Design Guidelines ■ アルテラ・ウェブサイトの External Memory Interface Spec Estimator ■ 外部メモリ・インタフェース・ハンドブックの Introduction to UniPHY IP ■ アルテラ・ウェブサイトの External Memory Solutions Center
12.	<p><input type="checkbox"/> 兼用ピンの設定を行い、これらのピンを通常の I/O として使用する際の制約をチェックします。</p> <p>兼用コンフィギュレーション・ピンは、デバイス・コンフィギュレーションの完了後は汎用 I/O として使用できます。Device and Pin Options ダイアログ・ボックスの Dual-Purpose Pins タブで、各兼用ピンに必要な設定を選択します。これらのピンは、コンフィギュレーション手法に応じて、通常の I/O ピン、トライ・ステート入力、グラウンドをドライブする出力、または規定されていない信号をドライブする出力として予約することができます。</p> <p>また、グローバル・クロック・ネットワークにドライブする専用クロック入力ピンも、クロック・ピンとして使用されていない場合、汎用入力ピンとして使用できます。クロック入力ピンには専用 I/O レジスタがないので、クロック入力を汎用入力として使用するとき、I/O レジスタは ALM ベースのレジスタを使用します。</p> <p>デバイス・ワイドのリセットおよびクリア・ピンは、イネーブルされていない場合はデザイン I/O として使用できます。詳細は、16 ページの「有効デバイス全体の出力をオンにする必要があるかどうかを判断します。」および 32 ページの「必要に応じて、すべてのレジスタをクリアするためにチップ・ワイド・リセットを使用します。」を参照してください。</p>

表 8. I/O 機能およびピン接続のチェックリスト (その 4)

項目	✓ チェックリストの項目
13.	<p data-bbox="511 300 1388 363">□ I/O インタフェースを容易にする使用可能なデバイスの I/O 機能を確認します。</p> <p data-bbox="548 373 1409 405">使用可能な I/O 機能をチェックして、次のガイドラインを考慮してください。</p> <ul style="list-style-type: none"> <li data-bbox="548 415 1421 594">■ プログラマブル・ドライブ強度 — 出力バッファ・ドライブ強度が十分に高いが、I/O 規格の電圧スレッショルド・パラメータに違反する過剰なオーバーシュートやアンダーシュートは生じないことを確認してください。アルテラでは、特定のアプリケーションに対する正しいドライブ強度設定を決定するために、IBIS または SPICE シミュレーションを実行することを推奨しています。 <li data-bbox="548 604 1421 762">■ ログラマブル・スルー・レート — 低速スルー・レートを使用する場合、インタフェースが性能要件を満たしていることを確認してください。アルテラでは、特定のアプリケーションに対する正しいスルー・レート設定を決定するために、IBIS または SPICE シミュレーションを実行することを推奨しています。 <li data-bbox="548 772 1421 888">■ プログラム可能な入力 / 出力エレメント (IOE) 遅延 — バスの中で信号間の不確実性を最小化することにより、リードおよびタイム・マージンを容易にするのに役立ちます。遅延の仕様については、該当するデバイスのデータシートを参照してください。 <li data-bbox="548 898 1421 1056">■ オープン・ドレイン出力 — オープン・ドレインとしてコンフィギュレーションした場合、出力のロジック値は high-Z または 0 のいずれかです。システム内の複数のデバイスでアサートできるシステム・レベルのコントロール信号で使用されます。一般に、ロジック High を供給するには外部プルアップ抵抗が必要です。 <li data-bbox="548 1066 1421 1276">■ バス・ホールド — バス・ホールド機能がイネーブルにされている場合、プログラマブル・プルアップ・オプションは使用することができません。I/O ピンが差動信号用にコンフィギュレーションされているときは、バス・ホールド機能をディセーブルにしてください。この抵抗を介して駆動される特有の維持電流、および各 V_{CCIO} 電圧のための次の駆動される入力とレベルを識別するために使用されるオーバードライブ電流については、関連するデバイスのデータシートを参照してください。 <li data-bbox="548 1287 1421 1444">■ プログラマブル・プルアップ抵抗 — ユーザー・モードのときに I/O を V_{CCIO} レベルにウィーク状態で保持します。オープン・ドレイン出力と併用して、外部プルアップ抵抗を不要にすることができます。プログラマブル・プルアップ・オプションがイネーブルされている場合、バス・ホールド機能は使用することができません。 <li data-bbox="548 1455 1421 1507">■ プログラマブル・プリエンファシス — 出力信号の高周波成分の振幅を大きくして、伝送線路における周波数依存減衰を補償するのに役立ちます。 <li data-bbox="548 1518 1421 1644">■ プログラマブル差動出力電圧 — プログラマブル V_{OD} 設定で、トレース長と消費電力を最適化するように出力アイの高さを調整できます。より小さい V_{OD} 振幅は消費電力を低減しますが、より高い V_{OD} 振幅はレシーバ端における電圧マージンを向上させます。 <p data-bbox="548 1654 1117 1686">詳細については、下記の資料を参照してください。</p> <ul style="list-style-type: none"> <li data-bbox="548 1696 901 1728">■ <i>Arria V</i> デバイスでの I/O 機能 <li data-bbox="548 1738 933 1770">■ <i>Cyclone V</i> デバイスでの I/O 機能

表 8. I/O 機能およびピン接続のチェックリスト (その 5)

項目	✓ チェックリストの項目
14.	<input type="checkbox"/> <i>On-Chip Termination</i> 機能を使用して、ボード・スペースを節約します。 ドライバ・インピーダンス・マッチングは、I/O ドライバに伝送ラインのインピーダンスと厳密にマッチングする制御された出力インピーダンスを提供して、反射を大幅に低減します。OCT は、信号品質の維持、ボード・スペースの節約、外部コンポーネント・コストの低減を実現します。 <ul style="list-style-type: none"> ■ 異なる I/O 規格が、それらの I/O 規格に対して、同じ I/O バンクで OCT R_S および R_T は異なる I/O 規格の同じ I/O バンクでサポートされます。 ■ I/O バンクの各 I/O は、OCT R_S、プログラマブル・ドライブ能力、または OCT R_T をサポートするために、独立してコンフィギュレーションすることができます。 ■ 同じ I/O バッファに対して、OCT R_S とプログラマブル・ドライブ強度の両方をコンフィギュレーションすることはできません。 ■ 差動 OCT R_D は、すべての I/O ピンで使用可能です。 この機能のサポートおよび実装については、次のドキュメントを参照してください。 <ul style="list-style-type: none"> ■ <i>Arria V</i> デバイスの I/O 機能 ■ <i>Arria V</i> デバイスの高速差動 I/O インタフェースおよび DPA ■ <i>Cyclone V</i> デバイスの I/O 機能
15.	<input type="checkbox"/> 必要な終端方法がすべてのピン位置でサポートされていることをチェックします。
16.	<input type="checkbox"/> 高速 LVDS インタフェース用の DPA、非 DPA またはソフト CDR の適切なモードを選択します。 詳細については、下記の資料を参照してください。 <ul style="list-style-type: none"> ■ <i>Arria V</i> デバイスの高速差動 I/O インタフェースおよび DPA ■ <i>Cyclone V</i> デバイスの I/O 機能

クロックのプランニング

クロック方式のプランニングでの最初のステージは、システムのクロック要件を決定することです。

- デバイスの使用可能なクロック・リソースを理解し、それに応じてデザインのクロック方式をプランニングします。タイミング性能に関する要求、および特定のクロックによってドライブされるロジック量を考慮してください。
- システム要件に基づき、FPGA デザインに必要なクロック周波数と、FPGA で使用可能な入力周波数を定義します。これらの仕様を使用して、PLL 方式を決定します。

- QuartusII MegaWizard Plug-In Manager を使用して、altpll メガファンクション用の設定を入力し、結果をチェックして特定の機能や入力/出力周波数を特定の PLL に実装できるかどうかを確認します。

表 9. クロックのプランニング・チェックリスト (その 1)

No. ✓ チェックリストの項目
<p>1. <input type="checkbox"/> デバイスのフラクショナル PLL をクロック管理に使用します。</p> <p>特定のクロック入力は、特定の低スキュー配線ネットワークをドライブできる特定の PLL に接続します。各 PLL に対するグローバル・リソースの可用性と各クロック入力ピンに対する PLL の可用性を解析します。以下の説明を使用して、デザインのクロック信号にどのクロック・ネットワークが適しているかを判断してください。</p> <ul style="list-style-type: none"> ■ グローバル・クロック (GCLK) ネットワークは、デバイス全体でドライブ可能であり、デバイス・ロジックの低スキュー・クロック・ソースとして働きます。このクロック領域は、他のクロック領域に比べて遅延が最大になりますが、デバイス内のすべてのディスティネーションに信号を配信することができます。このオプションは、グローバル・リセット/クリア信号の配線、またはデバイス全体のクロックの配線に適しています。 ■ RCLK ネットワークは、デバイスの 1 つのエリア内に含まれるロジックに対して、最小のクロック遅延とスキューを実現します。 ■ I/O エレメント (IOE) と内部ロジックは、GCLK および RCLK をドライブして、内部で生成されるグローバルまたはリージョナル・クロック、および同期クリアまたは非同期クリアやクロック・イネーブルなど、その他の高ファンアウト・コントロール信号を生成することもできます。 ■ PLL は、内部で生成された GCLK や RCLK からはドライブできません。PLL への入力クロックは、専用のクロック入力ピン、ピンまたは PLL から供給される GCLK/RCLK のみを使用する必要があります。 ■ ペリフェラル・クロック (PCLK) ネットワークは、StratixIII デバイスの周辺からドライブされる個々のクロック・ネットワークの集合です。DPA ブロック、PLD トランシーバ・インタフェース・クロック、ロウ I/O ピン、および内部ロジックからのクロック出力により、PCLK ネットワークをドライブできます。これらの PCLK は、GCLK および RCLK ネットワークと比べるとスキューが高く、汎用配線の代わりに使用して、デバイスの内外に信号をドライブできます。
<p>2. <input type="checkbox"/> PLL 機能をイネーブルにし、MegaWizard Plug-In Manager の設定をチェックします。</p> <p>フラクショナル PLL を整数モードまたはエンハンスド・フラクショナル・モードのいずれかにコンフィギュレーションできます。</p> <p>LVDS チャネルを駆動することに注意して、整数モードでの PLL を使用する必要があります。</p> <p>フラクショナル PLL 機能について詳しくは、以下のドキュメントの「Fractional PLL Architecture」の項を参照してください。</p> <ul style="list-style-type: none"> ■ Arria V デバイスのクロック・ネットワークおよび PLL ■ Cyclone V デバイスのクロック・ネットワークおよび PLL

表 9. クロックのプランニング・チェックリスト (その 2)

No. ✓ チェックリストの項目
<p>3. <input type="checkbox"/> 正しい PLL フィードバック補償モードを選択することを確認します。</p> <p>Arria V および Cyclone V の PLL は、6 種類のクロック・フィードバック・モードをサポートしています。詳細については、次のドキュメントに「Clock Feedback Modes」の項を参照してください：</p> <ul style="list-style-type: none"> ■ Arria V デバイスのクロック・ネットワークおよび PLL ■ Cyclone V デバイスのクロック・ネットワークおよび PLL
<p>4. <input type="checkbox"/> PLL が必要なクロック出力数を提供し、専用クロック出力ピンを使用していることをチェックします。</p> <p>クロック出力を専用クロック出力ピンまたは専用クロック・ネットワークに接続することができます。</p>
<p>5. <input type="checkbox"/> クロックの選択とパワーダウンにクロック・コントロール・ブロックを使用します。</p> <p>グローバルおよびリージョナル・クロック・ネットワークごとに、専用のクロック・コントロール・ブロックがあります。デザインで組み合わせロジックを使用せずに、異なるクロック入力信号またはパワーダウン・クロック・ネットワークを選択して消費電力を低減する場合、これらの機能を使用します。</p> <ul style="list-style-type: none"> ■ クロック・ソースの選択（グローバル・クロックに対してはダイナミック選択） ■ GCLK の多重化 ■ クロックのパワーダウン（スタティックまたはダイナミック・クロック・イネーブルまたはディセーブル付き） <p>Arria V および Cyclone V では、clkena 信号は PLL 出力カウンタ・レベルではなく、クロック・ネットワーク・レベルでサポートされます。これにより、PLL が使用されていないときでもクロックをゲート・オフできます。また、clkena 信号を使用して、PLL から専用の外部クロックをコントロールすることも可能です。</p> <p>詳細は、Clock Control Block (ALTCLKCTRL) Megafunction User Guide を参照してください。</p>

I/O 同時スイッチング・ノイズ

SSN は、同時に電圧レベルを変化させる I/O (近接して) が多すぎると問題になります。I/O およびクロック接続をプランニングするための推奨事項については、この項のチェックリストを使用します。

表 10. I/O 同時スイッチング・ノイズのチェックリスト

No.	✓ チェックリスト項目
1.	<p><input type="checkbox"/> I/O 同時スイッチングノイズを軽減するために、次の推奨事項を考慮します。</p> <ul style="list-style-type: none"> ■ 可能な SSN の問題のためのデザインを分析します。 ■ 可能であれば、同時に電圧レベルを切り換えるピン数を減らします。 ■ スイッチング速度が高い I/O には、差動 I/O 規格と低電圧規格を使用します。 ■ スイッチング速度が高い I/O には低いドライブ強度を使用します。デフォルトのドライブ強度設定は、デザインで要求されるドライブ強度設定よりも高い場合があります。 ■ 各バンク内の同時スイッチング出力ピン数を減らします。可能であれば、出力ピンを複数のバンクに分散させます。 ■ バンク使用率が 100% を十分に下回っている場合、スイッチング I/O をバンク全体に均等に分散させて領域内のアグレッサの数を減らして、SSN を低減します。 ■ 同時にスイッチングするピンを、SSN に敏感な入力ピンから分離する。 ■ 重要なクロック・コントロール信号および非同期コントロール信号は、大きなスイッチング・バスから離して、グラウンド信号の近くに配置。 ■ PLL 電源ピンから 1 本または 2 本分離れた I/O ピンを、スイッチング速度が速い、またはドライブ強度が高いピンに使用しないようにする。 ■ スタッガード出力遅延を使用して、出力信号を経時的にシフトするか、調整可能なスルー・レート設定を使用します。 <p>使用可能な I/O 機能の使用に関する情報とガイドラインについては、21 ページの「I/O 機能およびピン接続」を参照してください。</p> <p>SSN を緩和するシグナル・インテグリティのデザイン手法については、アルテラ・ウェブサイトの Signal & Power Integrity Design Techniques for SSN ウェブキャストを表示してください。</p>

デザイン・エントリ

複雑な FPGA デザインの開発では、適切なデザイン手法およびコーディング・スタイルが、デバイスのタイミング性能、ロジック使用率、およびシステムの信頼性にきわめて大きな影響を与えます。さらに、デザインをプブランニングと作成する間、デザインの生産性を向上させるために、階層およびチーム・ベース・デザインを計画します。

表 11. デザイン・エントリ・チェックリスト (その 1)

項目	✓ チェックリストの項目
1.	<p><input type="checkbox"/> 同期デザイン手法を使用します。</p> <p>同期デザインでは、クロック信号がすべてのイベントをトリガします。すべてのレジスタのタイミング要件が満たされている限り、同期デザインはすべてのプロセス、電圧、および温度 (PVT) 条件で、予測可能かつ信頼性の高い方法で動作します。同期デザインでは、簡単に異なるデバイス・ファミリーやスピード・グレードをターゲットにすることができます。</p>
2.	<p><input type="checkbox"/> クロック信号問題を回避するには、以下の推奨事項を考慮します。</p> <ul style="list-style-type: none"> ■ 最良の結果を得るために、専用クロック・ピンと専用クロック配線を使用します—専用クロック・ピンはクロック・ネットワークを直接ドライブし、他の I/O ピンと比較して、スキューが確実に低減されます。ファンアウトの大きい信号のスキューを低減しながら遅延を予測可能なものするには、専用配線ネットワークを使用します。また、クロック・ピンとクロック・ネットワークを使用して、非同期リセットなどのコントロール信号をドライブすることも可能です。 ■ クロックの反転、通倍、および分周には、デバイスの PLL を使用します。 ■ クロックの多重化およびゲーティングには、組み合わせロジックの代わりに専用のクロック・コントロール・ブロック、または PLL クロック・スイッチオーバー機能を使用します。 ■ 内部生成クロック信号を使用する必要がある場合、グリッチを低減するためにコントロール信号として使用される組み合わせロジックの出力をラッチします。例えば、組み合わせロジックを使用してクロックを分周する場合、ディバイダ回路をクロックするのに使用したクロック信号で最終ステージをクロックします。 ■ トランシーバは、以下の推奨事項を考慮してください。 <ul style="list-style-type: none"> ■ refclk ピンを専用のトランシーバを使用します。 ■ 簡単なタイミング・クロージャのために、トランスミッタ回復したクロックを使用して、ファブリック内の送信ロジックをクロックします。また、レシーバ回復したクロックを使用して、受信ロジックをクロックします。

表 11. デザイン・エントリ・チェックリスト (その 2)

項目	✓ チェックリストの項目
3.	<p><input type="checkbox"/> <i>Quartus II Design Assistant</i> を使用して、デザインの信頼性をチェックします。 デザイン・アシスタントは、アルテラの推奨に従って、デザインをチェックするデザイン・ルール・チェック・ツールであり、デザイン・フローの早い段階でデザインの問題を避けることができます。</p> <ul style="list-style-type: none"> ■ ツールを実行するには、Processing メニューで Start をポイントして、Start Design Assistant をクリックします。 ■ デザイン・アシスタントがコンパイル時に自動的に実行されるように設定するには、Settings ダイアログ・ボックスで Run Design Assistant during compilation をオンにします。 <p>また、サードパーティの「リント」ツールを使用してコーディング・スタイルをチェックすることもできます。</p> <p>詳細については、<i>Quartus II</i> ハンドブックの <i>Recommended Design Practices</i> 章の「Checking Design Violations with the Design Assistant」項を参照してください。</p> <p>業界紙を参照して、複数のクロック・デザインに関する詳しい情報を入手することもできます。適切な解析を行うには、www.sunburst-design.com/papers を参照してください。</p>
4.	<p><input type="checkbox"/> <i>MegaWizard Plug-In Manager</i> でメガファンクションを使用します。</p> <p>独自のロジックをコーディングする代わりに、アルテラのメガファンクション（パラメータ化モジュールやデバイス固有のメガファンクションのライブラリ）を使用して、デザイン時間を節約できます。</p> <p>メガファンクションは、アルテラのデバイス・アーキテクチャ用に最適化され、より効率的なロジック合成とデバイスの実装を提供することができます。</p> <p>すべてのポートとパラメータを正しく設定することを確認するには、メガファンクションのパラメータを構築したり変更する <i>Quartus II Megawizard Plug-In Manager</i> を使用します。</p> <p>特定のメガファンクションについて詳しくは、アルテラ・ウェブサイトで IP and Megafunctions ページでの関連するユーザー・ガイドを参照してください。</p>
5.	<p><input type="checkbox"/> <i>ダイナミックとパーシャル・リコンフィギュレーション機能の情報を確認します。</i></p> <p><i>Arria V</i> および <i>Cyclone V</i> デバイスは、ダイナミックやパーシャル・リコンフィギュレーションをサポートしています。</p> <ul style="list-style-type: none"> ■ ダイナミック・リコンフィギュレーション — 動的にトランシーバ・データレート、PMA 設定、または隣接チャネル上のデータ転送に影響を与えるチャネルのプロトコルを変更する。 ■ パーシャル・リコンフィギュレーション — デバイスの他のセクションは動作状態のままであり、デバイスの一部をリコンフィギュレーションします。 <p>詳細については、<i>Increasing Design Functionality with Partial and Dynamic Reconfiguration in 28-nm FPGAs</i> を参照してください</p>

表 11. デザイン・エントリ・チェックリスト (その 3)

項目	✓ チェックリストの項目
6.	<p><input type="checkbox"/> 最適な合成結果が得られるように、アルテラの推奨コーディング・スタイルを使用します。</p> <p>HDL コーディング・スタイルは、プログラマブル・ロジック・デザインの結果の品質 (QoR) に大きな影響を与える可能性があります。メモリ・ファンクションおよびデジタル・システム処理 (DSP) ファンクションをデザインする場合、デバイスのアーキテクチャを理解すれば、専用のロジック・ブロックのサイズやコンフィギュレーションを活用できます。</p> <ul style="list-style-type: none"> ■ 具体的な HDL コーディング例と推奨事項については、「<i>Quartus II</i> ハンドブック」の「<i>Recommended HDL Coding Styles</i>」の章を参照してください。 ■ 参照のための例として、<i>Quartus II</i> ソフトウェアで提供される HDL テンプレートを使用することができます。テンプレートにアクセスするには、<i>Quartus II</i> テキスト・エディタで編集エリアを右クリックし、[Insert Template] をクリックします。 ■ 追加のツール特有のガイドラインについては、合成ツールのマニュアルを参照してください。
7.	<p><input type="checkbox"/> 必要に応じて、すべてのレジスタをクリアするためにチップ・ワイド・リセットを使用します。</p> <p>Arria V および Cyclone V デバイスはオプションのチップ・ワイドのリセットをサポートしており、このリセットによってメモリ・ブロックのレジスタを含む (ただし、メモリ内容そのものは含まない)、デバイスのすべてのレジスタのクリアをすべて無効にすることができます。</p> <ul style="list-style-type: none"> ■ この DEV_CLRn ピンが Low にドライブされると、すべてのレジスタがクリアされ 0 にリセットされます。影響されたレジスタは、合成がレジスタ制御信号により NOT-gate push-back と呼ばれる最適化が実行され、それらが高い値にプリセットされるかのように動作します。 ■ DEV_CLRn ピンが High にドライブされると、すべてのレジスタはプログラムされたとおりに動作します。 <p>チップ・ワイドのリセットをイネーブルするには、デザインをコンパイルする前に、<i>Quartus II</i> ソフトウェアの Device and Pin Options ダイアログボックスの General カテゴリの Options リストの下に Enable device wide reset (DEV_CLRn) をオンにします。</p>
8.	<p><input type="checkbox"/> デバイス・アーキテクチャ固有のレジスタ・コントロール信号を使用します。</p> <p>Arria V および Cyclone V の各ロジック・アレイ・ブロック (LAB) には、各 ALM に対するレジスタ・コントロール信号をドライブするための専用ロジックも内蔵されています。コントロール信号がデバイス・アーキテクチャ内の専用のコントロール信号を使用することが重要です。いくつかのケースでは、デザインで異なるコントロール信号の数を制限するために必要とされています。</p> <p>LAB および ALM のアーキテクチャについて詳しくは、以下の項のを参照してください。</p> <ul style="list-style-type: none"> ■ <i>Arria V</i> デバイスのロジック・アレイ・ブロックおよびアダプティブ・ロジック・モジュール ■ <i>Cyclone V</i> デバイスのロジック・アレイ・ブロックおよびアダプティブ・ロジック・モジュール

表 11. デザイン・エントリ・チェックリスト (その 4)

項目	✓ チェックリストの項目
9.	<p><input type="checkbox"/> 推奨されるリセット・アーキテクチャを確認します。</p> <ul style="list-style-type: none"> ■ リセットがアサートされたときにコントロール信号を使用できない場合、通常非同期リセットを使用してロジックをリセットします。 ■ 推奨されるリセット・アーキテクチャでは、リセット信号を非同期でアサートし、かつ同期してディアサートすることができます。 ■ リセット信号のソースは、グローバル配線リソースに直接接続できるレジスタの非同期ポートに接続されます。 ■ 同期ディアサーションにより、すべてのステート・マシンとレジスタを同時に起動することができます。 ■ 同期ディアサーションは、フリップ・フロップのアクティブ・クロック・エッジまたはその付近で非同期リセット信号がリリースされて、フリップ・フロップの出力が準安定の不定状態になる可能性も回避します。 <p>良いリセット・デザインについて詳しくは、www.sunburst-design.com/papers でのリセット・アーキテクチャの分析などの業界紙を参照してください</p>
10.	<p><input type="checkbox"/> 合成ツールで使用可能な合成オプションを確認します。</p> <p>デザインに特定のパワーアップ条件を強制する場合は、合成ツールで使用可能な合成オプションを使用します。</p> <ul style="list-style-type: none"> ■ デフォルトでは、Quartus II ソフトウェア合成機能は、デザインがデバイス・アーキテクチャのパワーアップ状態に依存しない前提として Power-Up Don't Care ロジック・オプションをオンにします。他の合成ツールが同様の仮定を使用することもあります。 ■ 設計者は通常デザインには、必ずしもパワーアップ時ではなく、リセット後にすべてのレジスタを適切な値に強制する明示的なリセット信号を使用します。デバイスのパワーアップ条件に関係なく、リセット・アクティブで安全なデザインをパワーアップすることができる非同期リセットを使用して、デザインを作成することができます。 ■ 合成ツールによっては、ソース・コードでラッチされた信号のデフォルト値または初期値を読み出し、この動作をデバイスに実装することも可能です。例えば、Quartus II 合成機能は、レジスタにラッチされた信号の HDL デフォルト値および初期値を Power-Up Level 設定に変換します。このようにすれば、合成された動作は、機能シミュレーション中に HDL コードのパワーアップ状態に適合します。 ■ デバイス・コア内のレジスタは、物理的なデバイス・アーキテクチャにおいて常に Low (0) ロジック・レベルでパワーアップします。High のパワーアップ・レベルすなわち 0 以外のリセット値 (プリセット信号と呼ばれる場合が多い) を指定した場合、合成ツールは通常、レジスタで使用可能なクリア信号を使用し、NOT-gate push-back と呼ぶ最適化を実行します。Low にリセットされたレジスタに対して High のパワーアップ・レベルを割り当てた場合、または High にプリセットされたレジスタに対して低いパワーアップ・レベルを割り当てた場合、合成ツールは NOT-gate push back 最適化手法を使用することができず、パワーアップ条件を無視する可能性があります。 <p>パ Power-Up Level 設定、およびパワー・アップ状態を設定する <code>altera_attribute</code> の割り当てについて詳しくは、「<i>Quartus II</i> ハンドブック」の「<i>Quartus II Integrated Synthesis</i>」の章を参照してください。</p>

表 11. デザイン・エントリ・チェックリスト (その 5)

項目	✓ チェックリストの項目
11.	<p><input type="checkbox"/> レジスタ・パワーアップおよびコントロール信号に使用できるリソースを検討します。</p> <p>リセット信号とプリセット信号を同じレジスタに実装するために、合成ツールは、レジスタへの異なるパス間で遅延が異なるためグリッチを発生しやすいロジックとラッチでコントロールをエミュレートします。また、これらのレジスタに対するパワーアップ値は未定義です。</p> <p>リセット・ロジックおよびパワー・アップの状態について詳しくは、「<i>Quartus II</i> ハンドブック」の「<i>Recommended HDL Coding Styles</i>」の章を参照してください。</p>
12.	<p><input type="checkbox"/> デザイン・パーティションを作成するために、アルテラの推奨事項を考慮します。</p> <p>FPGA のデザインを分割するには、パーティションが統合されたときに最良の結果が得られるよう、また各パーティションがデバイス内の他のパーティションに対して適切に配置されるようにプランする必要があります。</p> <p>デザイン・パーティションを作成して全体的な結果の品質を改善するには、アルテラの推奨事項を順守してください。例えば、パーティションの I/O 境界をレジスタで受けることにより、クリティカル・タイミング・パスを個別に最適化可能な 1 つのパーティション内に維持できます。それぞれのデザイン・ブロックが個別のファイルで定義されるように、ソースコードを計画してください。ソフトウェアは個別に自動的に各ブロックへの変化を検出できます。</p> <p>分割するときにより多くの柔軟性を提供するように、デザインに階層を使用します。階層ツリーから外れたデザイン・ロジックをデザインロジックを維持します：つまり階層のトップ・レベルのほとんどのロジックが必要であり、下位デザイン・ブロックがロジックを含んでいます。</p> <p>デザイン・パーティションの作成について詳しくは、「<i>Quartus II</i> ハンドブック Volume 1」の「<i>Best Practices for Incremental Compilation Partitions and Floorplan Assignments</i>」を参照してください。</p>
13.	<p><input type="checkbox"/> パーティション間でタイミング・バジェットとリソース・バランスを実行します。</p> <p>デザインが複数のプロジェクトで作成されている場合、システム開発者が下位レベルのブロックの設計者に対して、各パーティションが適切なデバイス・リソースを使用するように指導することが重要です。</p> <ul style="list-style-type: none"> ■ デザインが個別に開発されるため、各下位レベルの設計者は、全体的なデザインまたは各自のパーティションが他のパーティションとどのように接続されるのかについて情報を持っていません。 ■ 下位レベル・パーティションの設計者がデザインに着手する前に、ピン位置、物理的制約、およびタイミング要求を含むトップレベル・プロジェクト情報を設計者に伝達する必要があります。 ■ システム設計者は、トップ・レベルでデザイン・パーティションをプランニングし、下位レベルのモジュールに、トップ・レベルのプロジェクト情報を転送するプロセスを自動化するために、Project メニューの Quartus II ソフトウェア Generate Bottom-Up Design Partition Scripts を使用することができます。

表 11. デザイン・エントリ・チェックリスト (その 6)

項目	✓ チェックリストの項目
14.	<p data-bbox="511 304 1412 367">□ インクリメンタル・コンパイル・パーティションのためのデザイン・フロアプランを作成します。</p> <ul style="list-style-type: none"> <li data-bbox="544 378 1412 493">■ デザイン・フロアプランはデザイン・パーティション間の競合を回避し、他のパーティションに対する各パーティションがうまく配置されていることを確認します。各パーティションに対して異なるロケーション・アサインメントを作成した場合、ロケーションの競合は発生しません。 <li data-bbox="544 504 1412 598">■ また、デザイン・フロアプランは、ほとんどのリソースが使用済みであるデバイス・エリアで、Fitter にデザインの一部を配置または再配置するよう指示する状況を回避するのに役立ちます。 <li data-bbox="544 609 1412 724">■ フロアプラン・アサインメントは、トップダウン手法におけるタイミング・クリティカルなパーティションに推薦されます。Quartus II Chip Planner を使用して、各デザイン・パーティションに対する LogicLock 領域アサインメントを使用したデザイン・フロアプランを作成することができます。 <li data-bbox="544 735 1412 829">■ トップレベル・デザインの基本的なデザインの枠組みがあれば、領域間の接続を表示し、チップ上のフィジカル・タイミング遅延を見積もり、デザイン・フロアプランで領域を移動させることができます。 <li data-bbox="544 840 1412 934">■ 完全なデザインをコンパイル済みの場合、ロジック配置を表示し、配線が密集する領域を特定してフロアプラン・アサインメントを改善することもできます。 <p data-bbox="544 945 1412 1039">フロアプランでのデザイン・フロアプランと配置の割り当てを作成する情報とガイドラインについて詳しくは、「Quartus II のハンドブック」の次の章を参照してください。</p> <ul style="list-style-type: none"> <li data-bbox="544 1050 1412 1102">■ インクリメンタル・コンパイル・パーティションとフロアプラン割り当てのベスト・プラクティス <li data-bbox="544 1113 1412 1144">■ チップ・プランナーとデザイン・フロアプランの分析と最適化

デザインの实装

ガイドラインとして、デザインを実装しながらこの項でのチェックリストを使用してください。

合成とコンパイル

表 12. 合成とコンパイルのチェックリスト (その 1)

項目	✓ チェックリストの項目
1.	<p><input type="checkbox"/> 合成ツールを指定し、サポートされている正しいバージョンを使用します。</p> <p>Quartus II ソフトウェアは、だけでなく Verilog HDL、VHDL、アルテラ・ハードウェア記述言語 (AHDL) および回路図によるデザイン入力を備えています。また、業界をリードするサードパーティ EDA 合成ツールを使用して、Verilog または VHDL デザインを合成し、次に結果として得られる出力ネットリスト・ファイルを Quartus II ソフトウェアでコンパイルすることもできます。</p> <ul style="list-style-type: none"> ■ New Project Wizard または Settings ダイアログ・ボックスの EDA Tools Settings ページで任意のサードパーティ合成ツールを指定して、合成ネットリストに適した Library Mapping ファイル (.lmf) を使用します。 ■ ツール・ベンダは絶えず新機能を追加し、ツールの問題を修正し、アルテラ・デバイスに対する性能を向上させているため、最新バージョンのサードパーティ合成ツールを使用するようにしてください。 ■ 合成ツールが異なると、得られる結果が異なる可能性があります。アプリケーションに対して最高の性能を発揮するツールを選択したい場合、アプリケーションおよびコーディング・スタイルに対応した標準的なデザインを合成し、結果を比較することによってツールを実験することができます。 ■ 正確なタイミング解析およびロジック使用率の結果を得るために、必ず Quartus II ソフトウェアで配置配線を実行してください。 ■ 合成ツールによっては、Quartus II プロジェクトを作成し、EDA ツールの設定、デバイスの選択、および合成プロジェクトで指定したタイミング要求などの制約を渡す機能を提供するものもあります。配置配線のために Quartus II プロジェクトを設定するときに、この機能を使用して時間を節約することができます。 <p>タイミング解析について詳しくは、「<i>Quartus II</i> ハンドブック」の以下の章を参照してください。</p> <ul style="list-style-type: none"> ■ <i>Quartus II Integrated Synthesis</i> ■ <i>Synopsys Synplify Support</i> ■ <i>Mentor Graphics Precision Synthesis Support</i> ■ <i>Mentor Graphics LeonardoSpectrum Support</i> <p>Quartus II ソフトウェア・バージョンで、各合成ツールの正式サポートされているバージョンについては、アルテラ・ウェブサイトでの Release Notes ページに関連する Quartus II ソフトウェアのリリースノートを参照してください。</p>

表 12. 合成とコンパイルのチェックリスト (その 2)

項目	✓ チェックリストの項目
2.	<p data-bbox="511 304 1242 331"> <input type="checkbox"/> コンパイル後にリソース利用に関するレポートを確認します。 Quartus II ソフトウェアでのコンパイルが完了したら、デバイスのリソース使用率の情報を確認します。 </p> <ul style="list-style-type: none"> <li data-bbox="552 415 1421 506">■ デバイスのリソース使用率情報に目を通して、将来ロジックを追加したり、その他のデザインの変更を行うことにより、フィッティングに支障を来す恐れがあるか否かを判断します。 <li data-bbox="552 520 1421 575">■ コンパイルに no-fit エラーが発生する場合、フィッティングの問題を分析するために情報を使用します。 <li data-bbox="552 590 1421 680">■ リソース使用率決定するために、既存の接続またはロジックの使用により使用不可能なリソースの見積りを含めた総ロジック使用率を示さず Compilation Report の Flow Summary セクションを参照してください。 <li data-bbox="552 695 1421 842">■ Compilation Report の Fitter セクションの Resource Section の下にあるレポートを表示すると、詳細なリソース情報を入手できます。Fitter Resource Usage Summary レポートは、ロジック使用率情報を分析し、完全に使用されている ALM および部分的に使用されている ALM の数を表示し、各タイプのメモリ・ブロック内のビット数を含むその他のリソース情報を提供します。 <p data-bbox="552 856 1421 1066"> また、コンパイル中に実行された一部の最適化について説明するレポートもあります。例えば、Quartus II の統合合成機能を使用している場合、Analysis & Synthesis セクションの Optimization Results フォルダの下にあるレポートは、合成中に削除されたレジスタを含む情報について説明します。このレポートは、部分的に完成したデザインについてデバイスのリソース使用率を見積る際に、デザインの他の部分との接続の欠落が原因でレジスタが削除されていないことを確認するのに役立ちます。 </p> <p data-bbox="552 1081 1421 1333"> ロジック使用率が低い ALM 使用率が考えられる最低の ALM 使用率であるわけではありません。100%に近いことが報告されているデザインは、追加のロジックのためのスペースがまだある可能性があります。フィッタは、ロジックを 1 個の ALM 内に配置できる場合でも、異なる ALM 内の ALUT を使用し、それにより最良のタイミングおよび配線性の結果を達成することができます。これらの結果が達成される場合、ロジックがデバイス全体に分散されている場合があります。デバイスの使用率が高くなると、フィッタは 1 個の ALM 内に一緒に配置できるロジックを自動的にサーチします。 </p>
3.	<p data-bbox="511 1348 1380 1375"> <input type="checkbox"/> すべての <i>Quartus II Messages</i>、特にワーニング・メッセージを確認します。 </p> <p data-bbox="552 1390 1421 1507"> コンパイル・フローの各ステージで、情報メモ、ワーニング、クリティカル・ワーニングを含むメッセージが生成されます。あらゆるワーニング・メッセージの意味を確実に理解し、必要に応じてデザインまたは設定を変更してください。 </p> <p data-bbox="552 1522 1421 1619"> Quartus II のユーザー・インタフェースでは、メッセージの特定の種類を調べるために Message ウィンドウのタブを使用することができます。アクションが必要とされないと判断した場合、メッセージを抑制することができます。 </p> <p data-bbox="552 1633 1421 1690"> メッセージおよびメッセージの抑制について詳しくは、「<i>Quartus II</i> ハンドブック」の「<i>Managing Quartus II Projects</i>」の章を参照してください。 </p>

表 12. 合成とコンパイルのチェックリスト (その 3)

項目	✓ チェックリストの項目
4.	<input type="checkbox"/> インクリメンタル・コンパイルを使用することを検討します。 インクリメンタル・コンパイル機能を使用して、デザインの変更されていない部分を維持し、タイミング性能を維持すると共に、より効率的にタイミング・クロージャに達成することができます。インクリメンタル・コンパイル機能を使ってデザインを変更するときは、デザインのイタレーション時間を平均 60% 短縮できます。
5.	<input type="checkbox"/> 並列コンパイルがイネーブルされることを確認します。 デザインをコンパイルするのに複数のプロセッサを使用できる場合、Quartus II ソフトウェアは、複数のアルゴリズムを平行に実行して、複数のプロセッサを活用しながらコンパイル時間を短縮することができます。 Settings ダイアログ・ボックスの Compilation Process Settings ページで Parallel compilation を設定するか、または Tools ニューから Processing ページで Options ダイアログ・ボックスで、デフォルトの設定を変更します。
6.	<input type="checkbox"/> <i>Compilation Time Advisor</i> を使用します。 Compilation Time Advisor は、デザインのコンパイル時間を短縮する設定を作成するためのガイドを提供します。 Tools メニューで Advisors をポイントし、 Compilation Time Advisor をクリックします。これらの手法のいくつかを使ってコンパイル時間を短縮すると、結果の総合的な品質が低下する可能性があります。 詳細は、「Quartus II ハンドブック」の「 Area and Timing Optimization 」の章を参照してください。

タイミング制約およびタイミング解析

デザインのタイミングを分析し、タイミング性能を最適化するために、次のチェックリストのガイドラインを使用します。

表 13. タイミング最適化およびタイミング解析のチェックリスト (その 1)

項目	✓ チェックリストの項目
1.	<input type="checkbox"/> タイミング制約が完全かつ正確であることを確認します。 FPGA デザイン・フローでは、正確なタイミング制約により、タイミング・ドリブн・シンセシス・ソフトウェアと配置配線ソフトウェアは最適な結果を得ることができます。タイミング制約は、デザインが確実にタイミング要求、すなわちデバイスが正しく動作するために満足されなければならない実際のデザイン要件を満足するために重要です。 Quartus II ソフトウェアは、スピード・グレードごとに異なるタイミング・モデルを使用して、デザインを最適化および解析するので、正しいスピード・グレードのためにタイミング解析を実行する必要があります。最終的なプログラム済みのデバイスは、タイミング・パスが十分に解析および検証されて要件が満足されない限り、予測と異なる動作をする可能性があります。 詳細は、「Quartus II ハンドブック」の「 Timing Analysis Overview 」の章を参照してください。

表 13. タイミング最適化およびタイミング解析のチェックリスト (その 2)

項目	✓ チェックリストの項目
2.	<p><input type="checkbox"/> コンパイル後に <i>TimeQuest</i> タイミング・アナライザ・レポートを確認します。</p> <p>Quartus II ソフトウェアには、デザインのすべてのロジックのタイミング性能を検証する強力な ASIC スタイルのタイミング解析ツールである <i>TimeQuest</i> タイミング・アナライザが含まれています。</p> <p><i>TimeQuest</i> タイミング・アナライザは、業界標準の Synopsys Design Constraints (SDC) フォーマットのタイミング制約をサポートし、インタラクティブなタイミング・レポート付きの使いやすい GUI を備えています。</p> <p><i>TimeQuest</i> タイミング・アナライザは、高速ソース・シンクロナス・インタフェースおよびクロック多重化デザイン構造を制約するのに理想的です。</p> <p>このソフトウェアは、業界標準の Synopsys 社の PrimeTime ソフトウェアでのスタティック・タイミング解析もサポートします。</p> <p>New Project Wizard または Settings ダイアログ・ボックスの EDA Tools Settings ページでツールを指定して、必要なタイミングネットリストを生成します。</p>
3.	<p><input type="checkbox"/> <i>FPGA</i> にデータが提供される時に、入力 I/O タイムに違反していないことを確認。</p> <p>包括的なスタティック・タイミング解析には、レジスタ間パス、I/O パス、および非同期リセット・パスの解析が含まれます。デザイン内のすべてのクロックの周波数と関係を指定することが重要です。</p> <p>外部デバイスまたは外部ボードのタイミング・パラメータを指定するには、入力および出力遅延制約を使用します。システムの意図が正確に反映されるように、外部インタフェース用コンポーネントに対する正確なタイミング要求を指定します。</p> <p>タイミング・アナライザは、システム全体に対してスタティック・タイミング解析を実行し、データ要求時間、データ到達時間、およびクロック到達時間を使用して、回路性能を検証し、発生する可能性があるタイミング違反を検出します。タイミング・アナライザは、デザインが正しく機能するために満足する必要があるタイミング関係を決定します。report_datasheet コマンドを使用して、デザイン全体の I/O タイミング特性を要約したデータシート・レポートを生成することができます。</p>
4.	<p><input type="checkbox"/> フル・コンパイルを実行する前に、<i>Early Timing Estimation</i> を実行します。</p> <p>タイミング解析でデザイン要件に適合しなかったことがレポートされた場合、タイミング・クロージャを達成するように、デザインまたは設定を変更して、デザインを再コンパイルする必要があります。コンパイルの結果、no-fit メッセージが生成された場合、配置配線を成功させるために変更を行う必要があります。</p> <p><i>Early Timing Estimation</i> 機能を使用して、ソフトウェアが完全な配置配線を実行する前に、デザインのタイミング結果を見積もることができます。解析と合成を実行した後、Processing メニューで Start をポイントし、Start Early Timing Estimate をクリックして、最初のコンパイル結果を生成します。</p>

表 13. タイミング最適化およびタイミング解析のチェックリスト (その 3)

項目	✓ チェックリストの項目
5.	<p><input type="checkbox"/> タイミング最適化および解析のアサインメントについては、次の推奨事項を考慮します。</p> <ul style="list-style-type: none"> ■ Settings ダイアログ・ボックスの Fitter Settings ページで、Optimize fast-corner timing をオンにします。 ■ create_clock および create_generated_clock を使用して、デザインのすべてのクロックの周波数と関係を指定します。 ■ set_input_delay および set_output_delay を使用して、外部デバイスまたは外部ボードのタイミング・パラメータを指定します。 ■ derive_pll_clocks を使用して、PLL メガファンクションでの設定に従って、すべての PLL 出力に対して生成されるクロックを作成します。LVDS トランスミッタまたはレシーバの平行変換係数に対して、マルチサイクル関係を指定します。 ■ derive_clock_uncertainty を使用して、インター・クロック、イントラ・クロック、および I/O インタフェースの不確実性を自動的に適用します。 ■ check_timing を使用して、制約の欠落を含め、デザインまたは適用された制約に関する問題に関するレポートを生成します。 ■ タイミング・クロージャを達成したり、リソース利用を改善するために Quartus II の最適化機能を使用。 ■ Timing and Area Optimization Advisors を使用して最適な設定を提案。 <p>タイミング制約について詳しくは、「<i>Quartus II</i> ハンドブック」の「<i>The Quartus II TimeQuest Timing Analyzer</i>」の章を参照してください。</p>

機能シミュレーションおよびタイミング・シミュレーション

シミュレーションおよびタイミング・シミュレーションに関するガイドラインについては、以下のチェックリストを使用します。

表 14. 機能およびタイミング・シミュレーションのチェックリスト (その 1)

項目	✓ チェックリストの項目
1.	<p><input type="checkbox"/> デザイン・フローの先頭に機能シミュレーションを実行します。</p> <p>デザイン機能や各デザイン・ブロックの論理動作をチェックするためにシミュレーションを実行します。デザインを完全にコンパイルする必要はなく、タイミング情報が含まれていない機能シミュレーション・ネットリストを生成することができます。</p>
2.	<p><input type="checkbox"/> デザインがターゲット・デバイスで動作することを確認するためにタイミングシミュレーションを実行します。</p> <p>タイミング・シミュレーションは、TimeQuest タイミング・アナライザで生成された、異なるデバイス・ブロックの遅延や配置配線情報を含むタイミング・ネットリストを使用します。デザインがターゲット・デバイスで確実に動作するように、デザイン・フローの最後にトップレベル・デザインに対してタイミング・シミュレーションを実行することができます。</p>

表 14. 機能およびタイミング・シミュレーションのチェックリスト (その 2)

項目	✓ チェックリストの項目
3.	<p><input type="checkbox"/> シミュレーション・ツールを指定し、サポートされている正しいバージョンを使用します。</p> <ul style="list-style-type: none"> ■ アルテラは、ModelSim®-Altera simulator Starter Edition を提供し、高度なテストベンチ機能およびその他の機能をイネーブルするより高いパフォーマンスの ModelSim-Altera Edition を提供しています。 ■ また、Quartus II EDA Netlist Writer は、Synopsys 社の VCS、Cadence 社の NC-Sim や社 Aldec の Active-HDL などのその他のサードパーティ・シミュレーション・ツールをサポートするために、タイミング・ネットリスト・ファイルを生成できます。 ■ サードパーティ製シミュレーション・ツールを使用する場合、Quartus II バージョンでサポートされているソフトウェア・バージョンを使用してください。 ■ Settings ダイアログ・ボックスの EDA Tools Settings ページでシミュレーション・ツールを指定して、適切な出力シミュレーション・ネットリストを生成します。また、ソフトウェアは NativeLink 統合を使用してツールでのライブラリをセットアップするためのスクリプトを生成することができます。 ■ 必ず使用中の Quartus II ソフトウェア・バージョンに付属のモデル・ライブラリを使用してください。ライブラリはバージョン間で変更されている可能性があり、その場合は使用中のシミュレーション・ネットリストとの不一致が生じます。 ■ Processing メニューの Start をポイントし、Start Testbench Template Writer をクリックして、テストベンチを作成します。 <p>Quartus II ソフトウェア・バージョンで各シミュレーション・ツールの正式サポートされているバージョンについては、アルテラ・ウェブサイトの Release Notes ページでの関連する Quartus II ソフトウェアのリリース・ノートを参照してください。</p> <p>詳細については、<i>Quartus II</i> ハンドブックの次の資料を参照してください。</p> <ul style="list-style-type: none"> ■ <i>Simulating Altera Designs</i> ■ <i>Mentor Graphics ModelSim and QuestaSim Support</i> ■ <i>Synopsys VCS and VCS MX Support</i> ■ <i>Cadence Incisive Enterprise Simulator Support</i> ■ <i>Aldec Active-HDL and Rivera-PRO Support</i>

フォーマル検証

デザインがフォーマル検証を必要とする場合、次のガイドラインに従ってください。

表 15. フォーマル検証のチェックリスト (その 1)

項目	✓ チェックリストの項目
1.	<p><input type="checkbox"/> デザインのためのフォーマル検証を必要とするかどうかを確認します。</p> <p>デザインにフォーマル検証が重要な場合、デザイン・フローの初期段階で制限と制約をプランニングする方が、後半で変更を行うよりも簡単です。</p>

表 15. フォーマル検証のチェックリスト (その 2)

項目	✓ チェックリストの項目
2.	<input type="checkbox"/> フォーマル検証のサポートおよびデザインの制限を確認します。 Quartus II ソフトウェアは、フォーマル検証フローをサポートしています。フォーマル検証フローを使用すると、レジスタのリタイミングなどの特定のロジック最適化をオフにし、階層ブロックが強制的に維持され、それによって最適化が制約されるので、性能結果に影響を及ぼす可能性があります。 詳細は、「 <i>Quartus II</i> ハンドブック」の「 <i>Cadence Encounter Conformal Support</i> 」の章を参照してください。
3.	<input type="checkbox"/> フォーマル検証ツールを指定し、サポートされている正しいバージョンを使用します。 Settings ダイアログ・ボックスの EDA Tools Settings ページでフォーマル検証ツールを指定して、適切な出力ネットリストを生成します。 Quartus II ソフトウェア・バージョンでは各フォーマル検証ツールの正式サポートされているバージョンについては、アルテラ・ウェブサイトの Release Notes ページでの関連する Quartus II ソフトウェアのリリース・ノートを参照してください。。

消費電力の解析および最適化

デザインをコンパイルしたら、Quartus II PowerPlay Power Analyzer を使用して消費電力と放熱性を解析し、デザインが電源バジェットおよび熱バジェットに違反していないことを確認します。

Quartus II ソフトウェアの消費電力最適化は、正確な電力解析の結果に依存します。前の項のガイドラインを使用して、Quartus II ソフトウェアがデザインの動作および条件に対して正しく電力利用を最適化するようになります。

表 16. 消費電力の解析および最適化のチェックリスト (その 1)

項目	✓ チェックリストの項目
1.	<input type="checkbox"/> 正確な電力解析結果を得るために正確な典型的な信号アクティビティを提供します。 PowerPlay Power Analyzer に正確な典型的なシグナル・アクティビティを提供する必要があります。 <ul style="list-style-type: none"> ■ デザイン・リソース、配置配線、および I/O 規格に関する情報を導出するためにデザインをコンパイルします。 ■ シミュレーション結果からの信号アクティビティ・データ (トグル・レートおよびスタティック確率) またはユーザー定義のデフォルト・トグル・レートおよびベクタなし見積もりを導出します。解析に使用されるシグナル・アクティビティは、実際の動作を反映したものでなければなりません。 消費電力を最も正確に見積もるには、ゲート・レベル・シミュレーションの結果を、Quartus II シミュレータまたはサードパーティ・シミュレーション・ツールの .vcd 出力ファイルで使用します。シミュレーション動作には、機能検証で頻繁に使用される例外的なケースではなく、実際の期間における標準的な入力ベクタを含める必要があります。良い結果を得るには、シミュレータの推奨設定 (グリッチ・フィルタリングなど) を使用します。

表 16. 消費電力の解析および最適化のチェックリスト (その 2)

項目	✓ チェックリストの項目
2.	<p><input type="checkbox"/> 電力解析のための正しい動作条件を指定します。</p> <p>コア電圧、デバイスの電力特性、周囲温度およびジャンクション温度、冷却ソリューション、およびボードの熱モデルなどの動作条件も指定する必要があります。</p> <p>Quartus II ソフトウェアで、Settings ダイアログ・ボックスの Operating Conditions ページで適切な設定を選択します。</p>
3.	<p><input type="checkbox"/> PowerPlay Power Analyzer で消費電力および放熱性を解析します。</p> <p>Quartus II ソフトウェアで、Processing メニューの PowerPlay Power Analyzer Tool をクリックします。このツールでは、解析に使用されるシグナル・アクティビティの集計、そしてシグナル・アクティビティのためのデータ・ソースの総合的な品質を反映する信頼性指標も提供されます。</p> <p>消費電力解析、シグナル・アクティビティ情報を作成するためのシミュレーション設定の推奨事項について詳しくは、「Quartus II ハンドブック」の「PowerPlay Power Analysis」の章を参照してください。</p> <p>PowerPlay Power Analyzer は、電力推定値であり、電源仕様ではありません。</p>
4.	<p><input type="checkbox"/> 消費電力を最適化するために、推奨デザイン手法および Quartus II オプションを使用します。</p> <p>消費電力を最適化するためのデザイン手法について詳しくは、「Quartus II ハンドブック」の「Power Optimization」の章を参照してください。</p>
5.	<p><input type="checkbox"/> Power Optimization Advisor を使用して最適化設定を提案します。</p> <p>Quartus II ソフトウェアには、現在のデザイン・プロジェクトの設定およびアサインメントに基づく、消費電力の最適化に関する具体的なアドバイスや推奨事項を提供する Power Optimization Advisor 機能があります。</p> <p>詳細は、「Quartus II ハンドブック」の「Power Optimization」の章を参照してください。</p>
6.	<p><input type="checkbox"/> より高速なスピード・グレード・デバイスの使用を検討します。</p> <p>デザインに高性能モードを必要とする多数のクリティカル・タイミング・パスが含まれているときには、より高速なスピード・グレード・デバイス (利用可能な場合) を使用して消費電力を低減することができます。高速デバイスでは、ソフトウェアでより多くのデバイス・タイルが低消費電力モードを使用するように設定できます。</p>

表 16. 消費電力の解析および最適化のチェックリスト (その 3)

項目	✓ チェックリストの項目
7.	<p data-bbox="505 296 943 331">□ クロック電源管理を最適化します。</p> <p data-bbox="548 338 1425 464">クロックは、高いスイッチング動作と長いパスのために、ダイナミック消費電力の大きな部分に関係します。Quartus II ソフトウェアは、ダウンストリームのレジスタに供給する必要があるクロック・ネットワーク部のみをイネーブルにすることによって、クロック配線の消費電力を自動的に最適化します。</p> <p data-bbox="548 470 1425 621">また、クロック・コントロール・ブロックを使用してクロック・ネットワークをダイナミックにイネーブルまたはディセーブルすることもできます。クロック・ネットワークがパワーダウンすると、そのクロック・ネットワークで供給されるすべてのロジックはトグルしないため、デバイスの全体的な消費電力が減少します。</p> <p data-bbox="548 630 1425 695">クロック・コントロール・ブロックの使用方法について詳しくは、「<i>Clock Control Block (ALTCLKCTRL) Megafunction User Guide</i>」を参照してください。</p> <p data-bbox="548 701 1425 827">クロック・ツリー全体をディセーブルしないで LAB ワイド・クロックの消費電力を低減するには、LAB ワイド・クロック・イネーブル信号を使用して LAB ワイド・クロックをゲートします。Quartus II ソフトウェアは、レジスタ・レベルのクロック・イネーブル信号を自動的に LAB レベルに昇格させます。</p>
8.	<p data-bbox="505 848 1138 884">□ メモリ・クロッキング・イベントの数を低減します。</p> <p data-bbox="548 890 1425 999">メモリの消費電力を低減するために、メモリ・クロッキング・イベントの数を低減します。クロック・ゲーティングまたはメモリ・ポートのクロック・イネーブル信号を使用することができます。</p>
9.	<p data-bbox="505 1005 1057 1041">□ 以下の I/O 電源のガイドラインを検討します。</p> <ul style="list-style-type: none"> <li data-bbox="548 1050 1425 1115">■ I/O バッファのダイナミック消費電力は、合計負荷キャパシタンスに比例するため、キャパシタンスが低いと消費電力が減少します。 <li data-bbox="548 1121 1425 1247">■ ダイナミック電力は、電圧を 2 乗した値に比例します。ダイナミック消費電力を低減するには、低い電圧の I/O 規格を使用してください。LVTTTL や LVCMOS などの非終端 I/O 規格のルール・トゥ・ルール出力振幅は、VCCIO 電源電圧と同じです。 <li data-bbox="548 1253 1425 1409">■ ダイナミック電力は、出力遷移周波数に比例します。高周波数アプリケーションのために SSTL のような抵抗終端 I/O 規格を使用します。出力負荷電圧の振幅は、一部のバイアス・ポイントでは VCCIO よりも小さくなります。この電圧は VCCIO よりもはるかに小さいため、同様の条件下ではダイナミック消費電力は非終端 I/O の場合よりも小さくなります。 <li data-bbox="548 1415 1425 1541">■ 抵抗終端 I/O 規格では、電流が継続的に終端ネットワークにドライブされるため、多くのスタティック電力が消費されます。抵抗終端された I/O 規格を使用する場合、スタティック消費電力を低減するために、速度および波形要件を満たす最小ドライブ強度を使用してください。 <li data-bbox="548 1547 1425 1656">■ 外部デバイスで使用される電力は PowerPlay での計算には含まれていません。システムの電源の計算で、別途外付けデバイスの電源を含めることに確認してください。
10.	<p data-bbox="505 1667 1425 1732">□ パワー・ドリブン・コンパイルと Power Optimization Advisor の情報を確認しません。</p> <p data-bbox="548 1738 1425 1814">詳細は、「Quartus II ハンドブック」の「Power Optimization」の章を参照してください。</p>

改訂履歴

表 17 に、本資料を改訂履歴を示します。

表 17. 改訂履歴

日付	バージョン	変更内容
2013 年 11 月	1.0	初版。

