



この翻訳版ドキュメントのメンテナンスは終了しております。

この文書には、古いコンテンツや商標が含まれている場合があります。

最新情報につきましては、次のリンクから英語版の最新資料をご確認ください。

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

Please take note that this document is no longer being maintained. It may contain legacy content and trademarks which may be outdated.

Please refer to English version for latest update at

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

AN-647-1.0

このアプリケーション・ノートでは、Marvell 88E1111 PHY チップ付きの Altera® Triple-Speed Ethernet MegaCore® ファンクションのイーサネット動作を示すシングル・ポートのトリプル・スピード・イーサネットおよびオン・ボード PHY チップについて説明します。リファレンス・デザインは、システム・ループバックを使用して、イーサネット動作をコントロール、テスト、およびモニタすることができる柔軟性の高いテストおよびデモ用プラットフォームを提供します。

一つのリファレンス・デザインは、Arria®II GX FPGA 開発ボードで動作し、メディア・アクセス・コントローラ (MAC) ファンクションの1つのインスタンスを統合しています。トリプル・スピード・イーサネット IP コアは、RGMII (Reduced Gigabit Media Independent Interface) を介してオン・ボードの PHY チップに接続されています。

他のリファレンス・デザインは、Stratix®IV GX FPGA 開発ボードで動作し、フィジカル・コーディング・サブレイヤ (PCS) とフィジカル・メディア・アタッチメント (PMA) ファンクション付きの MAC のインスタンスを1つに統合します。トリプル・スピード・イーサネット IP コアは、SGMII (Serial Gigabit Media Independent Interface) モードを介してオン・ボードの PHY チップに接続されています。

特長

このリファレンス・デザインは、以下の特長を備えています。

- 完全なテストのために、最小限のハードウェアを必要とします。
- トリプル・スピード・イーサネット IP コアの1つのインスタンスを実装し、10/100/1000-Mbps イーサネット動作をサポートします。
- Arria II GX デザインの RGMII モード。
- Stratix IV GX の設計のオートネゴシエーションと SGMII モード。
 - Arria II GX デザインでの RGMII モード。
 - Stratix IV GX デザインでのオート・ネゴシエーション付きの SGMII モード
- パケット数、パケット長、MAC アドレスのソースとデスティネーション、およびペイロード・データ・タイプとしてプログラマブル・テスト・パラメータをサポートします。
- パケット数、ペイロード・データ・タイプおよびペイロード・サイズに対して、各バーストの設定をイネーブルするシーケンシャル・ランダム・バーストのテストがサポートされています。擬似ランダム・バイナリ・シーケンス (PRBS) ジェネレータは、固定インクリメンタル値またはランダム・シーケンス内のペイロード・データ型を生成します。
- エラーなしで最大理論データ・レートで内部ループバック・パスを介してイーサネット・パケットの送受信を示します。
- スループットの統計情報の収集に対するサポートが含まれています。

© 2010 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX are Reg. U.S. Pat. & Tm. Off. and/or trademarks of Altera Corporation in the U.S. and other countries. All other trademarks and service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

- システム・コンソールのユーザー・インタフェースをサポートします。Tcl に基づいて、このユーザー・インタフェースは、リファレンスデザインを動的に設定、デバッグ、およびテストすることができます。

システム・アーキテクチャ

このリファレンス・デザインは、イーサネット・アプリケーション向けの Triple-Speed Ethernet IP Core を統合する完全な実用サブシステムを実証します。図 1 には、Arria II GX FPGA 開発ボードで実行しているリファレンス・デザインの上位レベルのブロック図を示します。

図 1. Arria II GX FPGA 開発ボードのリファレンス・デザイン

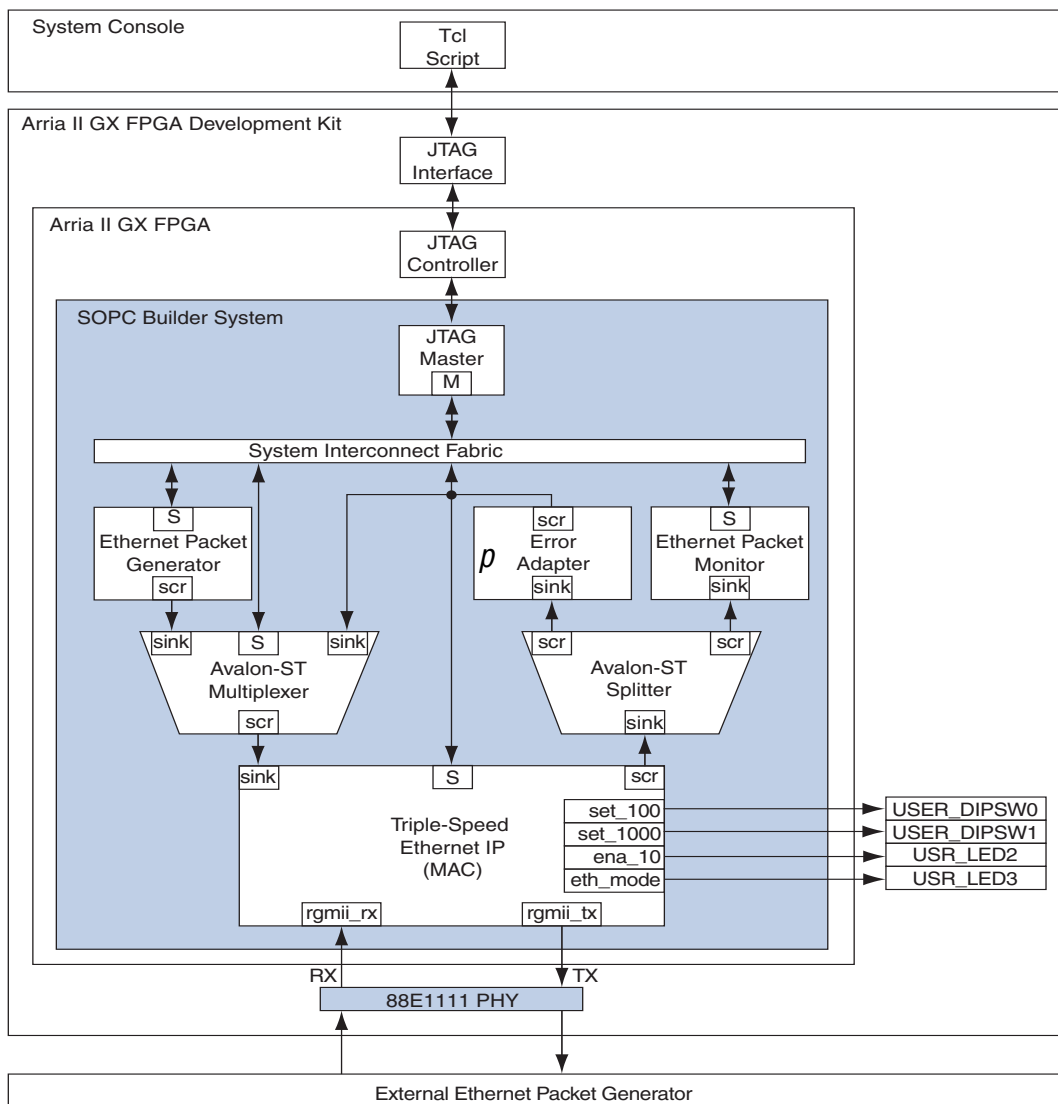


図 1 の注:

- (1) M = Avalon-MM マスタ・ポート
- (2) S = Avalon-MM スレーブ・ポート
- (3) src = Avalon-ST ソース・ポート
- (4) sink = Avalon-ST シンク・ポート

図 2 に、Stratix IV GX FPGA 開発ボードで実行しているリファレンス・デザインの上位レベルのブロック図を示します。

図 2. Stratix IV GX FPGA 開発ボードのリファレンス・デザイン

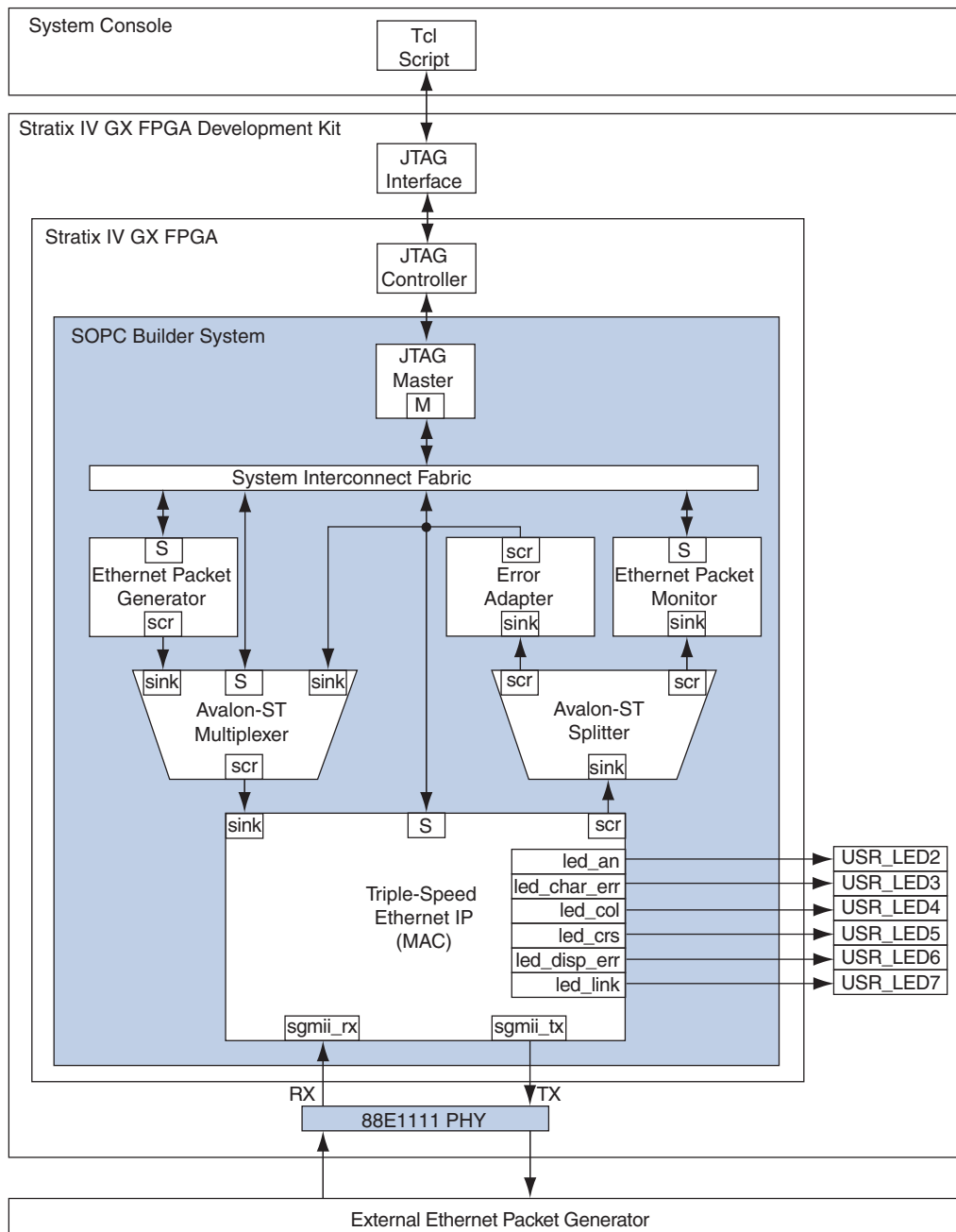


図 2 の注:

- (1) M = Avalon-MM マスタ・ポート
- (2) S = Avalon-MM スレーブ・ポート
- (3) src = Avalon-ST ソース・ポート
- (4) sink = Avalon-ST シンク・ポート

デザイン・コンポーネント


この項では、リファレンス・デザインのコンポーネントについて説明します。

Phase-Locked Loop (PLL) コア

この IP コアは、開発キットの 100-MHz クリスタルから入力クロックを取り込んで、125-MHz PLL 出力クロック (clk_125M) を生成します。この出力クロックは Qsys システムのシステム全体のクロック・ソースです。リファレンス・デザイン内のすべてのコンポーネントは、PLL コアから 125-MHz のクロックを使用します。

JTAG から Avalon Master ブリッジ・コアへ

この IP コアは、フィジカル・インタフェースを介してシステム・コンソールおよび Qsys システム間の接続を提供します。システム・コンソールは、ブリッジのフィジカル・インタフェースを介してエンコード済みバイトのストリームを送信することにより、Avalon-M (MAvalon Memory-Mapped) トランザクションを開始することができます。

 JTAG から Avalon Master ブリッジ・コアへの情報については、『*Embedded Peripherals IP User Guide*』の『*SPI Slave/JTAG to Avalon Master Bridge Cores*』の章を参照してください。

トリプル・スピード・イーサネット MegaCore ファンクション。

この IP コアは、イーサネット・アプリケーション用の統合イーサネット MAC、PCS、および PMA ソリューションを提供します。トリプル・スピード・イーサネット IP コアは、Arria II GX および Stratix IV GX デバイスに組み込まれている Avalon Streaming (Avalon-ST) インタフェースから 1.25-Gbps シリアル・トランシーバ・インタフェースにイーサネット・パケットを送信し、反対方向からパケットを受信します。

イーサネット・パケット・ジェネレータ


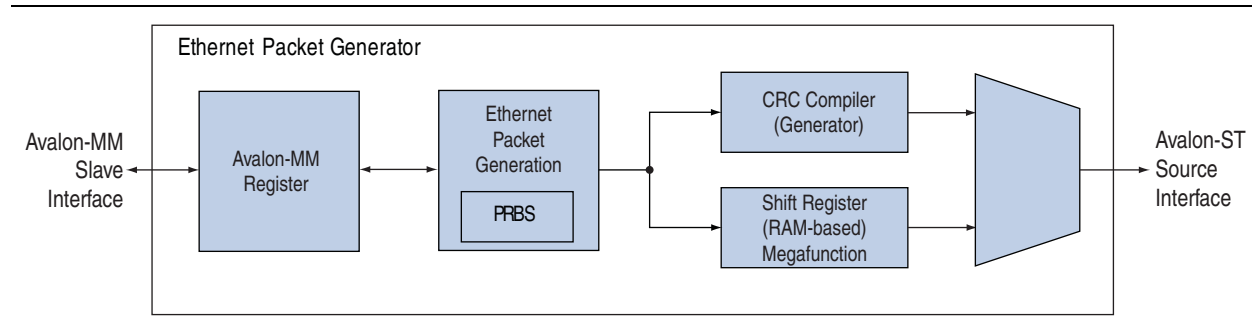
この Qsys カスタム・コンポーネントは、イーサネット・パケットを生成します。 3には、イーサネット・パケット・ジェネレータ・モジュールのハイ・レベル・ブロック図を示します。このモジュールは、以下のコンポーネントが含まれています：Avalon-MM レジスタ、イーサネット・パケット生成ブロック、CRC ジェネレータ、シフト・レジスタ (RAM ベース) メガファンクション。

図 3. イーサネット・パケット・ジェネレータのブロック図



Avalon-MM スレーブ・インタフェースは、Avalon-MM レジスタ・インタフェースへのアクセスを提供します。Tcl スクリプトを使用すると、以下を指定するために Avalon-MM のコンフィギュレーション・レジスタをコンフィギュレーションすることができます。

- 生成するパケットの数。
- MAC ソースおよびデスティネーション・アドレス — ユニキャスト、マルチキャスト、またはブロードキャスト・アドレスになる場合があります。ユニキャスト・アドレスを使用する場合は、ソース・アドレスを送信 MAC アドレスに設定して、デスティネーション・アドレスを受信 MAC アドレスに設定します。この設定は、リファレンス・デザインで受信したイーサネット・ポートが有効なパケットを受信することが保証されます。
- パケット長 — 固定またはランダム・パケット長を指定することができます。固定長は 24 ~ 9600 バイトの範囲で、ランダムな長さは 24 ~ 1518 範囲であります。トリプル・スピード・イーサネット IP コアは、最低限必要な長さの 64 バイトを満たすために小柄なパケットを埋めます。
- ペイロード・データのタイプはインクリメンタルまたは擬似ランダムに指定することができます。増分データはゼロから始まり、後続のパケットに 1 つずつインクリメントされます。PRBS ブロックは、擬似ランダムデータを生成します。
- ランダムシード — 擬似ランダム・データを生成する PRBS ブロックで使用するランダム・シードを指定します。

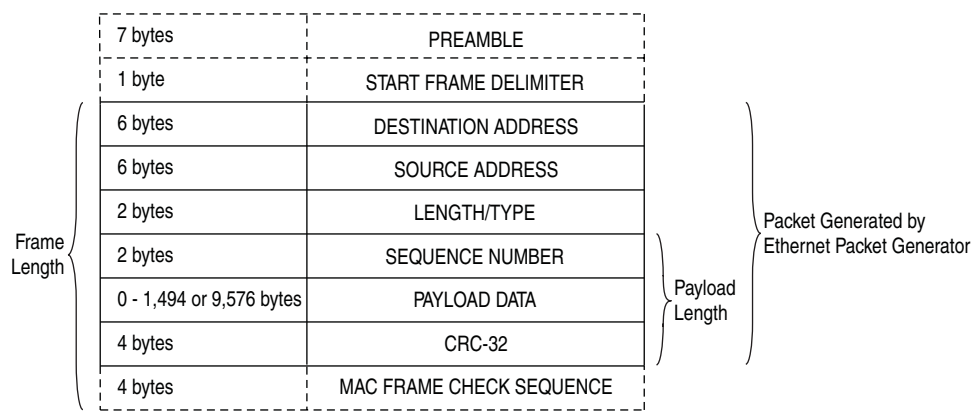
Avalon-MM ステータス・レジスタは、送信動作のステータスを提供し、正常に送信されたパケットの数を報告します。イーサネット・パケット・ジェネレータのレジスタの詳細については、1-8 ページの「イーサネット・パケット・ジェネレータのコンフィギュレーション・レジスタ」を参照してください。


イーサネット・パケット生成ブロックは、各パケットのイーサネット・パケット・ヘッダ、データ・ペイロードおよび実行中のシーケンス番号を生成します。イーサネット・パケット生成ブロックは CRC ジェネレータおよび RAM ベースのシフト・レジスタ・メガファンクションにパケットを送信します。

CRC ジェネレータはパケットの CRC-32 チェックサムを計算して、RAM ベースのシフト・レジスタはチェックサムが適用可能になるまでパケットを格納します。ジェネレータは、パケット・ストリーム付きの有効な CRC-32 チェックサムのマージが完了した後、Avalon-ST ソース・インタフェースに完全なパケットを送信します。

Avalon-ST ソース・インタフェースは、図 4 に示されているイーサネット・パケットをストリームします。生成されたパケットは、7 バイトのプリアンブル、1 バイトのフレーム開始デリミタ (SFD)、および 4 バイトの MAC で計算されるフレーム・チェック・シーケンス (FCS) フィールドは含まれていません。

図 4. イーサネット・パケット・ジェネレータの出力フレーム・フォーマット

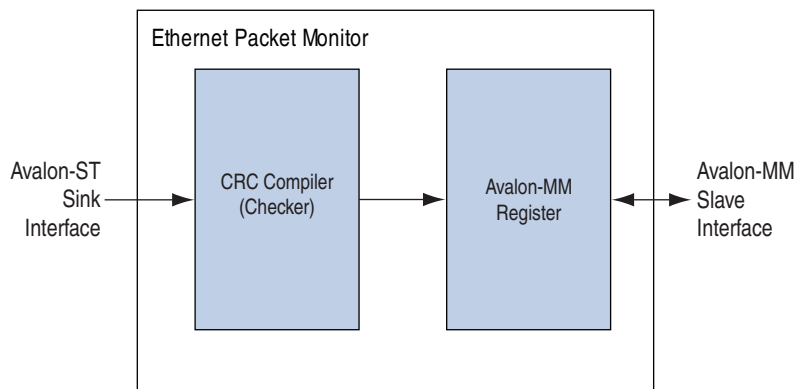


 CRC ジェネレータについて詳しくは、「[CRC Compiler User Guide](#)」を参照してください。RAM ベースのシフト・レジスタ・メガファンクションについて詳しくは、「[Shift Register \(RAM-Based\) \(ALTSHIFT_TAPS\) Megafunction User Guide](#)」を参照してください。

イーサネット・パケット・モニタ

この Qsys カスタム・コンポーネントは、すべての受信パケットのペイロードを検証し、パケットの有効性を示し、受信したバイト数のような各パケットに関する統計情報を収集します。図 5 には、イーサネット・パケット・モニタのモジュールのハイ・レベル・ブロック図を示します。このモジュールは、以下のコンポーネントが含まれています：CRC チェッカと Avalon-MM レジスタ。

図 5. イーサネット・パケット・モニタのブロック図



Avalon-ST シンク・インタフェースは、イーサネット・パケットを受け取り、CRC チェッカにパケットを送信します。


CRC チェッカは、受信パケットの CRC-32 チェックサムを計算し、パケット内の CRC-32 チェックサム・フィールドを検証します。その後、受信したパケットが正常または不良パケットであるかを示すステータス信号を出力し、それに応じて統計情報レジスタを更新します。

 チェッカについては、「[CRC Compiler User Guide](#)」を参照してください。

Tcl スクリプトを介して、モニタが受信するパケットの総数を指定するために AvalonMM コンフィギュレーション・レジスタを設定することができます。AvalonMM ステータス・レジスタは、受信動作のステータスを提供して、受信した正常パケットと不良パケットの数、受信したバイト数、およびクロック・サイクル数を報告します。この情報は、リファレンス・デザインのパフォーマンスとスループット・レートを計算するために使用されています。イーサネット・パケット・モニタのレジスタの詳細については、[1-9 ページの「イーサネット・パケット・モニタのコンフィギュレーション・レジスタ」](#)を参照してください。

エラー・アダプタ

この Qsys カスタム・コンポーネントは、Avalon-ST ソースおよびシンク・インタフェースの不一致を接続します。アダプタを使用すると、バイト・サイズの異なるデータ・シンクにデータ・ソースを接続することができます。これらのデザイン例で TX から RX の Avalon-ST リバース・ループバックの場合は、`ff_tx_err` は 1 ビットのエラー信号ですが、`rx_err` は 6 ビットのエラー信号であります。アダプタにより、ソース・インタフェースで `ff_tx_err` によって提供されたビットあたりのエラー情報が `rx_err` 信号に正しく接続されます。アダプタは、ソースとシンクによって処理されるマッチング・エラー条件を接続します。

 `ff_tx_err` および `rx_err` のエラー信号については、「[Triple Speed Ethernet User Guide](#)」を参照してください。

Avalon-ST マルチプレクサ

この Qsys カスタム・コンポーネントは、2 つの Avalon-ST シンク・インタフェース上のデータを受け入れ、Avalon-ST ソース・インタフェースでトランスミッションのためのデータを多重化します。1 つの Avalon-ST シンク・インタフェースは、前方にループバック用のイーサネット・パケット・ジェネレータのソースに接続しますが、他のシンク・インタフェースはリバース・ループバックのエラー・アダプタのソースに接続します。Avalon-ST ソース・インタフェースは、トリプル・スピード・イーサネット IP コアにイーサネット・パケットを送信します。

Avalon-ST スプリッタ

この Qsys カスタム・コンポーネントは、Avalon-ST シンク・インターフェイス上のデータを受け入れ、Avalon-ST ソース・インタフェースでトランスミッションのためのデータを分割します。Avalon-ST シンク・インタフェースは、トリプル・スピード・イーサネット IP コアからイーサネット・パケットを受信します。1 つの Avalon-ST ソース・インタフェースは、フォワード・ループバック用のイーサネット・パケット・ジェネレータのシンクに接続されていますが、他のソース・インタフェースがリバース・ループバックのためにエラー・アダプタのヒート・シンクに接続されています。

ベース・アドレスおよびコンフィギュレーション・レジスタ

表1には、リファレンス・デザインの各コンポーネントのベース・アドレスを示します。コンフィギュレーション・レジスタをこれらのコンポーネントのにアクセスするには、コンポーネントのベース・アドレスおよびレジスタ・オフセットを使用します。

表1. リファレンス・デザインのコンポーネントのベース・アドレス

ベース・アドレス	名称	説明
0x00000000	triple_speed_ethernet_0	トリプル・スピード・イーサネット
0x00000400	st_mux_2_to_1_0	Avalon-ST マルチプレクサ
0x00000800	eth_mon_0	イーサネット・パケット・モニタ
0x00000C00	eth_gen_0	イーサネット・パケット・ジェネレータ

イーサネット・パケット・ジェネレータのコンフィギュレーション・レジスタ

表2に、イーサネット・パケット・ジェネレータのコンフィギュレーション・レジスタを示します。

表2. イーサネット・パケット・ジェネレータのコンフィギュレーション・レジスタ (その1)

バイト・オフセット	名称	ビット番号	ビット名	R/W	H/Wリセット	説明
0x00	number_packet	31:0	—	RW	0x0	生成するパケットの総数を指定します。
0x04	config_setting	0	LENGTH_SEL	RW	0x0	0: 固定パケット長 1: ランダム・パケット長
		14:1	PKT_LENGTH	RW	0x0	固定パケット長を指定します。有効な値は 24 ~ 9,600 です。このレジスタのビット 0 が 0 に設定されている場合にのみ適用されます。
		15	PATTERN_SEL	RW	0x0	ランダム・パケット長のデータ・パターンを指定します。 0: インクリメンタル。データは 0 から始まり、後続のバイト単位で 1 ずつインクリメントされます。 1: ランダム。
		31:16	—	—	—	予約。
0x08	operation	0	START	RW	0x0	パケット生成をトリガするためにこのビットを 1 に設定してください。このビットは、パケット生成を開始するとクリアされます。
		1	STOP	RW	0x0	パケット生成を停止するには、このビットを 1 に設定します。ジェネレータは、パケット生成を終了する前に、現在のパケットを完了します。
		2	TX_DONE	RO	0x0	値が 1 の場合は、パケット・ジェネレータは number_packet レジスタで指定されたパケットの合計数を生成するに完了したことを示しています。このビットは、毎回パケット生成がトリガされるとクリアされます。
		31:3	—	—	—	予約。

表 2. イーサネット・パケット・ジェネレータのコンフィギュレーション・レジスタ (その 2)

バイト・オフセット	名称	ビット番号	ビット名	R/W	H/Wリセット	説明
0x10	source_addr0	31:0	—	RW	0x0	6 バイト MAC アドレス。 <ul style="list-style-type: none"> ■ source/destination_addr0 = アドレスの最後の 4 バイト ■ source/destination_addr1 のビット 0 ~ 15 = First two bytes of the address ■ source/destination_addr1 のビット 16 ~ 31 が未使用です。 例えば、MAC アドレスが 00-1C-23-17-4A-CB の場合、以下のアサインメントが行われます。 source_addr0 = 0x17231C00 source_addr1 = 0x0000CB4A
0x14	source_addr1	31:0	—	RW	0x0	
0x18	destination_addr0	31:0	—	RW	0x0	
0x1C	destination_addr1	31:0	—	RW	0x0	例えば、MAC アドレスが 00-1C-23-17-4A-CB の場合、以下のアサインメントが行われます。 source_addr0 = 0x17231C00 source_addr1 = 0x0000CB4A
0x24	packet_tx_count	31:0	—	—	—	ジェネレータが正常に送信したパケットの数を追跡します。このレジスタは、パケット生成がトリガされるときにクリアされます。
0x30	rand_seed0	31:0	—	RW	0x0	ランダム・シードの下位 32 ビット。データ・パターン (コンフィギュレーション・レジスタのビット 15) をランダムに設定されている PRBS ジェネレータの 31:0 ビットを占有します。
0x34	rand_seed1	31:0	—	RW	0x0	ランダム・シードの下位 32 ビット。データ・パターン (コンフィギュレーション・レジスタのビット 15) をランダムに設定されている PRBS ジェネレータの 63:32 ビットを占有します。
0x38	rand_seed2	31:0	—	RW	0x0	ランダム・シードの下位 32 ビット。データ・パターン (コンフィギュレーション・レジスタのビット 15) をランダムに設定されている PRBS ジェネレータの 91:64 ビットを占有します。

イーサネット・パケット・モニタのコンフィギュレーション・レジスタ

表 3 に、イーサネット・パケット・モニタのコンフィギュレーション・レジスタを示します。

表 3. イーサネット・パケット・モニタのコンフィギュレーション・レジスタ

バイト・オフセット	バイト・オフセット	ビット番号	ビット名	R/W	H/Wリセット	説明
0x00	number_packet	31:0	—	RO	0x0	モニタが予想される受信パケットの総数です。
0x04	packet_rx_ok	31:0	—	RO	0x0	受信された合計パケット数です。
0x08	packet_rx_error	31:0	—	RO	0x0	エラー付きの受信されたパケットの総数です。

表 3. イーサネット・パケット・モニタのコンフィギュレーション・レジスタ

バイト・オフセット	バイト・オフセット	ビット番号	ビット名	R/W	H/Wリセット	説明
0x0C	byte_rx_count_0	31:0	—	RO	0x0	受信したバイトの合計数を追跡する 64 ビットのカウンタです。 byte_rx_count_0 レジスタは下位 32 ビットを表し、byte_rx_count_1 は、上位 32 ビットを表します。正確なカウントを得るために、後続のサイクルで byte_rx_count_0、そして byte_rx_count_1 を読み込んでください。
0x10	byte_rx_count_1	31:0	—	RO	0x0	
0x14	cycle_rx_count_0	31:0	—	RO	0x0	モニタが全パケットを受信するまでのサイクルの合計数を追跡する 64 ビットのカウンタです。cycle_rx_count_0 レジスタは、下位 32 ビットを表します。cycle_rx_count_1 は、上位 32 ビットを表しています。正確なカウントを得るために、サイクルで byte_rx_count_0、そして byte_rx_count_1 を読み込んでください。
0x18	cycle_rx_count_1	31:0	—	RO	0x0	
0x1C	rx_control_status	0	START	RW	0x0	パケット受信を開始するために、このビットを 1 に設定してください。このビットはパケット受信が始まるとクリアされます。
		1	STOP	RW	0x0	パケット受信を開始するために、このビットを 1 に設定してください。このビットはパケット受信が始まるとクリアされます。
		2	RX_DONE	RO	0x0	値が 1 の場合は、パケット・モニタが number_packet レジスタで指定されたパケットの合計数を受信したを示します。
		3	CRCBAD	RO	0x0	値が 1 の場合は、モニタにより受信された現在のパケットの CRC エラーを示します。
		9:4	RX_ERR	RO	0x0	受信エラー・ステータス。トリプル・スピード・イーサネット IP コアの rx_err[] 信号は、このレジスタにマップされます。
		31:10	—	—	—	予約済み。

インタフェース信号

この項では、リファレンス・デザインのトップ・レベル信号について説明します。

クロックおよびリセット信号

表 4 に、Arria II GX FPGA 開発ボードで実行しているリファレンス・デザインのクロックおよびリセット信号について説明します。

表 4. Arria II GX FPGA 開発ボードのクロックおよびリセット信号

クロック名	I/O	説明
clk_125M	I	リファレンス・デザイン・クロック。このクロックは PLL から派生しています。
rx_clk_to_the_triple_speed_ethernet_0	I	RGMII 受信クロック。クロックのソースはオン・ボード PHY チップです。
tx_clk_to_the_triple_speed_ethernet_0	I	RGMII 送信クロック。クロックのソースは PHY から供給されるクロック・マルチプレクサです。
reset_n	I	リファレンス・デザインのすべてのロジックに対する単一リセット信号です。RESET 押しボタン (USER_PB0) にセット信号を接続します。

表 5 に、Stratix IV GX FPGA 開発ボードで実行しているリファレンス・デザインのクロックおよびリセット信号について説明します。

表 5. Stratix IV GX FPGA 開発ボードのクロックおよびリセット信号

クロック名	I/O	説明
clk_125M	I	リファレンス・デザイン・クロック。このクロックは PLL から派生しています。
ref_clk_to_the_triple_speed_ethernet_0	I	トランシーバのためのリファレンス・クロック。クロックのソースは 125MHz オシレータ (X1) です。
reset_n	I	リファレンス・デザインのすべてのロジックに対する単一リセット信号です。RESET 押しボタン (USER_PB0) にセット信号を接続します。

トリプル・スピード・イーサネットのコンポーネント信号

表 6 に、Arria II GX FPGA 開発ボードで実行しているリファレンス・デザインの RGMII 信号について説明します。

表 6. Arria II GX FPGA 開発ボードの RGMII 信号

名称	I/O	説明
rgmii_in_to_the_triple_speed_ethernet_0	I	RGMII 受信データ・バスです。オン・ボード PHY チップにこのバスを接続してください。
rx_control_to_the_triple_speed_ethernet_0	I	RGMII 受信コントロール出力信号。オン・ボード PHY チップにこのバスを接続してください。
rgmii_out_from_the_triple_speed_ethernet_0	I	RGMII 送信データ・バス。オン・ボード PHY チップにこのバスを接続してください。
tx_control_from_the_triple_speed_ethernet_0	I	RGMII 送信コントロール出力信号。オン・ボード PHY チップにこのバスを接続してください。

表 7 に、Stratix IV GX FPGA 開発ボードで実行しているリファレンス・デザインの SGMII 信号について説明します。

表 7. Stratix IV GX FPGA 開発ボードの SGMII 信号

名称	I/O	説明
rxp_to_the_triple_speed_ethernet_0	I	SGMII 受信データ・バスです。オン・ボード PHY チップにこのバスを接続してください。
txp_from_the_triple_speed_ethernet_0	I	SGMII 送信データ・バス。オン・ボード PHY チップにこのバスを接続してください。

リソース使用率

表 8 には、リファレンス・デザインのリソース使用率を提供します

表 8. リソース使用率

デバイス・ファミリ	組み合わせ ALUT 数 (1)	ロジック・レジスタ数	メモリ・ブロック数		Phase-Locked Loop
			M9K	M144K	
Arria II GX	5,672	5,431	598	0	1
Stratix IV GX	6,075	6,095	303	0	3

表 8 の注:
(1) ALUT は、アダプティブ・ルック・アップ・テーブルです。

リファレンス・デザインをコンパイルしたら、プロジェクト・ディレクトリに、Quartus II Fitter のレポート・ファイル (**top.fit.rpt**) に詳細なリソース使用率情報を表示できます。

リファレンス・デザインの使用

このセクションでは、必要なハードウェアおよびソフトウェア設定について説明します。

ハードウェアおよびソフトウェア要件

リファレンス・デザインを実行するには、以下のハードウェアが必要です。

- Windows XP オペレーティング・システムが動作するコンピュータ
- Arria II GX FPGA 開発キットまたは Stratix IV GX FPGA 開発キット
- USB-Blaster™ または ByteBlaster™ ダウンロード・ケーブル
- 外部イーサネット・パケット・ジェネレータ (Avalon-ST リバース・ループバック・テストにのみ)
- イーサネット・ケーブル・アセンブリ (Avalon-ST リバース・ループバック・テストにのみ)

リファレンス・デザインは、Quartus II ソフトウェア・バージョン 11.0 の以下の機能が必要になることがあります。

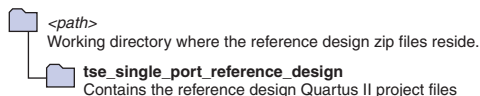
- USB-Blaster または ByteBlaster ドライバ
- Qsys システム

■ システム・コンソール

ファイルおよびディレクトリ構造

アルテラ・ウェブサイトの [Download Single-Port Triple-Speed Ethernet On-Board PHY Chip Reference Design](#) ページから「*TSE Single Port Reference Design Arria II GX*」および「*TSE Single Port Reference Design Stratix IV GX*」をダウンロードしてください。リファレンス・デザインのファイルを解凍して、[図 6](#) で表示されるディレクトリ構造を得ることができます。

図 6. ディレクトリ構造



開発ボードのセットアップ

開発ボードをセットアップするには、以下のステップを実行します。

1. 内部 MAC ループバック作を実行するには、以下の手順に従います。
 - a. ログラミング・ケーブルを JTAG 接続ポートに接続します。
 - Arria II GX FPGA 開発ボードでの J6
 - Stratix IV GX FPGA 開発ボードでの J7
 - b. 電源入力 (J4) に電源コードを接続します。
2. リバース・ループバックを実行するには、以下のステップに従います。
 - a. Avalon-ST インタリバース・ループバックは、外部イーサネット・パケット・ジェネレータが必要です。イーサネット・ケーブル・アセンブリを使用して、FPGA 開発ボードの RJ-45 ポートに外付けの発電機を接続します。
 - b. JTAG 接続ポートにプログラミング・ケーブルを接続します。
 - Arria II GX FPGA 開発ボードでの J6
 - Stratix IV GX FPGA 開発ボードでの J7
 - c. 電源入力 (J4) に電源コードを接続します。

開発ボードの接続

システム・コンソールでの開発ボードを設定するには、次の手順に従います。

1. システム・コンソールで、ディレクトリを **sc_tcl** ディレクトリに変更します。
2. 任意のテキスト・エディタを使用して、**sc_tcl** フォルダ内で **config.tcl** スクリプトで MAC コンフィギュレーションを開いて編集します。
3. Stratix IV GX 開発ボードのリファレンス・デザインでは、**config.tcl** スクリプト内の PCS およびオン・ボード PHY チップのコンフィギュレーションを編集します。

リファレンス・デザインのテスト

リファレンス・デザイン上のループバック・テストを実行するには、システム・コンソールを使用することができます。

内部 MAC のループバック・テスト

内部 MAC のループバック・テストを実行するには、次のステップに従います。

1. MAC ループバック・モードをイネーブルするには **config.tcl** スクリプトを開き、1 に **LOOP_ENA** を設定します。Tcl スクリプトの詳細については、[1-15 ページの「コンフィギュレーション・スクリプト」](#)を参照してください。

2. システム・コンソールで MAC および PHY の接続を開始するには、以下のコマンドを入力します。

```
source config.tcl
```

システム・コンソールは、銅線リンク接続ステータスと PHY の動作速度とモードが表示されます。コンソールは、正確なコンフィギュレーションが表示されていることを確認します。

3. **eth_gen_start.tcl** スクリプトを開き、編集します。Tcl スクリプトについては詳しくは、[1-17 ページの「イーサネット・パケット・ジェネレータのスクリプト」](#)を参照してください。

4. イーサネット・パケットの生成を開始するには、以下のコマンドを入力します。

```
source eth_gen_start.tcl
```

5. イーサネット・パケット・モニタは、イーサネット・パケット・ジェネレータを起動したときに自動的に開始されます。モニタがすべてのイーサネット・パケットを受信すると、システム・コンソールは、ループバック・テストの結果を表示します。モニタがエラー付きのパケットを受信した場合、コンソールは各パケットのエラーやエラーのタイプで受信したパケットの合計数が表示されます。

6. MAC 統計情報カウンタを表示するには、以下のコマンドを入力します。

```
source tse_stat_read.tcl
```

Avalon-ST リバース・ループバック・テスト

Avalon-ST リバース・ループバック・テストを実行するには、次のステップに従います。

1. **config.tcl** スクリプトを開き、MAC ループバック・モードをイネーブルするには、0 に **LOOP_ENA** を設定します。Tcl スクリプトの詳細については、[1-15 ページの「コンフィギュレーション・スクリプト」](#)を参照してください。

2. システム・コンソールで MAC および PHY の接続を開始するには、以下のコマンドを入力します。

```
source config.tcl
```

コンソールは正しい設定が表示されていることを確認します。

3. 外部パケット・ジェネレータからの FPGA 開発ボードにイーサネット・パケットの送信を開始し、パケットが正確に外部パケット・ジェネレータにループバックされていることを確認します。

4. MAC 統計情報カウンタを表示するには、以下のコマンドを入力します。

```
source tse_stat_read.tcl
```

システム・コンソールの使用

システム・コンソールは、ロー・レベルのハードウェアのデバッグを実行して、リファレンス・デザインでテストを実行する Tcl スクリプトを提供するデバッグ・ツールです。コンソールには、Avalon マスタ・ブリッジに JTAG を介して Qsys システム・リファレンス・デザインにインスタンス化されたハードウェア・コンポーネントに通信します。


システム・コンソールの実行

1. Qsys を開きます。
2. Tools メニューの **System Console** をクリックします。

 詳細は、「*QuartusII* ハンドブック Volume 3」の「*Analyzing and Debugging Designs with the System Console*」の章を参照してください。

Tcl スクリプト


この項では、リファレンス・デザインの **sc_tcl** フォルダ内の Tcl スクリプトについて説明します。Tcl スクリプトを編集するには、任意のテキスト・エディタを使用することができます。

 アルテラは、**sc_tcl** フォルダ内の **tse_mac_config.tcl**、**tse_marvel_phy.tcl**、**eth_gen_mon.tcl** および **tse_stat_read.tcl** スクリプトを変更しないことを推奨します。

コンフィギュレーション・スクリプト

config.tcl コンフィギュレーション・スクリプトは、MAC、PCS および Marvell PHY は、リファレンス・デザインのレジスタを設定するパラメータが含まれています。Tcl スクリプトに以下の設定を実行することができます。

- MAC コンフィギュレーションの設定 —MAC レジスタを設定することができます。
- PCS コンフィギュレーションの設定 —PCS レジスタを設定することができます。

 MAC および PCS コンフィギュレーション・レジスタについて詳しくは、「*Triple Speed Ethernet User Guide*」の「*Configuration Register Space*」の章を参照してください。

- Marvell PHY コンフィギュレーションの設定 — オン・ボード PHY チップ・レジスタを設定することができます。
 - **PHY_ENABLE**— オン・ボードの PHY チップをイネーブルまたはディセーブルするには、このパラメータを使用します。
 - **PHY_ETH_SPEED**—PHY の動作速度を選択します。
 - **PHY_ENABLE_AN**—PHY でオート・ネゴシエーションをイネーブルまたはディセーブルするには、このパラメータを使用します。
 - **PHY_COPPER_DUPLEX**—PHY の動作モードを選択します。

統計情報カウンタのスク립ト

- リファレンス・デザインを実行した後 `tse_stat_read.tcl` スクリプトでは、MAC の統計カウンタの値を読み込みます。



For more information about the MAC statistic counters, refer to the *Configuration Register Space* chapter in the *Triple Speed Ethernet User Guide*.

イーサネット・パケット・ジェネレータのスク립ト

`eth_gen_start.tcl` コンフィギュレーション・スク립トは、リファレンス・デザインのイーサネット・パケット・ジェネレータのレジスタを設定するためのパラメータが含まれています。この Tcl スクリプトで以下のレジスタを設定するには、任意のテキスト・エディタを使用することができます。

- **number_packet**— パケット・ジェネレータによって生成されるパケットの総数を設定します。
- **eth_gen**— パケット・ジェネレータをイネーブルまたはディセーブルするときこのパラメータを使用しています。
- **length_sel**— 固定またはランダム・パケット長を選択します。
- **pkt_length**— 固定パケット長を設定します。パケット長の値は 24～9600 バイトの間です。
- **pattern_sel**— ランダム・パケット長のデータ・パターンを選択します。
- **rand_seed**— PRBS ジェネレータの初期のランダムシードを設定します。ランダム・パケット長を選択するときのみこのパラメータが有効です。
- **source_addr**— ソース MAC アドレスを設定します。
- **destination_addr**— デスティネーション MAC アドレスを設定します。

改訂履歴

表 9 に、本資料の改訂履歴を示します。

表 9. 改訂履歴

日付	バージョン	変更内容
2011 年 6 月	1.0	初版。
2011 年 9 月	1.1	デザイン例のページへのリンクを更新。