



この翻訳版ドキュメントのメンテナンスは終了しております。

この文書には、古いコンテンツや商標が含まれている場合があります。

最新情報につきましては、次のリンクから英語版の最新資料をご確認ください。

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

Please take note that this document is no longer being maintained. It may contain legacy content and trademarks which may be outdated.

Please refer to English version for latest update at

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

AN-646

このアプリケーション・ノートでは、4K フォーマットの変換リファレンス・デザインについて説明します。4K 解像度は、画像の鮮やかさおよびリアリズムの利点があるためにビデオ中の次の主な機能強化になります。多くの大手プロジェクター、ブロードキャスト、およびカメラ・メーカーは、4K イネーブルされたシステムを出荷しています。アルテラは、システムのデバイス数を削減することにより、この次世代フォーマット変換をイネーブルします。これにより、全体のコストの削減、開発コストの削減、およびボード・デザインの簡素化ができます。以前のシステムでは、4K フォーマット変換を実行するために、最大 9 既製のデバイスが必要です (4 つの 1080p フォーマット変換デバイスとシリアル・デジタル・インタフェース (SDI) 入力および出力のための 5 つのデバイス)。4K フォーマット変換のリファレンス・デザインは、単一の Altera® Stratix® IV EP4SGX230 FPGA に 33% 未満を使用します。すべてのアルテラの FPGA デバイス・ファミリーへのマイグレーション・パスを使用すると、DisplayPort やビデオ圧縮 (符号化または復号化) 処理などの、他のビデオ機能とのインタフェースを組み込むことに十分なヘッドルームで、これらの機能を統合することができます。

4K 解像度とは、ディスプレイ画面上の約 4,000 の水平ピクセルを持つ任意の解像度と定義されます。デジタル・シネマでは、2160 ピクセルで典型的な解像度は 4096 になります。そして、コンピュータ・グラフィックスでは、2160 ピクセルで、クワッド・フル高精細 (QFHD) は 3,840 になります。通常は、4K ビデオの処理は、1080p60 のビデオの 4 倍以上の処理能力を必要とします。

## 機能


このリファレンス・デザインは、以下の特長を備えています。


- 1 つの 3G-SDI 1080p60 入力。
- 4 つの 3G-SDI 1080p60 入力で送信された 1 つの QFHD 出力。
- 148.5 MHz で実行する 4 つのビデオ・プロセッサ。各プロセッサは以下を備えています。
  - アップスケーリングする入力ビデオ・ラインの一部を選択するためのプリスケラ・クリップ
  - 4 回高級を実行する 4 つの水平スケラと 4 つの垂直のタップのスケラ
  - すべてのオーバーラップ・ピクセルを削除するポストスケラ・クリップ
  - 外部 DDR3 SDRAM へのビデオのダブル・バッファリング
- ソフトウェアのシステムの初期化およびランタイム・コンフィギュレーション。
- 高速システム・キャプチャおよび SOPC Builder、Quartus® II ソフトウェア、および Nios® II 開発環境とのデザイン。


© 2010 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX are Reg. U.S. Pat. & Tm. Off. and/or trademarks of Altera Corporation in the U.S. and other countries. All other trademarks and service marks are the property of their respective holders as described at [www.altera.com/common/legal.html](http://www.altera.com/common/legal.html). Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



- 高度にパラメータ化およびモジュール式ハードウェア機能
  - ビデオおよび画像処理 (VIP) スイート MegaCore ファンクション
  - Nios II プロセッサ
  - クリア・テキストのシステム・コンフィギュレーション・ソフトウェア
  - DDR3 SDRAM コントローラ
  - ペリフェラル
  - スイッチ・ファブリックの自動生成
- 高速の統合のための標準の Avalon® Streaming (Avalon-ST) と Avalon Memory-Mapped (Avalon-MM) のインタフェース、および関数間のビデオ送信のための Avalon-ST Video プロトコルを提供します。
- 2 Terasic トランシーバ SDI 高速メザニン・カード (HSMC) ボードとアルテラの Stratix IV GX FPGA 開発キット上で実行されます。

 ビデオおよび画像処理コンポーネント・ライブラリと Avalon-ST のメッセージ・プロトコルについて詳しくは、ビデオおよび画像処理コンポーネント・ライブラリの機能の説明 (アルテラから入手可能) を参照してください。


 Avalon-ST Video プロトコルの詳細については、[ビデオおよび画像処理スイート User Guide](#) を参照してください。

 Avalon-ST および Avalon-MM インタフェースについて詳しくは、[Avalon Interface Specification](#) を参照してください。

## 概要

4K フォーマットの変換リファレンス・デザインは、3G-SDI インタフェースを介して 1080p60 の入力を受け取り、4 つの 3G-SDI インタフェースを介して QFHD 解像度出力にアップスケールします。アルテラの SDI IP コアは、FPGA 内の 3G-SDI インタフェースをサポートします。ビデオ・サーバは、SDI 入力を提供し、4 の SDI 出力は、4 つの別々のモニタに表示されます。リファレンス・デザインは、International Broadcast Convention (IBC) 2010 で単一の Stratix IV EP4SGX230 FPGA 上に示されました。

ビデオおよび画像処理スイートからの IP コアと、ビデオおよび画像処理コンポーネント・ライブラリからのコンポーネントを使用します。これらのコンポーネントは、ビデオおよび画像処理 IP コアやリファレンス・デザインを構築するために使用するコンポーネントのコレクションです。コンポーネント・ライブラリには、ビデオおよび画像処理スイートが提供されるよりも複雑なシステムを作成することができます。コンポーネント・ライブラリのコンポーネントだけを使用することはできません。また、スケジューラを使用する必要があります。例えば、CPU やステートマシンです。

 ビデオと画像処理スイートについて詳しくは、[ビデオおよび画像処理スイート User Guide](#) を参照してください。

## パフォーマンスおよびリソース使用率

表 1 には、Stratix IV GX デバイス (S4GX230) のリソース使用率をリストします。

表 1. リソース使用率

リソース使用率	ALUT	ロジック・レジスタ	ロジック使用率	ブロックの合計				DSP ブロック 18-ビット・エレメント
				メモリ・ビット	メモリ実装ビット	M9K	M144K	
デバイス上で	35,078	39,062	52,214	2,209,032	3,962,880	238	12	68
デバイスで使用可能な合計	182,400	182,400	182,400	2,209,032	14,625,792	1,235	22	1,288
デバイス上で使用される割合	19%	21%	29%	15%	27%	19%	55%	5%

# 機能の説明

4 ページの図 1 には、このリファレンス・デザインのブロック図を示します。

図 1. ブロック図

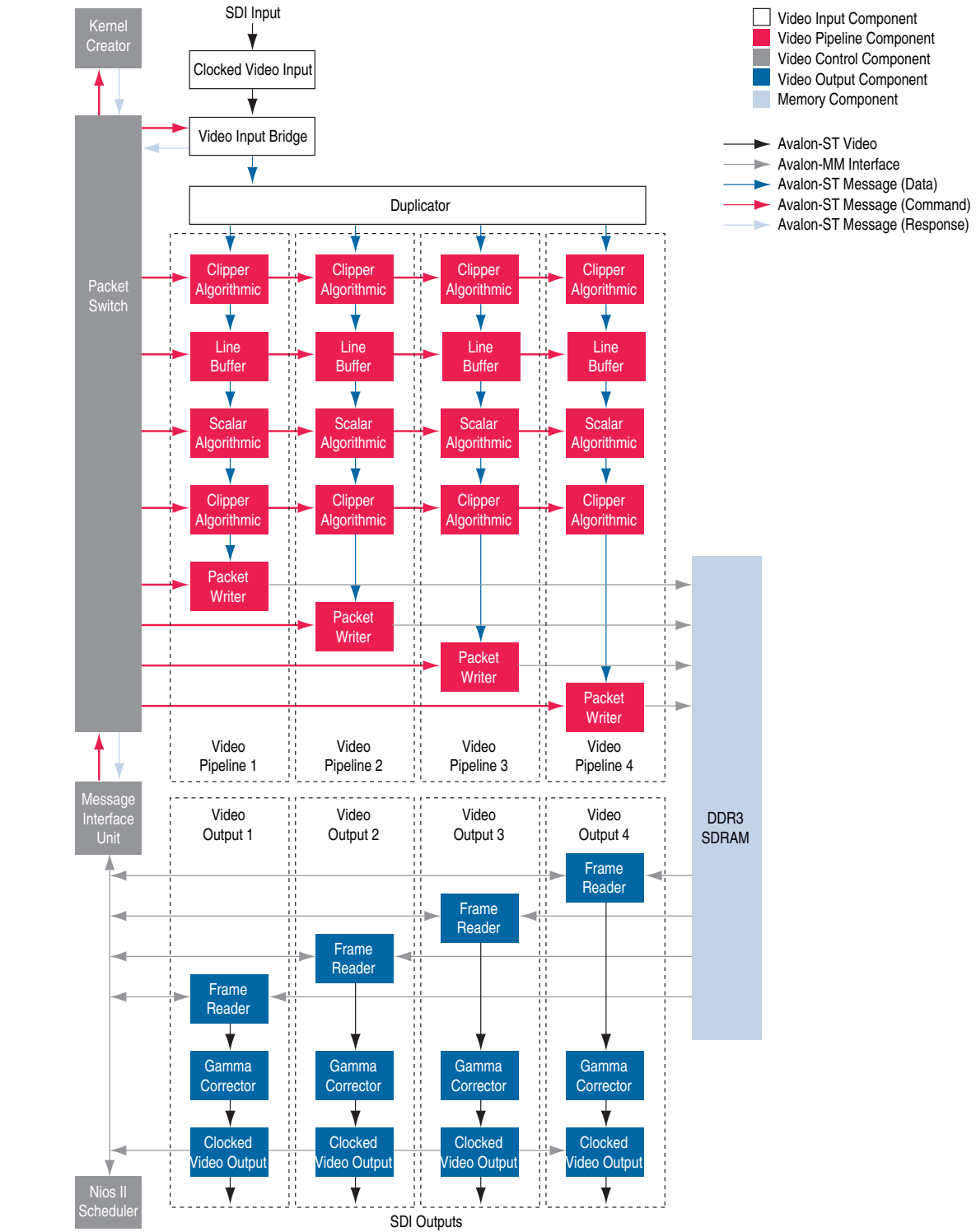


表 2 に、ビデオ入力ブロックを説明します。ビデオ入力は、単一の SDI 入力を受け取り、それがサポートされる形式であることをチェックします。そして、4 つのビデオ・パイプラインへを重複をします。

表 2. ビデオ入力ブロック

ブロック	ソース	説明
クロックされたビデオ入力 IP コア	ビデオ / 画像処理スイート	クロック・ビデオ入力は、Avalon-ST Video プロトコルに SDI IP コアの出力を変換します。 デュプリケイタの重複にはそれぞれ 4 つの出力のすべての入力パケットを受信しました。
ビデオ入力ブリッジ	ビデオおよび画像処理コンポーネント・ライブラリ	ビデオ入力ブリッジは、Avalon-ST Video 入力に到着する新しいパケットをスケジューラに警告し、そのスケジューラ・コマンドのデスティネーションに送信します。
デュプリケイタ	ビデオおよび画像処理コンポーネント・ライブラリ	デュプリケイタは、その 4 つの出力のすべてへの各受信入力パケットを重複します。

表 3 に、ビデオ・パイプラインのブロックを説明します。ビデオ・パイプラインは、ビデオ入力の一部を受け取り、外部メモリに結果を書き込む前にアップスケールします。

表 3. ビデオ・パイプライン・ブロック

ブロック	ソース	説明
クリップ・アルゴリズム IP コア	ビデオおよび画像処理コンポーネント・ライブラリ	クリップ・アルゴリズムの IP コアは、入力ラインのほとんどを奪います。その結果、わずかに約その 4 分の 1 がその出力に伝播します。伝播される四半期は、各ビデオ・パイプラインごとに異なります。
ライン・バッファ	ビデオおよび画像処理コンポーネント・ライブラリ	ライン・バッファは、複数のラインを格納するためのオンチップ・メモリを使用して、1 つのパケットとして並列に出力されます。このリファレンス・デザインは、4 つの垂直タップをサポートするために、各ラインバッファを設定します。
スケーラ・アルゴリズム IP コア	ビデオおよび画像処理コンポーネント・ライブラリ	スケーラ・アルゴリズムの IP コアは、係数の 2 によって入力ラインをアップスケールします。
パケット・ライター	ビデオおよび画像処理コンポーネント・ライブラリ	パケット・ライターは、外部メモリに出力されるビデオ・フレーム（パケット）のラインを書き込みます。

表 4 に、ビデオのコントロール・ブロックを記述します。Nios II スケジューラは、IP コアを制御します。それは IP コアおよびコンポーネント・ライブラリのコンポーネントを構成、起動、および停止するためのレジスタマップが使用可能になります。そのコンポーネントは、スケジューラからコマンドを受信したとき、入力パケットのようなタスクだけを実行するため、はるかに低いレベルの制御が必要です。

表 4. ビデオ・コントロール・ブロック

ブロック	ソース	説明
カーネル・クリエイタ	ビデオおよび画像処理コンポーネント・ライブラリ	カーネル・クリエイタは、出力ラインを生成するために必要な入力ラインを返送するハードウェア・アクセラレータ・ブロックです。スケジューラは、入力ラインがライン・バッファに格納する必要があることを決定するために、この事実を使用します。
パケット・スイッチ	ビデオおよび画像処理コンポーネント・ライブラリ	パケット・スイッチは、送信先アドレスに指定されたエンド・ポイントにメッセージを配線します。このプロセスでは、Nios II プロセッサは送信先アドレスを変更することにより、リファレンス・デザイン内の任意のコンポーネントにメッセージを送信することができます。
Nios II メッセージ・インタフェース・ユニット	ビデオおよび画像処理コンポーネント・ライブラリ	コンポーネントは、メッセージを送受信するためには、Avalon-ST Message フォーマットを使用します。メッセージ・インタフェース・ユニットは、Nios II プロセッサがメッセージを送受信するために使用されるメモリ・マップ・ペリフェラルです。
Nios II スケジューラ	SOPC Builder	Nios II プロセッサは、以下の方法でシステムを制御します。 <ul style="list-style-type: none"> <li>■ 入力ビデオ・フォーマットの変更によってトリガされるクロックのビデオ入力からの割り込みに反応する</li> <li>■ レジスタ・マップを介して IP コアを設定する</li> <li>■ コンポーネントにコマンド・メッセージを送信する</li> <li>■ コンポーネントからの応答メッセージを受信する</li> </ul>

表 5 に、ビデオ出力ブロックについて説明します。ビデオ出力は、外部メモリからのアップスケールされた出力ビデオを読み込んで、4 つの SDI 出力に供給します。

表 5. ビデオ・コントロール・ブロック

ブロック	ソース	説明
フレーム・リーダー	ビデオおよび画像処理スイート	フレーム・リーダーは、外部メモリからフレームを読み込み、Avalon-ST Video パケットに変換します。
ガンマ・コレクタ	ビデオおよび画像処理スイート	ガンマ・コレクタは、スケーリングの結果として発生する範囲外の値のいずれかのタイム・アウトを修正します。このブロックは、 $64 \leq Y \leq 940$ および $64 \leq Cb/Cr \leq 960$ の許容される SDI 範囲に色の値を返却します。
クロックされたビデオ出力	ビデオおよび画像処理スイート	このリファレンス・デザインで、クロックされるビデオ出力は、SDI IP コアが取り入れることができる形式には Avalon-ST Video を変換します。

ALTMEMPHY およびマルチ・フロントエンド付きの DDR3 SDRAM コントローラは、次のアクションを実行します。

- 外部 DDR3 SDRAM からのビデオのバッファリングを実行します。
- ALTMEMPHY 付きの DDR3 SDRAM コントローラの単一のスレーブ・インタフェース上の複数のパケット・ライターやフレーム・リーダー・マスタのアービトラーションを処理します。

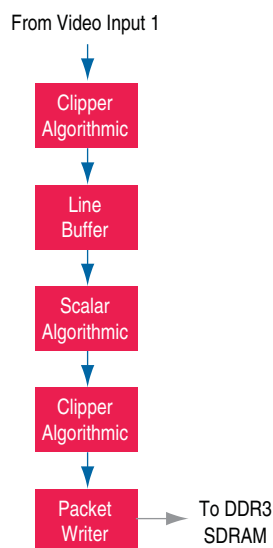
## ビデオ・パイプライン

リファレンス・デザインは、4 つのビデオ・パイプラインで構成されています。各ビデオ・パイプラインは 1080p60 のビデオをプロセスすることができます。デザインは 4 つのビデオ・パイプライン全体で 4K アップスケール処理を分割します。余分なビデオ処理パイプラインは、高精度をプロセスするために追加することができます。唯一の制限は、使用される FPGA のサイズ、および利用可能な DDR3 SDRAM の帯域幅です。逆に、必要なビデオ処理パイプラインの数は、達成可能な  $f_{MAX}$  が増加するにつれて減少します。

処理機能のチェーンで構成される各ビデオ・パイプラインをパラメータ化することができます。Avalon-ST インタフェースでは、SOPC Builder を使用した処理機能を接続することができます。図 2 には、以下の機能を持つビデオ・パイプラインを示します。

- クリッパ・アルゴリズム IP コアは、このビデオ・パイプライン処理する入力ラインの一部を選択します
- 必要な出力ラインを生成するために複数の入力ラインをバッファリングし、正しいピクセルのカーネルでスケーラ・アルゴリズムの IP コアを提供するライン・バッファ
- スケーラ・アルゴリズムの IP コアはアップスケールを実行し、出力ラインを生成します
- 第二クリッパ・アルゴリズム IP コアは、出力ラインに含まれるすべての重複を削除します
- パケット・ライタは、DDR3 SDRAM に出カラインを書き込みます

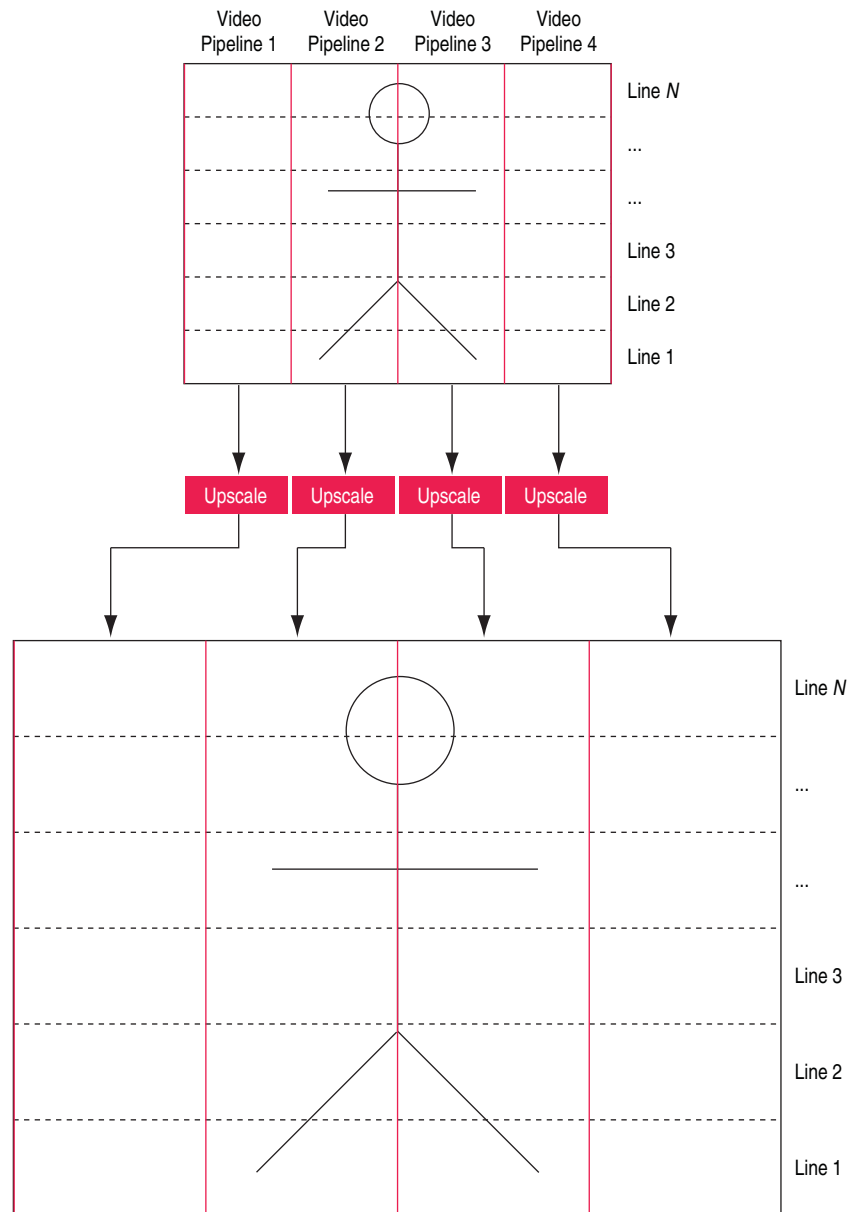
図 2. ビデオ・パイプラインのブロック図



垂直バンドは 4 つのパイプラインで受信するビデオを分割します。各ビデオ・パイプラインは、受信するビデオ・フレームの異なる垂直バンドを処理します。図 3 に、各パイプラインはラインの異なる地区を選択し（小さなオーバーラッピング）、ビデオのその部分のみをアップスケールすることを示します。

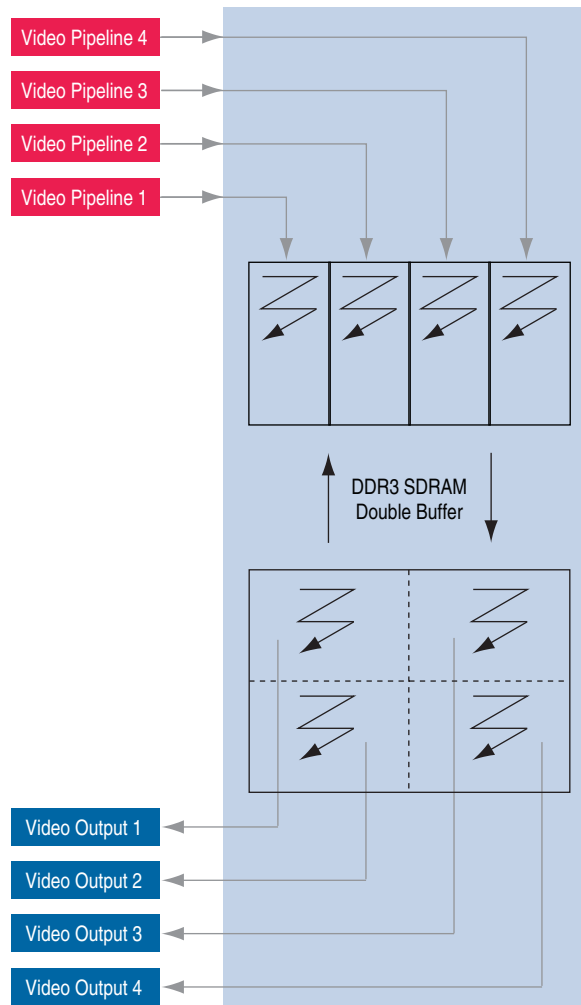


図 3. ビデオ処理パイプライン上のビデオ・フレームの分割



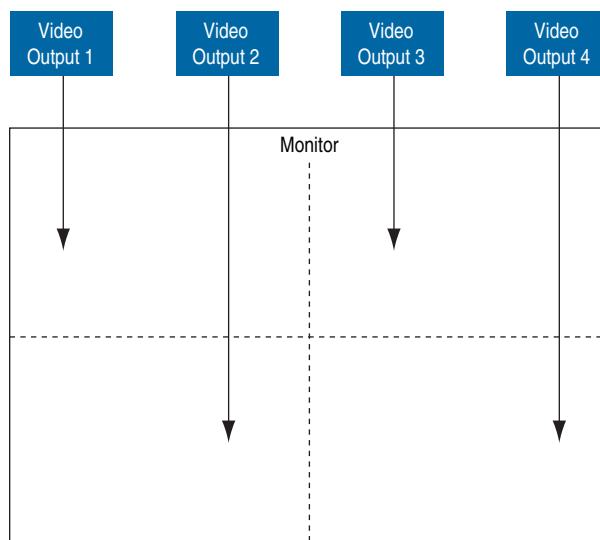
同時に必要な 4 つの SDI 出力を生成するために、デザインはダブル・バッファに 4K フレームを作成する必要があります。図 4 に、4K フレームのバッファリングを示します。デザインは、4K フレームを垂直バンドとして書き込み、ダブル・バッファをスワップします。そして、4 つのクワドラントとしてフレームを読み出し、別の SDI 出力にそれぞれ送信します。

図 4. DDR3 SDRAM で 4K のビデオ・フレームのバッファリング



デザインは、4K のフレームを生成するには、アップスケールされた出力ラインを再結合し、任意の重複を除去します (図 5 を参照)。

図 5. 4K フレーム



## コントロール・インタフェース


リファレンス・デザインは、ビデオ処理デザインにおいて、より高い柔軟性と制御を可能にするビデオおよび画像処理コンポーネント・ライブラリを紹介します。コンポーネント・ライブラリは、IP コアを搭載したビデオおよび画像処理スイートをビルドする一般的なビデオ機能ビルディング・ブロックの集合です。MegaCore ファンクションの一部としてコンポーネント・ライブラリを使用すると、ソフトウェアのコンポーネントは制御とパラメータ化を非表示にします。リファレンス・デザインでは、コンポーネント（クリップ・アルゴリズムの IP コア、ライン・バッファ、スケーラ・アルゴリズム IP コア、およびパケット・ライター）の選択が柔軟なビデオ処理パイプラインを作成します。各コンポーネントは、それが特定の機能を実行するように、指示するスケジューラからメッセージを受信して、コマンド・インタフェースを備えています。ライン・バッファのいくつかの機能の例は、次のとおりです：新しいラインを受信すること、含まれるラインをシフトすること、または別のコンポーネントにピクセルのカーネルを送信することです。コンポーネントをコントロールする HDL ステート・マシンとしてのスケジューラを実装することができます。またはコンポーネントの大規模システムをコントロールするために実装することができます。リファレンス・デザインのスケジューラは Nios II プロセッサです。

ビデオ入力ブリッジは受信した各ラインの場合、スケジューラへの応答メッセージを送信します。スケジューラは、ビデオ入力ブリッジにメッセージを送信して、特定のデスティネーションにラインを送信するように指示します。このケースでは、デザインはラインの複写機（複数の宛先にラインのコピーを送信する）を送信します。スケジューラは、ビデオ・パイプライン内の各コンポーネントにメッセージを送信します。メッセージは、ライン上で実行するように機能するコンポーネントに指示します。

ソフトウェア・スケジューラは、両方のシステムのデバッグとラン・タイム機能の変更に柔軟性を提供します。これは、より生産的なデザイン・サイクルおよび大幅に低減されたタイム・ツー・マーケットを提供します。

## ソフトウェアのスケジュール

**main.cpp** ファイルは、ソフトウェアのスケジュール、コメント、およびスケジュールの詳細な説明が含まれます。**C** のマクロの数は、**nios\_miu.h** ファイルに Nios II プロセッサがメッセージを送受信できるようにメッセージ・インタフェース・ユニットを使用します。マクロは単純なメモリ・マップされた読み出しまたは書き込みに変換して、Nios II のメッセージ・インタフェース・ユニットを使用できるように API について説明します。

 Nios II のメッセージ・インタフェース・ユニットについて詳しくは、ビデオおよび画像処理コンポーネント・ライブラリの機能の説明（アルテラから入手可能）を参照してください。

リファレンス・デザインの各コンポーネントはまた、受け取る一連のコマンドと、返すそれがのセットがあります。**alt\_vip\_common\_pkg.h** ファイルには、コマンドを示します。

## クロック

表 6 に、クロックおよび周波数をリストします。

表 6. クロックおよび周波数

クロック・ドメイン	f <sub>MAX</sub> (MHz)	説明
sdi_rx_clk[0]	148.5	SDI 入力クロック。
sdi_clk148	148.5	4 つの出力のための SDI 出力クロック。
vip_clk	148.5	ビデオ処理パイプライン・クロック。
altmemddr_0_sysclk	200.0	メモリ・コントローラ・クロックのローカル・インタフェース。
DDR3 クロック	400.0	DDR3 SDRAM は 400 MHz でクロックされる。

## 使用法

この項では、以下の内容について説明します。

- ハードウェアおよびソフトウェア要件
- リファレンス・デザインのダウンロードおよびインストール
- SOPC Builder システムの生成
- ソフトウェアのコンパイル
- デザインのコンパイル
- デバイスのプログラム

### ハードウェアおよびソフトウェア要件

リファレンス・デザインには次のハードウェアが必要です。

- Stratix IV GX FPGA 開発ボード
- 2 つのテラシック・トランシーバ SDI 高速メザニン・カード (HSMC) ボード
- 1 つの 1080p60 SDI ビデオ・ソース

- SDI-to-DVI コンバータ付きの 4 つの 1080p60 SDI モニタまたは DVI モニタ

このリファレンス・デザインには次のソフトウェアが必要です。

- Quartus II software v10.1
- Nios II EDS v10.1

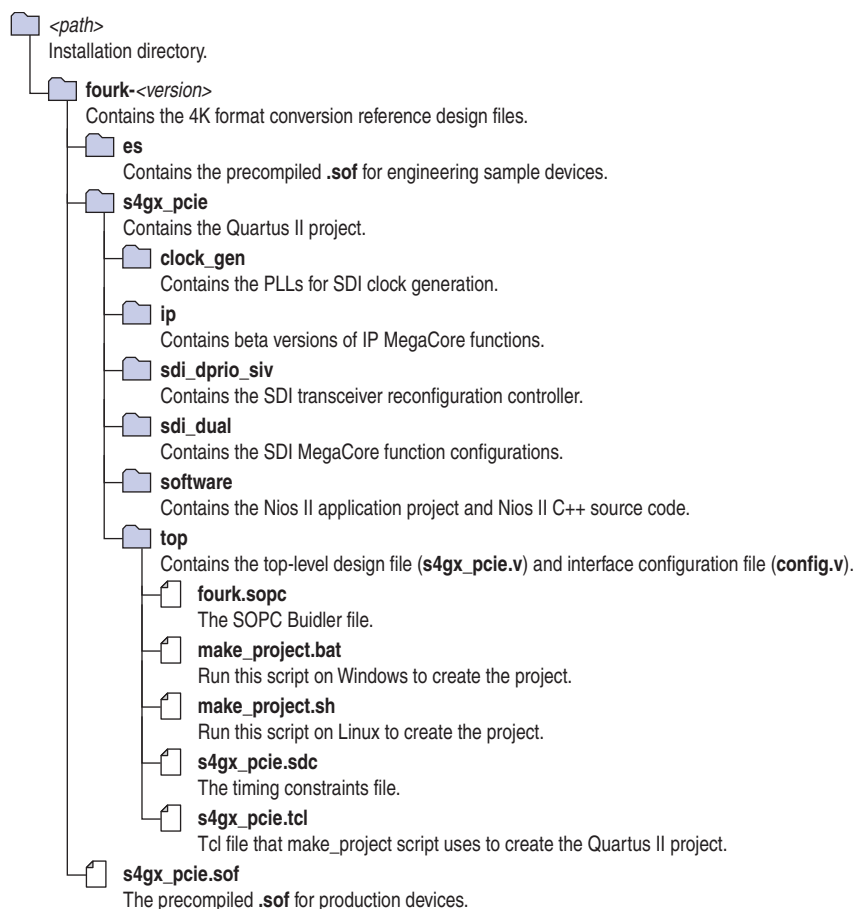
## リファレンス・デザインのダウンロードおよびインストール

リファレンス・デザインをダウンロードおよびインストールするには、以下のステップに従います。

1. **4K Format Conversion Reference Design** ウェブページからリファレンス・デザイン (.zip) ファイルを要求します。
2. コンピュータ上のディレクトリにアーカイブ・ファイルの内容を抽出します。ディレクトリ・パス名にスペースを使用しないでください。

図 6 に、リファレンス・デザインのディレクトリ構造を示します。

図 6. ディレクトリ構造



## SOPC Builder システムの生成

SOPC Builder システムを生成するには、以下のステップに従います。

1. Quartus II プロジェクト・ファイルの **s4gx\_pcie.qpf** を作成するには：
  - Windows のオペレーティング・システムで、**make\_project.bat** のスクリプトを実行しています。
  - Linux のオペレーティング・システムで、**make\_project.sh** のスクリプトを実行しています。
2. Quartus II プロジェクト・ファイルの **s4gx\_pcie.qpf** を開きます。
3. Quartus II ソフトウェアの Tools メニューで、**SOPC Builder** を選択します。



無視することができる次のワーニング・メッセージは、同様のワーニング・メッセージが表示されることがあります。

```
Warning: X: add_file Y is encrypted; it cannot be used for simulation
```

4. SOPC Builder の **System Generation** タブをクリックします。
5. **Generate** をクリックします。
6. **System generation was successful** メッセージが表示されると、Eclipse 用の Nios II Software Build Tools を開始します。Windows の Start メニューで、アルテラにポイントして、Nios II EDS <version>、そして **Nios II Software Build Tools for Eclipse** をクリックします。

## ソフトウェアのコンパイル

Eclipse 用の Nios II Software Build Tools でソフトウェアをコンパイルして、**onchip\_memory2\_0.hex** ファイルを作成するには、以下のステップに従います。

1. **Workspace Launcher** ウィンドウ内で、**Browse...** をクリックして、**s4gx\_pcie** ディレクトリで新しいワークスペース・ディレクトリ (**workspace**) を作成します。そして、**OK** をクリックしてワークスペースを起動します。
2. **Nios II – Eclipse** ウィンドウ内で、**Project Explorer** タブで右クリックします。そして、**New** をポイントして、**Nios II Application and BSP from Template** を選択します。
3. **Nios II Application and BSP from Template** ウィンドウ内で、以下の情報を入力します。
  - **SOPC Information File Name** を参照して **FourK.sopcinfo** ファイルを検索します。
  - **Project name** には、enter **s4gx\_pcie\_controller** を入力します。
  - **Templates** には、**Blank Project** を選択します。
4. **Finish** ボタンをクリックします。
5. **Project Explorer** タブで、**s4gx\_pcie\_controller\_bsp** で右クリックします。**Nios II** をポイントして、**Generate BSP** を選択します。
6. **Nios II – Eclipse** ウィンドウ内で、ファイルのリストを開くには、**s4gx\_pcie\_controller** の左にある **+** シンボルを右クリックします。Right-click on the ファイルの **main.cpp** を右クリックして、**Add to Nios II Build** を選択します。
7. **Project Explorer** タブ内の **s4gx\_pcie\_controller** を右クリックして、**Properties** を選択します。

8. **Properties for s4gx\_pcie\_controller** ウィンドウ内で、**Nios II Application Properties** を選択して、**Optimization level:** を **Level 3** に変更します。そして、**OK** をクリックします。
9. **Project Explorer** タブ内の **s4gx\_pcie\_controller\_bsp** を右クリックして、**Properties** を選択します。
10. **Properties for s4gx\_pcie\_controller\_bsp** ウィンドウ内で、**Nios II BSP Properties** を選択して、**Optimization level:** を **Level 3** に変更します。そして、**OK** をクリックします。
11. **Project Explorer** タブ内の **s4gx\_pcie\_controller** を右クリックして、**Build Project** を選択します。
12. In the **Project Explorer** タブ内の **s4gx\_pcie\_controller** を右クリックして、**Make Targets** をポイントして、**Build....** を選択します。
13. **Make Targets** ウィンドウ内で、**mem\_init\_install** を選択して、**Build** をクリックします。
14. デザインは **onchip\_memory2\_0.hex** ファイルを作成します。

## デザインのコンパイル

Quartus II ソフトウェアでデザインをコンパイルして、**s4gx\_pcie.sof** ファイルを作成するには、以下のステップを実行します。

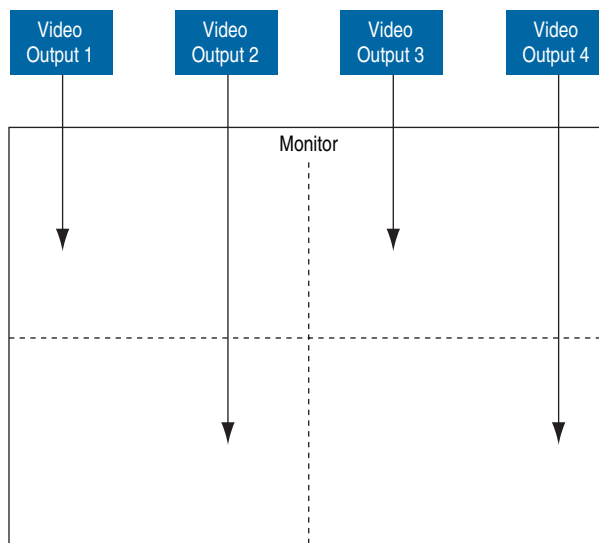
1. Tools メニューの **Start Compilation** をクリックします。
2. コンパイルが完成したら、デザインは **s4gx\_pcie.sof** ファイルを作成します。

## デバイスのプログラム

FPGA をプログラムして、リファレンス・デザインをセット・アップするには、以下のステップを実行します。

1. 図 7 に示すように、2 つの SDI HSMC ボードを接続します。

図 7. リファレンス・デザインのセット・アップ



2. SDI\_OUT1 と SDI\_OUT2 出力への 4 つの SDI モニタ・ケーブルを接続します。
3. Stratix IV GX FPGA 開発ボードの電源をオンにします。
4. Quartus II ソフトウェアで、**s4gx\_pcie.sof** で FPGA をプログラムするには、Tools メニューの **Programmer** をクリックします。
5. LED0 フラッシュをチェックします。
6. SDI\_IN1 入力に 1080p60 SDI ソース・ケーブルを接続します。
7. LED3 が LED0 および LED1 フラッシュを点灯させることをチェックします。

表 7 には、Stratix IV GX FPGA 開発ボード LED を示します。

表 7. LEDs

LED	説明
0	ソフトウェア・ハートビット。ソフトウェアが Nios II プロセッサ上で実行されるときに点滅します。
1	ハートビートの毎秒 60 フレーム。これは、入力ビデオの 60 秒ごとにフレームがフラッシュします。
2	未使用。
3	SDI_IN1 が 1080p60 入力を検出するときに点灯させます。

## 改訂履歴

表 8 に、本資料の改訂履歴を示します。

表 8. 改訂履歴

日付	バージョン	変更内容
May 2011 年 5 月	1.0	初版。



