



この翻訳版ドキュメントのメンテナンスは終了しております。

この文書には、古いコンテンツや商標が含まれている場合があります。

最新情報につきましては、次のリンクから英語版の最新資料をご確認ください。

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

Please take note that this document is no longer being maintained. It may contain legacy content and trademarks which may be outdated.

Please refer to English version for latest update at

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

AN-635-1.0

このアプリケーション・ノートでは、Arria® II は、HardCopy® IV、および Stratix® IV デバイスでの Altera® トランシーバを搭載した SATA (Serial Advanced Technology Attachment) および SAS (Serial Attached SCSI) プロトコルを実装する方法について説明します。このドキュメントで説明されるトランシーバのコンフィギュレーションとインタフェースする FPGA ロジックを使用して独自 SATA および SAS インタフェースのデザインを作成できます。

本資料には、以下のトピックがあります。

- 1-1 ページの「SATA および SAS プロトコルの概要」
- 1-2 ページの「SATA および SAS プロトコルのトランシーバ・サポート」
- 1-5 ページの「SATA および SAS のトランシーバ・コンフィギュレーション」
- 1-6 ページの「SATA および SAS アプリケーションのトランシーバのセットアップ」
- 1-10 ページの「SATA および SAS 速度ネゴシエーション用のトランシーバのリコンフィギュレーション」
- 1-12 ページの「ALTGX_RECONFIG コントローラによる SATA と SAS のデータ・レートのリコンフィギュレーション」
- 1-15 ページの「初期化時、ホットプラグの間、およびダイナミック・リコンフィギュレーション後の SATA と SAS のリセット・シーケンス」
- 1-19 ページの「速度ネゴシエーションを伴うタイミング・クロージャ」

SATA および SAS プロトコルの概要

SATA と SAS は、デスクトップ、サーバ、およびその他のアプリケーションのホストおよびペリフェラルの間の 2 つのシリアル接続プロトコルです。これらのプロトコルは、データ・レートおよび信号要件と似ていますが、わずかに異なるアプリケーションを対象としています。

SATA とは、ハード・ディスク・ドライブやオプティカル・ストレージ・ドライブなどのペリフェラル・デバイスにホスト・システムを接続するためのデスクトップ PC、サーバー、およびエンタープライズ・システムのインタコネクタとして使用するために開発された ATA インタフェースが進化したものです。SATA システムは半二重モードで動作するように設計されています — 通信は、一度に一つの方向だけになります。SATA の物理的なデータ・レートが 1.5 Gbps、3.0 Gbps、および 6.0 Gbps です。

SAS プロトコルは、主にサーバ・システム内のディスク・ドライブとホスト・コントローラ間のインターコネクタとして使用されています。SAS は、より多くの機能を提供し、はるかに多くの容量、容易なスケーラビリティと拡張、および強化されたセキュリティを提供しながら SATA システムとの下位互換性があるように設計されています。

© 2010 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX are Reg. U.S. Pat. & Tm. Off. and/or trademarks of Altera Corporation in the U.S. and other countries. All other trademarks and service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



SAS プロトコルは全二重モードで動作するように設計されます。データは同時にドライブから送受信すること、またドライブへ送受信することすることができます。プロトコルは、最大 8 m のケーブルへの接続をサポートし、エクспанダの使用をサポートすることができます。その結果、単一のホスト・ポートに複数の SAS ドライブの接続をイネーブルするようになります。SAS のフィジカル・データ・レートは 3.0 Gbps と 6.0 Gbps です。

SATA および SAS プロトコルのトランシーバ・サポート

アルテラのトランシーバ・デバイスは、SATA と SAS の規格をサポートします。各標準版は、主に単一のデータ・リンクの速度に対応します。表 1 に、アルテラのトランシーバ FPGA および HardCopy ASIC SATA と SAS のサポートをリストします。

表 1. SATA および SAS サポート

デバイス	SATA			SAS	
	SATA 1.0 (1.5 Gbps)	SATA 2.0 (3.0 Gbps)	SATA 3.0 (6.0 Gbps)	SAS 1.0 (3.0 Gbps)	SAS 2.0 (6.0 Gbps)
Stratix IV	✓	✓	✓	✓	✓
Arria II GX	✓	✓	✓(1)	✓	✓(1)
Arria II GZ	✓	✓	✓(2)	✓	✓(2)
HardCopy IV GX	✓	✓	✓	✓	✓

表 1 の注:

- (1) Arria II GX デバイスの -I3 のスピード・グレードでのみサポートされます。
- (2) GZ デバイス (EP2AGZ225、EP2AGZ300、と EP2AGZ350) の -C3 および -I3 スピード・グレードでのみサポートされます。

このドキュメントでは、PHY の要件を満たすように、SATA と SAS プロトコルを実装するための推奨されるトランシーバ・コンフィギュレーションについて説明します。

Arria II、HardCopy IV、および Stratix IV デバイスは、SATA および SAS PHY の要件に準拠します - ネイティブにアルテラのトランシーバでサポートされます。8B/10B ブロック、レシーバ信号検出、トランスミッタ電氣的アイドル、およびダイナミック・リコンフィギュレーション機能で簡単にプロトコル・コーディング、アウト・オフ・バンドのシグナリング、および速度ネゴシエーションを実装することができます。

以下の項では、SATA および SAS 仕様に、アルテラのトランシーバ・デバイス・ハードウェアの準拠を説明します。

- 1-3 ページの「SATA と SAS のアウト・オフ・バンドのシグナリング」
- 1-4 ページの「SATA および SAS 用の自動速度ネゴシエーション」
- 1-4 ページの「スペクトラム拡散入カクロック・トラッキング」

SATA と SAS のアウト・オフ・バンドのシグナリング

SATA および SAS の両方のプロトコルは、アウト・オフ・バンドのシグナリング方式をサポートします。アウト・オフ・バンドのシグナリングは、以下の機能に使用されます。

- システムで使用されるドライブの種類を識別するために、ホストとドライブ間の通信を確立する
- ホストとドライブの最大動作データ・レートを識別する

アウト・オフ・バンド信号は、アイドルとバースト信号のパターンを含むトライレベル信号です。アウト・オフ・バンドのシグナリングは、受信インタフェースがアクティブでない状態の間、または低消費電力ステート・モードで特定のアクションを通知するために使用されます。アウト・オフ・バンド信号は、COMRESET、COMINIT/COMWAKE、および COMSAS で構成されています。トランスミッタ電氣的アイドルとレシーバ信号検出の機能を介してアウト・オフ・バンドのシーケンスを生成し、検出するためにアルテラ・デバイスを 사용할ことができます。

バースト信号の間にアイドル信号を生成するときには、アウト・オフ・バンド信号の仕様に基づいてアイドル時間を送信するトランスミッタで `tx_forceidle` ポートをインスタンス化することができます。 `tx_forceidle` 信号はトランスミッタ・バッファをトライ・ステートするのに使用されます。

この特定の信号をイネーブルするには、ALTX メガファンクションの **Ports/Calibration** ページで **Create 'tx_forceidle' input port** をオンにします。詳細については、1-8 ページの「[ALTX MegaWizard Plug-In Manager におけるトランシーバ・コンフィギュレーション](#)」を参照してください。

アウト・オフ・バンドのシーケンス中に各 COMRESET、COMINIT/COMWAKE、および COMSAS 信号の存在を検出するレシーバ信号検出機能を使用することができます。これらの信号のスレッシュホールドレベルは、SATA および SAS の使用モデルによって異なります—SATA の i、m、および x バリエーション (Gen1—1.5 Gbps、Gen2—3.0 Gbps、および Gen3—6.0 Gbps) および SAS (Gen1—3.0 Gbps、および Gen2—6.0 Gbps)。

ALTX メガファンクションでこのポートをインスタンス化するには、**Ports/Calibration** 設定ページの **Create 'rx_signaldetect' port to indicate data input signal detection** をオンにします。詳細については、1-8 ページの「[ALTX MegaWizard Plug-In Manager におけるトランシーバ・コンフィギュレーション](#)」を参照してください。

ALTX メガファンクションで選択可能な 2 つの信号検出のスレッシュホールド・レベルがあります。SATA および SAS の使用モデルに基づいて、特定の信号検出のスレッシュホールドを選択することができます。以下の信号検出のスレッシュホールド設定を使用してください。

- Gen1i/m、Gen2i/m、Gen3i— 信号検出のスレッシュホールド = 2
- Gen1x、Gen2x— 信号検出のスレッシュホールド = 6

i、m、および x タイプなどの SATA と SAS の使用モデルについて詳しくは、プロトコル仕様を参照してください。



Quartus II ソフトウェア・バージョン 9.1 以降を使用してレシーバ入力 `rx_signaldetect` のスレッシュホールドを設定することができます。

SATA および SAS 用の自動速度ネゴシエーション

ホストとデバイスがサポートできる最大データ・レートを決定するために、SATA および SAS 速度ネゴシエーションはホストとデバイス間で実行されます。このネゴシエーションは、SATA および SAS 仕様の PHY の要件です。

自動速度ネゴシエーション・プロセスは、リンク上の両方のノードからのパターンの安定したストリームを送信します。プロセスは、データ・レートを変更し、一般的な速度をネゴシエートするためのアウト・オブ・バンドのシグナリングのパターンを観察します。

アルテラのトランシーバのダイナミック・リコンフィギュレーション機能を使用すると、速度ネゴシエーション中に異なるデータ・レートにリコンフィギュレーションすることができます。このアプリケーションに適したリコンフィギュレーション方式を選択するには、1-10 ページの「SATA および SAS 速度ネゴシエーション用のトランシーバのリコンフィギュレーション」を参照してください。そして、推奨されるリセット・シーケンスの 1-15 ページの「初期化時、ホットプラグの間、およびダイナミック・リコンフィギュレーション後の SATA と SAS のリセット・シーケンス」を参照してください。

スペクトラム拡散入力クロック・トラッキング

SSC (スペクトラム拡散クロッキング) は電磁妨害 (EMI) 放射の低減を補助するために必要とされています。アルテラのトランシーバ・デバイスは、内部でスペクトラム拡散クロックを生成することはできません。スペクトラム拡散クロック生成の場合には、SSC の生成と外部クロック・ソースを使用する必要があります。

ただし、アルテラのトランシーバ CDR PLL は、変調周波数のスペクトラム拡散入力を応用できるように設計されています。一般的に、CDR PLL は、ミディアムあるいは高帯域の設定への CDR PLL をコンフィギュレーションする場合、また周波数が入力ジッタ許容仕様内にある場合に SSC を追跡することができます。

 入力ジッタ許容仕様について詳しくは、次の資料を参照してください。

- 「Stratix IV デバイス・ハンドブック」の「DC およびスイッチング特性」の章
- 「HardCopy IV デバイス・ハンドブック」の「HardCopy IV デバイスの DC およびスイッチング特性」の章
- 「Arria II デバイス・ハンドブック」の「Arria II デバイスのデバイス・データシート」の章

SATA および SAS のトランシーバ・コンフィギュレーション

図 1 に、SATA と SAS プロトコルで実行する Basic Functional Mode を使用してトランシーバのコンフィギュレーションを示します。

図 1. SATA コンフィギュレーションのトランシーバ・データパス

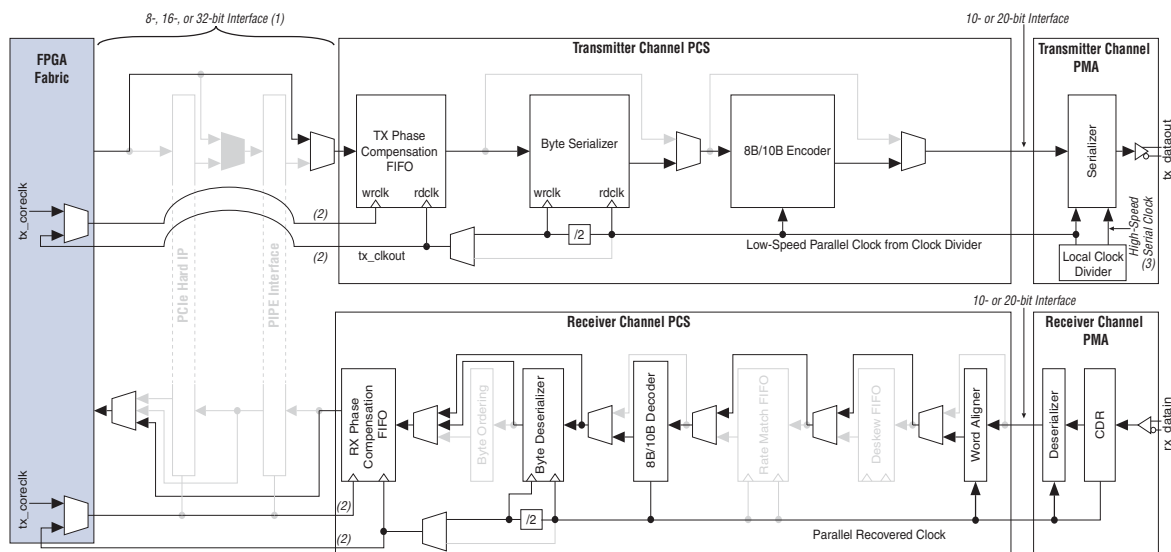


図 1 の注:

- (1) 32 ビット・インタフェースは、Stratix IV デバイス、HardCopy IV GX、および Arria II GZ デバイスでのみサポートされています。
- (2) これらのクロックは、SATA と SAS のデータ・レートおよび SERDES 係数（シングルおよびダブル幅モード）に応じて、37.5 MHz、75 MHz、または 150 MHz で動作します。詳細については、1-7 ページの「SATA および SAS 用のサポートされるチャンネル幅の設定の選択」を参照してください。
- (3) 高速シリアル・クロックは SATA と SAS のデータ・レートに応じて、750 MHz (1.5 Gbps)、1500 MHz (3 Gbps)、および 3000 MHz (6 Gbps) で動作します。

SATA および SAS アプリケーションのトランシーバのセットアップ

以下の項では、SATA および SAS トランシーバのセットアップについて説明します。

- 1-6 ページの「SATA および SAS に推奨 PLL コンフィギュレーションの使用」
- 1-6 ページの「入力基準クロックの選択」
- 1-7 ページの「SATA および SAS 用のサポートされるチャンネル幅の設定の選択」
- 1-8 ページの「ALTGX MegaWizard Plug-In Manager におけるトランシーバ・コンフィギュレーション」

SATA および SAS に推奨 PLL コンフィギュレーションの使用

SATA と SAS を動作するために、データ・レート of 1.5 Gbps、3.0 Gbps、および 6.0 Gbps の最も適した PLL コンフィギュレーション設定を選択する必要があります。表 2 に、SATA および SAS プロトコル用の推奨される PLL コンフィギュレーションをリストします。

表 2. SATA および SAS プロトコルの推奨 PLL コンフィギュレーション

プロトコル・データ・レート	ベース・データ・レート (Mbps)(1)	有効データ・レート (Mbps)(2)	TX PLL 帯域幅	CDR PLL 帯域幅
SATA 1.0	6000(3)	1500	自動	Medium または High
	3000			
	1500			
SATA 2.0/SAS 1.0	6000(3)	3000		
	3000			
SATA 3.0/SAS 2.0	6000(3)	6000(3)		

表 2 の注:

- (1) ベース・データ・レートは、送信 PLL の VCO の出力周波数です。この設定の使用方法について詳しくは、1-8 ページの「ALTGX MegaWizard Plug-In Manager におけるトランシーバ・コンフィギュレーション」を参照してください。
- (2) 実効データ・レートは、チャンネル・ローカル・ディバイダの後のチャンネルのシリアル・データ・レートです。この設定の使用方法について詳しくは、1-8 ページの「ALTGX MegaWizard Plug-In Manager におけるトランシーバ・コンフィギュレーション」を参照してください。
- (3) 6000 Mbps の実効データ・レートは、Stratix IV、HardCopy IV、Arria II GX (-I3 スピード・グレード)、および Arria II GZ (-I3 と -C3 のスピード・グレード) デバイスでのみサポートされています。

入力基準クロックの選択

Arria II、HardCopy IV、および Stratix IV GX/ GT (Stratix IV GX230 ES 以外) デバイスを使用してデザインを作成する場合は、サポートされるすべてのデータ・レートに 150 MHz の入力基準クロック周波数を推奨します。ただし、Stratix IV GX230 ES デバイスを使用するデザインの場合、入力基準クロックを選択したときに表 3 に記載される制約事項に従ってください。

Stratix IV GX 230 ES デバイスは送信 PLL および受信 PLL のための入力基準クロック周波数の設定が制限されます。制限 'M' カウンタの設定を使用する入力基準クロック周波数とデータ・レートを選択した場合、エラー付きの Quartus II コンパイラが発生されます。

表 3. GX 230 ES デバイスの制限された入力基準クロック

デバイス	ベース・データ・レート (1)	Not Allowed for 230 ES	
		M=16	M=20
Stratix IV GX 230 ES	3000 Mbps	93.75 MHz	75 MHz
	6000 Mbps	187.5 MHz	150 MHz

表 3 の注:

(1) 基本データ・レートは、PLL VCO の出力周波数です。

SATA および SAS 用のサポートされるチャンネル幅の設定の選択

表 5 に、Arria II、HardCopy IV、および Stratix IV デバイスのサポートされるライン・レート、チャンネル幅、およびインタフェースのクロック・レートの設定をリストします。トランシーバの設定に最も適した設定を選択します。

表 4. サポートされるライン・レート、チャンネル幅、およびインタフェースのクロック・レートの設定

プロトコル	ライン・レート (Mbps)	Stratix IV/HardCopy IV/ Arria II GZ インタフェースのク ロック・レート (MHz)(1)			Arria II GX/GZ インタ フェースのクロック・ レート (MHz)(2)	
		チャンネル幅 (ビット)(3)			チャンネル幅 (ビット)(3)	
		8	16(4)	32(5)	8/10	16(4)
SATA 1.0	1500	150	75	37.5	150	75
SATA 2.0	3000	—	150	75	—	150
SATA 3.0	6000	—	—	150	—	300(6)
SAS 1.0	3000	—	150	75	—	150
SAS 2.0	6000	—	—	150	—	300(6)

表 4 の注:

(1) Arria II GX デバイスの場合に、-C3 と -I3 スピード・グレードにのみ適用されます。

(2) Arria II GZ の -C3 と -I3 スピード・グレードには適用されません。

(3) 8/16/32 ビット・チャンネル幅は 8B/10B ブロックでサポートされます。

(4) ダブル幅モードまたはバイト・シリアライザ/デシリアライザ (SERDES) ブロックでサポートされます。

(5) ダブル幅モードおよびバイト SERDES ブロックでサポートされます。

(6) 6Gbps のコンフィギュレーションは、Arria II GX デバイスの -I3 スピード・グレードでサポートされます。

表 5. サポートされるライン・レート、チャンネル幅、およびインタフェースのクロック・レートの設定 (その 1)

プロトコル	ライン・レート (Mbps)	チャンネル幅 (ビット)(1)	インタフェースのクロック・レ ート (MHz)	
			Stratix IV および HardCopy IV	Arria II
SATA 1.0	1500	8	150	150
		16	75	75
		32	37.5	37.5(2)

表 5. サポートされるライン・レート、チャンネル幅、およびインタフェースのクロック・レートの設定 (その 2)

プロトコル	ライン・レート (Mbps)	チャンネル幅 (ビット) ⁽¹⁾	インタフェースのクロック・レート (MHz)	
			Stratix IV および HardCopy IV	Arria II
SATA 2.0/SAS 1.0	3000	16	150	150
		32	75	75 ⁽²⁾
SATA 3.0/SAS 2.0	6000	16	300	300 ⁽³⁾
		32	150	150 ⁽²⁾

図 5 の注:

- (1) 8-、16-、および 32-ビットのチャンネル幅は 8B/10B ブロックでサポートされます。16 ビットのチャンネル幅はダブル幅モードまたはバイト・シリアライザ/デシリアライザ (SERDES) ブロックでサポートされます。32 ビットのチャンネル幅はダブル幅モードとバイトの SERDES ブロックの両方でサポートされます。
- (2) -I3 および -C3 スピード・グレードでの Arria II GZ にのみ適用されます。
- (3) Arria II GX (-I3 スピード・グレード) および Arria II GZ (-I3 と -C3 スピード・グレード) にのみ適用されます。

ALTGX MegaWizard Plug-In Manager におけるトランシーバ・コンフィギュレーション

MegaWizard™ Plug-In Manager をナビゲートし、必要なオプションと設定を指定します。表 6 に、特定の値は、SATA および SAS で動作するトランシーバ・チャンネルを設定するための特定の値をリストします。

表 6. SATA および SAS でトランシーバ・チャンネルの動作のための特定の ALTGX メガファンクション (その 1)


オプション	設定
Which megafunction would you like to customize	I/O を展開し、ALTGX を選択します。
Which protocol will you be using?	Basic を選択します。
What is the operation mode?	デザインに応じて、Receiver and Transmitter, Transmitter Only、または Receiver Only を選択します。
What is the number of channels?	1 を選択します。
What is the channel width?	チャンネル幅を選択します。(1)
What is the effective data rate?	所望のチャンネルのライン・レートを入力します。(2)
What is the input clock frequency?	150.0 MHz を選択します。
The base data rate is	ベースのデータ・レートを入力します。(2)
What is the Tx PLL bandwidth mode?	Auto を選択します。
What is Rx CDR bandwidth mode?	High または Medium を選択します。
Create 'gxb_powerdown' port to powerdown the Transceiver block	オンにします。この設定はオプションです。
Create 'rx_analogreset' port for the analog portion of the receiver	オンにします。
Create 'rx_digitalreset' port for the digital portion of the receiver	オンにします。
Create 'tx_digitalreset' port for the digital portion of the transmitter	オンにします。

表 6. SATA および SAS でトランシーバ・チャンネルの動作のための特定の ALTGX メガファンクション (その 2)

オプション	設定
Create 'rx_locktorefclock' port to lock the Rx CDR to the reference clock	オンにします。
Create 'rx_locktodata' port to lock the Rx CDR to the received data	オンにします。
Create 'rx_signaldetect' port to indicate data input signal detection(3)	オンにします。
Create 'tx_forceeclidle' input port(4)	オンにします。
What is the signal detect threshold?	以下の値を選択します。 ■ Gen1i/m、Gen2i/m、および Gen3i—2 ■ Gen1x および Gen2x—6
TX Analog ページでの設定	SATA および SAS 仕様に従って V _{OD} を設定します。詳細については、関連するデバイスの資料を参照することができます。 トランスミッタ V _{OD} を変更するには、アナログ・コントロールのダイナミック・リコンフィギュレーションを使用することができます。
Analog control(VOD, Pre-emphasis, Manual Equalization and EyeQ)	オンにします。
Enable Channel and Transmitter PLL reconfiguration	速度ネゴシエーション中にチャンネルのデータレートを切り替え可能にするためにオンにします。
Enable 8b10b decoder/encoder	rx_signaldetect ポートを使用するためにオンにします。
Create 'rx_ctrldetect' to indicate 8b10b decoder has detected a control code(5)	オンにします。
Word Aligner のオプション・グループ	Use manual word alignment mode を選択します。
What is the word alignment pattern length?	10 を指定します。
What is the word alignment pattern?	0101111100 (10 ビット K28.5-アラインメント・パターン) を入力します。ワード・アライナは、このパターンの格差を検出します。

表 6 の注:

- (1) 7 ページの表 5 に基づいてチャンネル幅を設定します。
- (2) チャンネルは速度ネゴシエーション機能を必要とする場合は、デバイスを対象として最高のライン・レートを設定します。より低いライン・レートのネゴシエーションは、ダイナミック・リコンフィギュレーション機能を使用してサポートされます。例えば、チャンネルを 1500Mbps で実行しようとして、6000Mbps でリコンフィギュレーションを計画する場合、ベースのデータレートは 6000Mbps に設定して、有効のデータレートは 1500Mbps に設定してください。
- (3) アウト・オフ・バンド・シグナリングとレシーバ・バッファのデータの存在を検出するためにこのポートを使用することができます。
- (4) このポートは、アウト・オフ・バンド・シグナリング・シーケンスの間にコモン・モード電圧でアイドル信号を送信するために使用されます。アウト・オフ・バンド・シグナリングを達成する方法については詳しくは、1-3 ページの「SATA と SAS のアウト・オフ・バンドのシグナリング」を参照してください。
- (5) Enable 8b10b デコーダ/エンコーダのオプションをオンにする場合、このオプションが利用可能です。

 SATA および SAS 仕様は +350/-5350 ppm のクロック補償を必要とします。フィジカル・コーディング・サブレイヤ (PCS) にハードコードされた Rate Match FIFO は、トランスミッタ・クロックおよびレシーバ・クロック間の ± 300 ppm までを補償することができます。シングル幅モードでレシーバ PCS から 8 ビット・ワードとコントロール・ビット出力を使用して FPGA ファブリックでレート・マッチ FIFO を実装することができます。また、16 ビット・ワードおよびダブル幅モードでレシーバ PCS から 2 ビットのコントロール出力を使用することができます。



コンフィギュレーションに ALTGX メガファンクションのレシーバのデータパスの **Rate match/Byte order** ページのレート・マッチャの動作をディセーブルされていない場合、レート・マッチャの動作をディセーブルする必要があります。また、コンフィギュレーションに **Byte Ordering Block** をディセーブルされていない場合に、それをディセーブルする必要があります。バイト・オーダリングがクロック補正 (レート・マッチャ) の後に発生するため、FPGA ファブリック内のバイト・オーダリング・ブロックを実装します。

SATA および SAS 速度ネゴシエーション用のトランシーバのリコンフィギュレーション

ホストとデバイスがドライブの最大の動作データ・レートを識別するためにコミュニケーションを確立する場合、速度ネゴシエーションを達成する SATA および SAS トランシーバ・チャンネルをリコンフィギュレーションするためにダイナミック・リコンフィギュレーション機能を使用することができます。

次のセクションでは、速度ネゴシエーションのためのリコンフィギュレーション・コントローラを設定するステップについて説明します。この要件に適合するには、ALTGX_RECONFIG MegaWizard Plug-In Manager を使用することができます。

自動速度ネゴシエーション中に SATA と SAS リコンフィギュレーションの設定

SATA と SAS のデータ・レート間のダイナミック・リコンフィギュレーションを実行する前に、まずメモリ初期化ファイル (.mif) を生成する必要があります。以下のステップに従います。

1. **Generate GXB Reconfig MIF** オプションをオンにします。
 - a. **Assignments** メニューの **Settings** をクリックします。
 - b. **Category** リストの **Fitter Settings** をクリックします。そして、**Fitter Settings** 内に **More Settings** をクリックします。
 - c. **More Fitter Settings** ウィンドウで、**Name** ボックスの **Generate GXB Reconfig MIF** を選択します。そして、**Setting** ボックス **On** を選択します。
2. SATA Gen1 (1.5 Gbps) コンフィギュレーション用に **ALTGX** インスタンスを作成します。デザインをコンパイルし、.mif を作成します。そのファイルは **SATA_MIF_Gen1.mif** として名前を付けます。
3. Create an **ALTGX** instance for the SATA Gen2 (3 Gbps) コンフィギュレーション用に **ALTGX** インスタンスを作成します。デザインをコンパイルし、.mif を作成します。そのファイルは **SATA_MIF_Gen2.mif** として名前を付けます。
4. .mif ファイルが可能な状態になると、次の項で説明される方法のいずれかを使用して、ALTGX_RECONFIG MegaWizard Plug-in Manager のデザイン・フローのに基づいてデバイスを設定することができます。

ALTGX_RECONFIG MegaWizard Plug-in Manager を使用したデザイン・フロー

速度のネゴシエーション中に、SATA と SAS のチャンネルをリコンフィギュレーションするにはこのメソッドを使用することができます。次の例では、SATA でコンフィギュレーションされる Stratix IV GX デバイスを使用します。サポートされるデータ・レートの場合、同じ設定の Arria II と同じ HardCopy IV デバイスに適用することができます。

MegaWizard™ Plug-In Manager をナビゲートし、必要なオプションと設定を指定します。表 7 に、トランシーバ・リコンフィギュレーション・コントローラをインスタンス化するための特定の値をリストします。

表 7. トランシーバ・リコンフィギュレーション・コントローラをインスタンス化する特定の ALTGX_RECONFIG メガファンクション・オプション


オプション	設定
Which megafunction would you like to customize	I/O を展開し、ALTGX_RECONFIG を選択します。
What is the number of channels controlled by the reconfig controller?	チャンネル数を指定します。
What are the features to be reconfigured by the reconfig controller?	次のオプションをオンにします。 <ul style="list-style-type: none"> ■ トランスミッタ V_{OD}、プリエンファシス、およびレシーバ・イコライゼーションをダイナミックにリコンフィギュレーションするには、Analog controls をオンにします。 ■ SATA データ・レート間のみリコンフィギュレーションするには、送信データパス・データ・レートは、Data rate division in TX をオンにします。 ■ SATA データ・レート間の TX と RX CDR の PLL をリコンフィギュレーションするには、Channel and TX PLL select/reconfig をオンにします。これはまた、チャンネルのデータ幅などのチャンネル・パラメータをリコンフィギュレーションすることができます。
Analog controls ページでの設定	デフォルトの設定でオプションを制御する、またはそのオプションのままにするアナログ・パラメータを選択します。
Use 'reconfig_address_en'	オンにします。
Use 'reset_reconfig_address'	オンにします。
Use 'reconfig_address' port to input address from MIF in reduced MIF reconfiguration	オンにします。
Enable self recovery(1)	オンにします。
Use 'rate_switch_out' port to read out the current data rate division	オンにします。

表 7. トランシーバ・リコンフィギュレーション・コントローラをインスタンス化する特定の ALTGX_RECONFIG メガファンクション・オプション

オプション	設定
Use 'rx_tx_duplex_sel' port to enable RX only, TX only or duplex reconfiguration	トランスミッタとレシーバ・チャンネルを個々にリコンフィギュレーションするためにオンにします。

表 6 の注:

- (1) Quartus II ソフトウェアは、タイム・アウトされる不完全な動作から復旧可能であり、エラーポートを High にドライブすることができます。

 ポート・リストについては、「Stratix IV デバイス・ハンドブック」の「Dynamic Reconfiguration in Stratix IV Devices」の章、「HardCopy IV デバイス・ハンドブック」の「HardCopy IV GX Dynamic Reconfiguration」の章、および「AN 558: Implementing Dynamic Reconfiguration in Arria II Devices」を参照してください。

ALTGX_RECONFIG コントローラによる SATA と SAS のデータ・レートのリコンフィギュレーション

トランスミッタおよびレシーバ・チャンネルの両方の SATA および SAS 仕様で要求される 54.6 μ s の高速リコンフィギュレーション時間を達成するためには、次のいずれかの方法を使用することができます。54.6 μ s のタイミング要件は、コンフィギュレーション時、およびリセットとリロック・シーケンスが含まれます。

54.6 μ s のタイミング要件に準拠するために、アルテラは、以下のリコンフィギュレーション方法をお勧めします。

TX モードでのデータ・レート分周値を使用したトランスミッタ・チャンネルのリコンフィギュレーション

このメソッドは、**Data Rate Division in TX** モードを使用して、それが唯一のチャンネル・ディバイダの設定に影響を与えます。

このモードでは 1、2、または 4 にトランスミッタ・ローカル・ディバイダ設定のダイナミック・リコンフィギュレーションを可能にします。トランスミッタのチャンネル・データ・レートは、ローカル・ディバイダ設定に基づいてリコンフィギュレーションされます。

たとえば、SATA Gen1、Gen2、および Gen3 のデータ・レートは 2 か 4 での倍数、または 2 か 4 での割り算があります。**Data Rate Division in TX** モードを使用してリコンフィギュレーションすることができます。デバイスがサポートする最高の SATA ライン・レート（この例では 6.0 Gbps）に基本データ・レートを設定し、以下のデータ・レート分周値のいずれかに TX ローカル・ディバイダを設定します。

- Gen1 データ・レートにトランスミッタをリコンフィギュレーションするには、データ・レート分周値を 4 に設定してください。
- Gen2 データ・レートにトランスミッタをリコンフィギュレーションするには、データ・レート分周値を 2 に設定してください。
- Gen3 データ・レートにトランスミッタをリコンフィギュレーションするには、データ・レート分周値を 1 に設定してください。

 **Data Rate Division in TX** モードについて詳しくは、「Stratix IV デバイス・ハンドブック」の「Dynamic Reconfiguration in Stratix IV Devices」の章、「HardCopy IV デバイス・ハンドブック」の「HardCopy IV GX Dynamic Reconfiguration」の章、および「AN 558: Implementing Dynamic Reconfiguration in Arria II Devices」を参照してください。

減少した .mif ファイルのリコンフィギュレーション・モードにおけるレシーバ・チャンネルのリコンフィギュレーション

この方法は、**reduced .mif reconfiguration** モードを使用して、それはレシーバ・チャンネルの変更した設定にのみ影響を与えます。

この方法を使用すると、トランシーバ・チャンネルのための目的の変更された設定だけが更新されます。それは著しく再構築時間を縮小します。リコンフィギュレーションするレシーバ・チャンネルを選択するには、`rx_tx_duplex_sel` ポートをイネーブルし、その `2'b01` 値を設定します。この動作には **50 MHz** のリコンフィギュレーション・クロック周波数を使用することができます。

 **Reduced .mif reconfiguration** モードは、Arria II GX、HardCopy IV、および Stratix IV デバイス用の Quartus II ソフトウェア・バージョン 9.1 以降のみサポートされます。

SATA と SAS の減少した .mif リコンフィギュレーションの実行方法

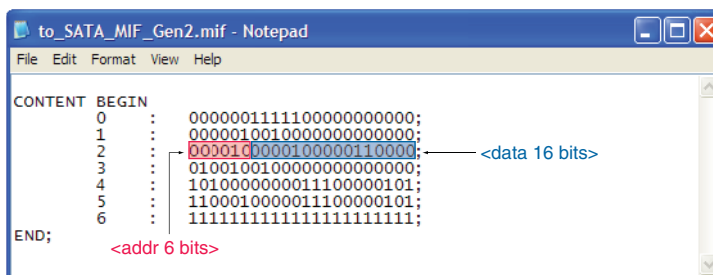
この項では、SATA および SAS の速度ネゴシエーションを実行するための **reduced .mif reconfiguration** モードを使用する方法について説明します。

このモードは、**.mif** ベースのトランシーバ・チャンネルのリコンフィギュレーション・モードにのみ使用できます。このモードは、高速リコンフィギュレーションと短いシミュレーション時間を可能にするオプション機能です。**.mif** 内の唯一のいくつかの単語が含まれるため、トランシーバ・チャンネルへのマイナーな変更をする場合、このモードを使用することができます。

次の例では、2つの **.mif** ファイルの唯一の違いは、ワード・アドレス 32 であることを前提とします。全体の **.mif** ファイルをロードする代わりに、新しい **.mif** ファイルを生成するために実行可能 **altgx_diffmifgen.exe** ファイルを使用することができます。この新しい **.mif** ファイルは変更されたワード（ワード・アドレスの 32）しかありません。図 2 に示すように、普通の **.mif** は 16 ビット幅ですが、新しい **.mif** ファイルは 22 ビット幅です。16 ビットのデータに加えて、6 ビット・アドレスがあります。

```
<addr 6 bits> <data 16 bits>
```

図 2. 6 ビット・アドレスおよび 16 ビット・データの減少した .mif の例



```

CONTENT BEGIN
0 : 0000001111100000000000;
1 : 0000010010000000000000;
2 : 0000100000100000110000; <data 16 bits>
3 : 0100100100000000000000;
4 : 10100000000011100000101;
5 : 11000100000011100000101;
6 : 1111111111111111111111;
END;
<addr 6 bits>

```

減少した **.mif** ファイルを生成する前に、ALTGX_RECONFIG MegaWizard Plug-In Manager の **Channel and TX PLL Reconfiguration** ページでこれらのオプションを設定します。

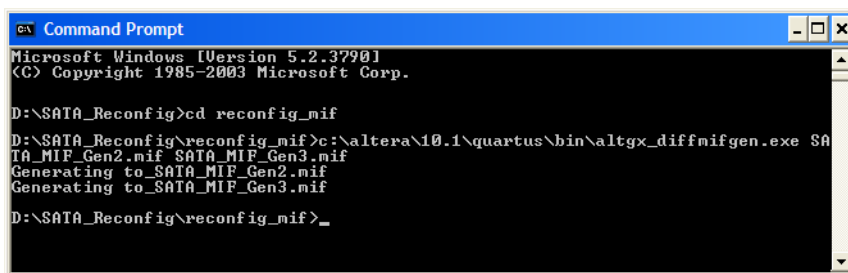
- 入力 **.mif** ファイルからのアドレスビットに `reconfig_address` ポートをオンにします。
- 新しい **.mif** ファイルからワードの 16 の最下位ビット (LSB) に `reconfig_data[15:0]` ポートを接続します。
- 新しい **.mif** ファイルからワードの 6 の最上位ビット (MSB) に `reconfig_address[5:0]` ポートを接続します。

減少した **.mif** ファイルを生成するには、次のステップに従います。

1. **altgx_diffmifgen.exe** 実行可能ファイル (たとえば `C:\altera\10.1\quartus\bin`) を含む Quartus II ソフトウェアのインストールされたフォルダを検索して、このディレクトリ・パスに注意します。
2. コマンド・プロンプトを起動し、プロジェクトディレクトリの **reconfig_mif** フォルダに移動します。 **reconfig_mif** フォルダには以前の **SATA_MIF_Gen2.mif** と **SATA_MIF_Gen3.mif** ファイルを生成した **.mif** ファイルが含まれます。その後、次のコマンドを入力します。


```
<path to Quartus II bin folder>\altgx_diffmifgen.exe
SATA_MIF_Gen2.mif SATA_MIF_Gen3.mif ↵
```


図 3. プロジェクト・ディレクトリに減少した **.mif** ファイルを生成する例



入力ファイル (**SATA_MIF_Gen2.mif** と **SATA_MIF_Gen3.mif**) から **altgx_diffmifgen.exe** 実行可能ファイルは 2 つの **.mif** ファイルを生成します。

- **to_SATA_MIF_Gen2.mif**— トランシーバを Gen2 のデータ・レートにリコンフィギュレーションするにはこのファイルを使用します。
- **to_SATA_MIF_Gen3.mif**— トランシーバを Gen3 のデータ・レートにリコンフィギュレーションするにはこのファイルを使用します。

 トランスミッタおよびデュプレックス・チャネルに対して減少した **.mif** のリコンフィギュレーションを実行するために説明される方法を使用できます。アプリケーションに合わせて、トランスミッタ、レシーバ、またはデュプレックスのいずれかを選択するために `rx_tx_duplex_sel` ポートを操作します。

 チャンネルと TX PLL リコンフィギュレーション、**.mif** 生成および **.mif** ベースのデザイン・フローについて詳しくは、「*Stratix IV デバイス・ハンドブック*」の「*Dynamic Reconfiguration in Stratix IV Devices*」の章、「*HardCopy IV デバイス・ハンドブック*」の「*HardCopy IV GX Dynamic Reconfiguration*」の章、および「*AN 558: Implementing Dynamic Reconfiguration in Arria II Devices*」を参照してください。

初期化時、ホットプラグの間、およびダイナミック・リコンフィギュレーション後の SATA と SAS のリセット・シーケンス

SATA および SAS アプリケーションでトランシーバの正しい動作を保証するために、ポートをインスタンス化し、以下の状況で、この項で推奨されるリセット・シーケンスに応じてリセット信号を制御します。

- リンクの初期化時に
- ホット・プラグ状態の間
- ダイナミック・リコンフィギュレーション・プロセスの完了後

リセット・シーケンスで SATA と SAS のチャンネルの初期化

図 4 に、推奨されるリセット・シーケンスを示します。このリセット・シーケンスは、パワーアップ条件の後にリセット・コントローラの信号を制御します（マニュアル・ロック・モードでコンフィギュレーションされるレシーバ CDR と非結合コンフィギュレーション・モードの場合）。

図 4. マニュアル・ロック・モードで SATA と SAS のリンクを初期化するリセット・シーケンス

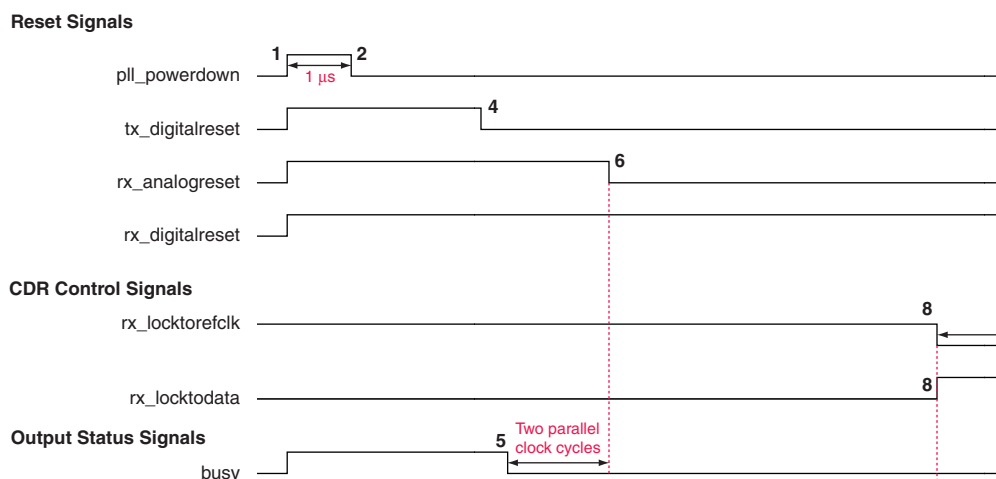


図 4 の注:

- (1) RX バッファがバーストとアイドル・モードで送信されるアウト・オブ・バンド (OOB) 信号を受信したときに rx_signaldetect 信号がトグルされます。OOB シグナリング後、連続したデータが受信バッファに送信され、rx_signaldetect 信号は High にラッチされます（有効なデータが受信されていることを示す）。

図 4 に示すように、これらのリセットのステップに従います。

1. 電源投入後、pll_powerdown 信号を 1 μ s の最小期間（マーカ 1 と 2 の間の時間）にわたってアサートします。この期間中は、tx_digitalreset、rx_analogreset、rx_digitalreset、および rx_locktoefclk 信号をアサートしたまま、rx_locktodata 信号をディアサートしたままにしておきます。
2. pll_powerdown 信号がディアサートされた後、トランスミッタ PLL は、トランスミッタ入力基準クロックへのロックを開始します。

3. pll_locked 信号が High になったら、tx_digitalreset 信号をディアサートします (マーカ 3)。レシーバ動作のために、busy 信号がディアサートされるのを待ちます。その後 rx_analogreset がディアサートされます。
4. 最初の rx_signaldetect 信号が High になると、この信号を監視します。rx_signaldetect が (マーカ 7、有効なデータが受信バッファに存在することを示す) High にラッチしたら、その時点から少なくとも 1 μ s 間待機し、次に rx_locktorefclk 信号をディアサートし、rx_locktodata 信号をアサートします。この時点で、レシーバ CDR は、ロック・ツー・データ・モードに入り、受信データに対してロックを開始します。
5. rx_locktodata 信号をアサートした後、その時点から少なくとも 4 μ s (マーカ 8 と 9) で rx_digitalreset 信号をディアサートします。この時点で、レシーバはデータ・トラフィックのために使用可能です。

ホットプラグ条件中のリセット・シーケンス

ホットプラグされるおよびホットプラグされていない時には、データが SATA と SAS のレシーバ・リンクに再導入されたときに適切なリセット・シーケンスを実行するための信号検出のステータス信号の rx_signaldetect (リンク・ステータスを示す) を監視することができます。

図 5 に、レシーバ CDR がマニュアル・ロック・モードでコンフィギュレーションされる場合、リセット・シーケンスを制御するために rx_signaldetect 信号を使用する推奨タイミング図を示します。

図 5. マニュアル・ロック・モードでホット・プラグ状態の後のリセット・シーケンス

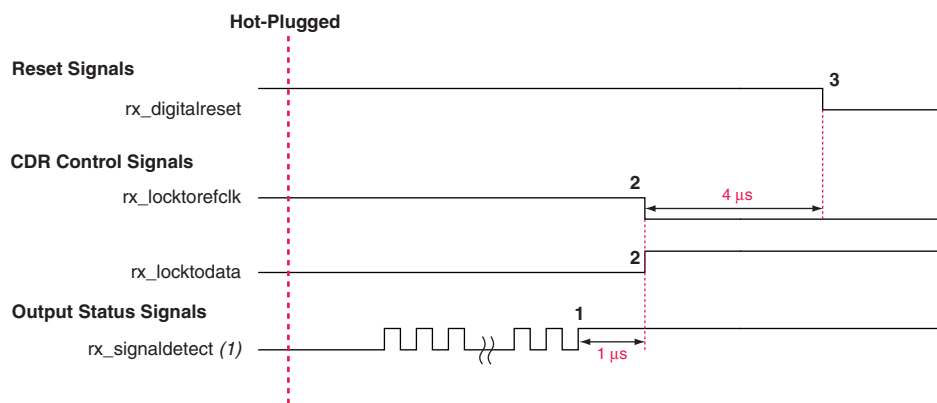


図 5:

- (1) RX バッファがバーストとアイドル・モードで送信されるアウト・オブ・バンド (OOB) 信号を受信したときに rx_signaldetect 信号がトグルされます。OOB シグナリング後、連続したデータが受信バッファに送信され、rx_signaldetect 信号は High にラッチされます (有効なデータが受信されていることを示す)。

図 5 に示すように、これらのリセットのステップに従います。

1. ホット・プラグのリセットを処理するために、rx_signaldetect ステータス信号を監視し、High に (マーカ 1) ラッチする信号を待機します (レシーバで連続性の有効なデータの受信を示す)。

- rx_signaldetect 信号が High にラッチしたら、その時点から少なくとも 1 μ s 間待機して、rx_locktorefclk 信号をディアサートし、rx_locktodata 信号をアサートします。CDR は、ロック・ツー・リファレンス・モードからロック・ツー・データ・モードに切り替わります。
- rx_locktodata 信号（マーカ 2）をアサートした後に 4 μ s 間待機して、rx_digitalreset 信号（マーカ 3）をディアサートします。レシーバは、有効なデータの受信を開始します。

ダイナミック・リコンフィギュレーション処理後のリセット・シーケンス

この項では、異なるデータ・レートをサポートするチャネルのダイナミック・リコンフィギュレーション後の SATA と SAS チャネルのための推奨されるリセット・シーケンスを示します。SATA および SAS のトランスミッタまたはレシーバのリコンフィギュレーション方法に応じて、次の推奨事項のいずれかから適切なリセット・シーケンスを適用します。

図 6. TX モードでのダイナミック・リコンフィギュレーション・データ・レート分割後のリセット・シーケンス

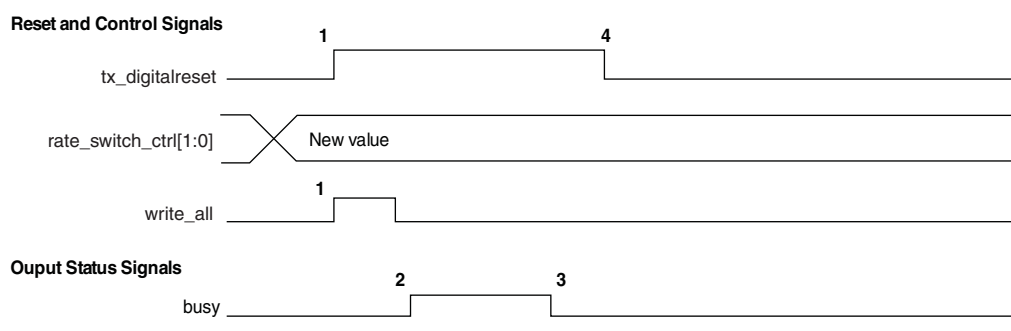


図 6 に示すように、トランスミッタ・チャネルをリコンフィギュレーションするために **Data Rate Division in TX** モードを使用する場合、推奨されるリセット・シーケンスのためには、これらのリセットのステップに従います。

- 電源を投入し、トランスミッタが希望どおりに動作するように適切に設定してから、所定のレジスタ（この例では、rate_switch_ctrl[1:0]）に新しいデータ・レートの値を書き込み、次に write_all 信号をアサートして（マーカ 1）、ダイナミック・リコンフィギュレーションを開始します。
- tx_digitalreset 信号をアサートします。
- write_all がアサートされると、ダイナミック・リコンフィギュレーション・コントローラは直ちに動作を開始します。これは busy 信号のアサーション（マーカ 2）で示されます。
- ダイナミック・リコンフィギュレーション完了後、busy はディアサートされます（マーカ 3）。
- 最後に、tx_digitalreset をディアサートして、トランスミッタの動作を継続する（マーカ 4）ことができます。

図 7 に、マニュアル・ロック・モードでコンフィギュレーションされる CDR のレシーバ・チャネルに基づくタイミング図を示します。

図 7. リコンフィギュレーションされた後リセット・シーケンス — 減少した .mif のリコンフィギュレーション・モード

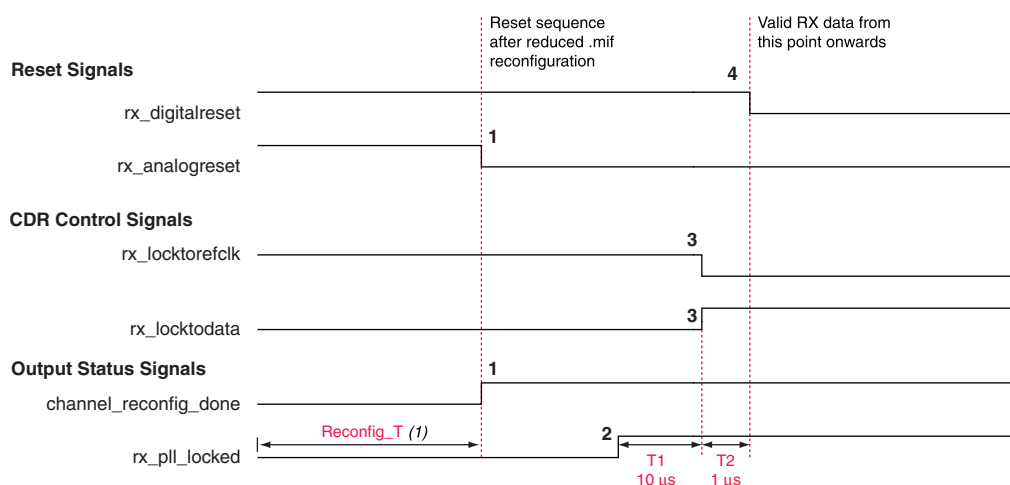




図 7 の注:

- (1) リコンフィギュレーション時間 (`Reconfig_T`) の期間は、使用されているデバイスに応じて異なります。

図 7 に示すように、**reduced .mif reconfiguration** モードを使用してレシーバ・チャンネルをリコンフィギュレーションする場合、**reduced .mif reconfiguration** のステップに従います。

1. `channel_reconfig_done` 信号は High にアサートした後 (減少した .mif ファイルのリコンフィギュレーション・プロセスが完了したことを示す)、`rx_analogreset` 信号をディアサートします。
2. `rx_pll_locked` 信号を監視します。信号が High になるとしたら、10 μs 間待機します。そして、LTR モードから LTD モードに CDR を切り替えるように、`rx_locktorefclk` 信号をディアサートし、`rx_locktodata` をアサートします。
3. 1 μs 間待機して、`rx_digitalreset` 信号をディアサートします。レシーバは、有効なデータの受信を開始します。

 リロックおよびリセット方法 (減少した .mif リコンフィギュレーション・モードを使用する場合)、**Medium BW** (デフォルト) または **High BW** にレシーバ CDR PLL を設定します。

 全体のリコンフィギュレーション、リロック、およびリセット期間 (`Reconfig_T`、データにロックするための CDR の期間、およびリセット・シーケンス時間を含む) は、54.6 μs 以内でなければなりません。リコンフィギュレーション・モードでは、合計時間がこの制限の範囲内であることを確認してください。一般的なガイドとして、`Reconfig_T` が少なく、20 μs 以下である必要があります。

速度ネゴシエーションを伴うタイミング・クロージャ

特に SATA と SAS のデザインで速度ネゴシエーションを実行するときデザインにトランシーバをインターフェースする場合、タイミング・クロージャは、重要で必要です。

前の項で説明したように、ダイナミックに 1.5、3、および 6 Gbps を切り替えるために SATA と SAS でトランシーバ・チャネルをリコンフィギュレーションする ALTGX_RECONFIG コントローラを使用することができます。Quartus II ソフトウェアのフィッタは、指定した制約に基づいてデータ・レートを満たすために、ファブリックを配置して配線します。

3つのデータ・レート間トランシーバを切り替えようとする場合、すべてのクロック・レートとトランシーバ・コア・インタフェース上のデータ・パスを定義することは重要です。タイミング制約を作成するには、TimeQuest タイミング・アナライザを使用することができます。それは、1.5、3、および 6 Gbps のデータ・レートですべてのデザインのタイミング要件に適合するのに役立ちます。デザインのすべてのリコンフィギュレーション可能なデータ・レートのタイミングに準拠することを確認するために、複数のクロック制約を実行する必要があります。この準拠は、タイミング違反を引き起こすことなく、ダイナミック・リコンフィギュレーション・コントローラで切り替えされるすべてのデータ・レートに最適なロジックの配置を可能にします。



デザインの実装と最適化について詳しくは、「Quartus II ハンドブック・バージョン 11.0」の「Area and Timing Optimization」の章を参照してください。

改訂履歴

表 8 に、本資料を改訂履歴を示します。

表 8. 改訂履歴

日付	バージョン	変更内容
2011年6月	1.0	初版。

