


この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。


AN-629-1.0

このアプリケーション・ノートでは、MAX®II および MAX V デバイスの外部 / 内部タイミング・パラメータおよびタイミング・モデルについて説明します。

アルテラ・デバイスは、シミュレーションからアプリケーションまで一貫した予測可能なデバイス性能を提供します。デバイスをプログラムする前に、デザインに対するワースト・ケースのタイミングを判断できます。下記の方法のいずれかにより、伝播遅延を概算することができます。

- Quartus®II TimeQuest タイミング・アナライザ
- このアプリケーション・ノートで提供するタイミング・モデル
- 「MAX II デバイス・ハンドブック」の「[DC and Switching Characteristics](#)」の章および「MAX V デバイス・ハンドブック」の「[DC and Switching Characteristics for MAX V Devices](#)」の章に記載されたタイミング・パラメータ

 最も正確なタイミング結果を得るためには、Quartus®II TimeQuest タイミング・アナライザを使用してください。詳細は、[ページ 10 の「タイミング・モデルおよび Quartus II TimeQuest タイミング・アナライザについて」](#)を参照してください。

 この章では、読者はデバイスのアーキテクチャおよび特性について精通していると仮定しています。本資料に記載されたタイミング・パラメータの特定値およびアーキテクチャの詳細については、「MAX II デバイス・ハンドブック」の「[DC and Switching Characteristics](#)」の章および「MAX V デバイス・ハンドブック」の「[DC and Switching Characteristics for MAX V Devices](#)」の章を参照してください。

このアプリケーション・ノートには次の内容が含まれています。

- ページ 2 の「外部タイミング・パラメータ」
- ページ 3 の「内部タイミング・パラメータ」
- ページ 5 の「MAX II および MAX V デバイスのユーザー・フラッシュ・メモリの内部タイミング・パラメータ」
- ページ 6 の「タイミング・モデル」
- ページ 6 の「タイミング遅延の計算」
- ページ 9 の「プログラムマブル入力遅延」
- ページ 10 の「タイミング・モデルおよび Quartus II TimeQuest タイミング・アナライザについて」

外部タイミング・パラメータ

外部タイミング・パラメータは、実際のピン間タイミング特性を表します。各外部タイミング・パラメータは、複数の内部タイミング・パラメータを組み合わせて構成されています。


 外部タイミング・パラメータの値は、「MAX II デバイス・ハンドブック」の「*DC and Switching Characteristics*」の章および「MAX V デバイス・ハンドブック」の「*DC and Switching Characteristics for MAX V Devices*」の章に記載されています。これらの外部タイミング・パラメータは、広範囲にわたる性能測定から導出され、テストによって確認されたワースト・ケース値です。

表 1 に、MAX II および MAX V デバイスの外部タイミング・パラメータを示します。

表 1. MAX II および MAX V デバイスの外部タイミング・パラメータ

パラメータ	説明
t_{PD1}	t_{PD1} は、デバイスを対角線上に横切るパスを使用し、単一 LUT と出力ピンに隣接する LAB に組み合わせロジックを実装したワースト・ケースの I/O 配置に対するピン間遅延を表します。出力ピンに隣接するロジック・エレメント (LE) からの高速 I/O 接続を使用してください。
t_{PD2}	t_{PD2} は、入力ピンに隣接するシングル・エッジ LE 内に組み合わせロジック (2 入力 AND ゲート) を実装したベスト・ケースの I/O 配置に対するピン間遅延を表します。2 つの入力の最長ピン・パスが示されます。出力ピンに隣接する LE からの高速 I/O 接続を使用してください。
t_{CLR}	レジスタ・クリア時間遅延。入力遷移から測定し、Low 信号が外部出力に現れるのに要する時間。
t_{SU}	グローバル・クロックのセットアップ時間。クロック・ピンでグローバル (同期) クロック信号がアサートされる前に、入力ピンにデータが存在しなければならない時間。
t_H	グローバル・クロックのホールド時間。クロック・ピンでグローバル・クロック信号がアサートされた後、入力ピンにデータが存在しなければならない時間。
t_{CO}	グローバル・クロックから出力までの遅延。クロック・ピンでグローバル・クロックがアサートされた後、有効な出力を得るのに必要な時間。
t_{CNT}	最小のグローバル・クロック周期。グローバル・クロックでドライブされるカウンタが維持される最小周期。

内部タイミング・パラメータ

デバイス内部で個々のアーキテクチャのエレメントによって生じるタイミング遅延は、内部タイミング・パラメータと呼ばれ、このパラメータは明示的には測定できません。すべての内部パラメータは斜体で表記されています。

表 2 に、MAX II および MAX V デバイスの内部タイミング・マイクロパラメータを示します。

表 2. MAX II および MAX V デバイスの内部タイミング・マイクロパラメータ (Part 1 of 2)

パラメータ	説明
t_{LUT}	データ入力からデータ出力までの LE の組み合わせ LUT 遅延
t_{COMB}	組み合わせパス遅延。LUT からの組み合わせロジック信号が LE レジスタをバイパスしてから、LE から出力可能になるまでの遅延時間。
t_{CLR}	LE レジスタ・クリア遅延。レジスタの非同期クリア入力のアサートされてから、レジスタ出力がロジック Low で安定するまでの遅延。
t_{PRE}	LE レジスタ・プリセット遅延。レジスタの非同期プリセット入力のアサートされてから、レジスタ出力がロジック High で安定するまでの遅延。
t_{SU}	LE レジスタのセットアップ・タイム (クロック前)。レジスタが入力データを正しく格納するために、レジスタ・クロックの立ち上がりエッジ前に、データおよびイネーブル入力信号が安定していなければならない時間。
t_{H}	LE レジスタのホールド・タイム (クロック後)。レジスタが入力データを正しく格納するために、レジスタ・クロックの立ち上がりエッジ後に、データおよびイネーブル入力信号が安定していなければならない時間。
t_{CO}	LE レジスタのクロックから出力までの遅延。レジスタのクロックの立ち上がりエッジから出力にデータが現れるまでの遅延。
t_C	レジスタ・コントロール遅延。LE レジスタのクロック、プリセット、またはクリア入力に信号を伝達するのに必要な時間。
t_{FASTIO}	組み合わせ出力遅延。 t_{FASTIO} は、I/O ブロックに隣接する LE からの組み合わせ信号が高速 I/O 接続をしようとした場合に必要となる時間です。
t_{IN}	I/O 入力パッドおよびバッファ遅延。 t_{IN} は、入力として使用される I/O ピンに適用されます。
t_{GLOB}	t_{GLOB} は、グローバル・ピンを使用する場合、GCLK ピンに適用されます。 t_{GLOB} は、グローバル・クロック・ネットワークを介して、GCLK ピンから LAB カラム・クロックにグローバル信号を伝達するのに必要な遅延です。
t_{IOE}	内部生成した出力イネーブル遅延。内部で生成した信号がインタコネクタからトライ・ステート・バッファの出力イネーブルに到達するまでの遅延です。
t_{DL}	入力配線遅延。隣接する LE への入力として使用されるロウ I/O ピンから生じる遅延。
t_{ODR}	ロウ・インタコネクタに対する出力遅延。ロウ・インタコネクタから I/O セルに信号を伝達する場合の遅延です。
t_{OD}	出力遅延バッファおよびパッド遅延。異なる I/O 規格、ドライブ強度、およびスレー・レートに関連する追加遅延については、「Max II デバイス・ハンドブック」の「 DC and Switching Characteristics 」の「 Timing Model and Specifications 」の項および「Max V デバイス・ハンドブック」の「 DC and Switching Characteristics for MAX V Devices 」の章を参照してください。

表 2. MAX II および MAX V デバイスの内部タイミング・マイクロパラメータ (Part 2 of 2)

パラメータ	説明
t_{xz}	出力バッファ・ディセーブル遅延。出力バッファのイネーブル・コントロールがディセーブルされた後、ハイ・インピーダンスが出力ピンに現れるのに必要な遅延。異なる I/O 規格、ドライブ強度、およびスルー・レートに関連する追加遅延については、「Max II デバイス・ハンドブック」の「 <i>DC and Switching Characteristics</i> 」の「 <i>Timing Model and Specifications</i> 」の項および「Max V デバイス・ハンドブック」の「 <i>DC and Switching Characteristics for MAX V Devices</i> 」の章を参照してください。
t_{zx}	トライ・ステート・バッファのイネーブル・コントロールがイネーブルされた後、出力信号が出力ピンに現れるのに必要な出力バッファ・イネーブル遅延。異なる I/O 規格、ドライブ強度、およびスルー・レートに関連する追加遅延については、「Max II デバイス・ハンドブック」の「 <i>DC and Switching Characteristics</i> 」の「 <i>Timing Model and Specifications</i> 」の項および「Max V デバイス・ハンドブック」の「 <i>DC and Switching Characteristics for MAX V Devices</i> 」の章を参照してください。
t_{c4}	平均的負荷のカラム・インタコネクタに対する遅延。 t_{c4} はロウ方向の 4 つの LAB までの距離に対応します。
t_{r4}	平均的負荷のロウ・インタコネクタに対する遅延。 t_{r4} はカラム方向の 4 つの LAB までの距離に対応します。
t_{LOCAL}	ローカル・インターコネクタ遅延

MAX II および MAX V デバイスのユーザー・フラッシュ・メモリの内部タイミング・パラメータ

MAX II および MAX V デバイス内のユーザー・フラッシュ・メモリ (UFM) のタイミング・パラメータは、UFM アーキテクチャのエレメントによって生じるタイミング遅延で、明示的には測定できません。すべてのタイミング・パラメータは斜体で表記されています。

表 3 に、MAX II および MAX V デバイスの UFM のタイミング・マイクロパラメータを示します。

表 3. MAX II および MAX V デバイスの UFM の内部タイミング・マイクロパラメータ

パラメータ	説明
t_{ASU}	アドレス・レジスタ・シフト信号のアドレス・レジスタ・クロックに対するセットアップ。
t_{AH}	アドレス・レジスタ・シフト信号のアドレス・レジスタ・クロックからのホールド。
t_{ADS}	アドレス・レジスタ・データ・インのアドレス・レジスタ・クロックに対するセットアップ。
t_{ADH}	アドレス・レジスタ・データ・インのレジスタ・クロックからのホールド。
t_{DSS}	データ・レジスタ・シフト信号のデータ・レジスタ・クロックに対するセットアップ。
t_{DSH}	データ・レジスタ・シフト信号のデータ・レジスタ・クロックからのホールド。
t_{DDS}	データ・レジスタ・データ・インのデータ・レジスタ・クロックに対するセットアップ
t_{DDH}	データ・レジスタ・データ・インのデータ・レジスタ・クロックからのホールド。
t_{DCO}	データ・シフト・アウト時のデータ・レジスタ・クロックからデータ・レジスタ出力までの遅延。
t_{DP}	PROGRAM 信号のデータ・クロックに対するホールド・タイム。
t_{PB}	PROGRAM の立ち上がりエッジから UFM BUSY 信号の立ち上がりエッジまでの最大遅延。
t_{BP}	UFM BUSY 信号 Low から PROGRAM 信号 Low までの許容最小遅延。
t_{PPMX}	プログラム時の BUSY パルスの最大長。
t_{AE}	ERASE 信号のアドレス・クロック・タイムに最小ホールド・タイム。
t_{EB}	消去信号の立ち上がりエッジから UFM BUSY 信号の立ち上がりエッジまでの最大遅延。
t_{BE}	UFM BUSY 信号 Low から ERASE 信号 Low までの許容最小遅延
t_{EPMX}	消去時の BUSY パルスの最大長。 .
t_{RA}	最大リード・アクセス時間。DRSHFT 信号 Low からデータ・レジスタ出力で最初のデータ・ビットが観測されるまでの遅延。
t_{OE}	OSC_ENA 信号が UFM に達してから内部の OSC によるクロックの立ち上がり出力されるまでの遅延。
t_{OSCS}	SC_ENA の立ち上がりエッジから ERASE/PROGRAM 信号の立ち上がりエッジまでの最大遅延。
t_{OSCH}	ERASE/PROGRAM 信号 Low から OSC_ENA 信号 Low までの許容最小遅延。

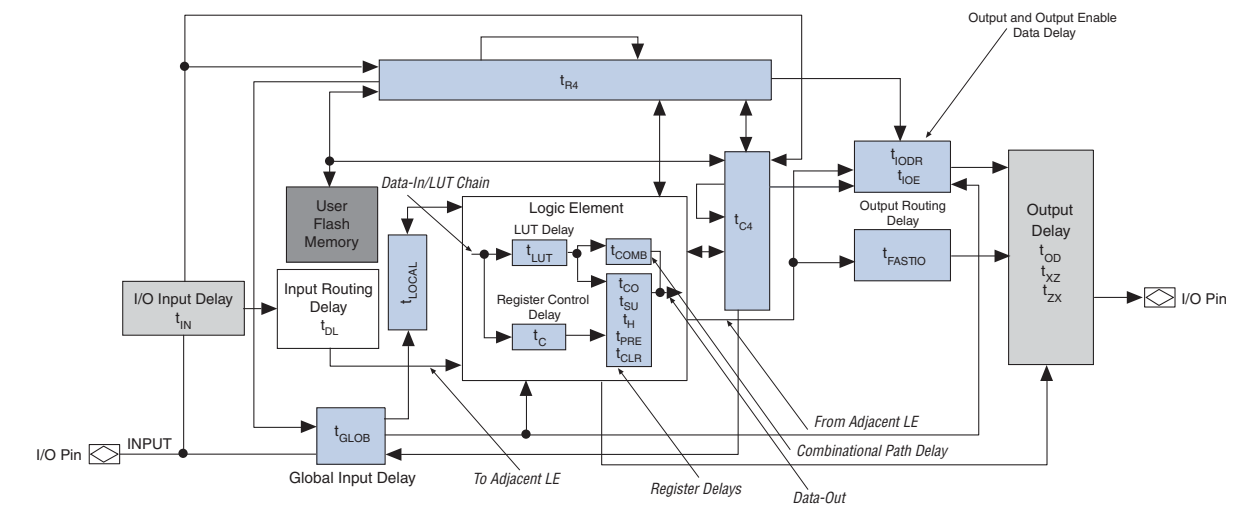
タイミング・モデル

タイミング・モデルは、アルテラ・デバイスを通じての遅延を示す簡略化されたブロック図です。ロジックは、様々なパス上に実装できます。デザインで使用される実際のパスは、プロジェクトの **Quartus II Report File (.rpt)** にリストされる式を調べて追跡できます。次に適切な内部タイミング・パラメータを加算して、デバイスを通じた遅延を見積ることができます。

MAX II および MAX V デバイス・アーキテクチャは、グローバルに伝達されるクロックを備えています。MultiTrack インタコネクタにより、MAX II および MAX V デバイスのすべての集積度およびスピード・グレードにおいて、性能の予測、正確なシミュレーション、および正確なタイミング解析が保証されています。

図 1 に、MAX II および MAX V デバイスのタイミング・モデルを示します。

図 1. MAX II および MAX V デバイスのタイミング・モデル



タイミング遅延の計算

図 1 に示すタイミング・モデルを使用し、MAX II および MAX V デバイスのピン間タイミング遅延を概算できます。

詳細は、「MAX II デバイス・ハンドブック」の「[DC and Switching Characteristics](#)」の章および「MAX V デバイス・ハンドブック」の「[DC and Switching Characteristics for MAX V Devices](#)」の章を参照してください。

外部タイミング・パラメータは、内部タイミング・パラメータの組み合わせからそれぞれ計算されます。図 2 ~ 図 6 に、MAX II および MAX V デバイスの外部タイミング・パラメータを示します。MAX II および MAX V デバイスを介して異なるパスを通過する信号の遅延を計算するには、タイミング・モデルを参照して、どの内部タイミング・パラメータを合計するかを決定します。

最も正確なタイミング結果を得るには、配置やファンアウトなどの二次的要因の影響を計上する Quartus II タイミング・アナライザを使用します。

図 2. 外部タイミング・パラメータ (t_{PD1}) (注 1)

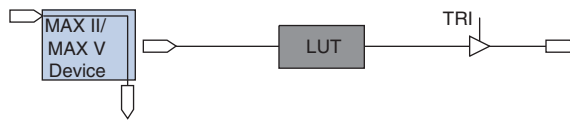


図 2 の注 :

$$(1) t_{PD1} = t_{IN} + N \times t_{R4}/4 + M \times t_{C4}/4 + t_{LUT} + t_{COMB} + t_{FASTIO} + (t_{OD} + \Delta t_{OD})$$

Δt_{OD} は、電流値 16 mA の 3.3-V LVTTTL 以外の I/O 規格を使用する場合の t_{OD} マイクロパラメータに対する追加遅延 (図 2 を参照) です。

追加遅延の値については詳しくは、「MAX II デバイス・ハンドブック」の「DC and Switching Characteristics」の章および「MAX V デバイス・ハンドブック」の「DC and Switching Characteristics for MAX V Devices」の章を参照してください。

表 4 に、デバイス集積度に対する LAB 数を示します。

表 4. デバイス集積度に対する LAB 数

デバイス	デバイス集積度	N LAB 行数	M LAB カラム数
MAX II	EPM240	4	6
	EPM570	7	12
	EPM1270	10	16
	EPM2210	13	20
MAX V	5M40Z	4	6
	5M80Z	4	6
	5M160Z	4	6
	5M240Z (1)	4	6
	5M240Z (2)	7	12
	5M570Z	7	12
	5M1270Z (3)	10	16
	5M1270Z (4)	13	20
	5M2210Z	13	20

表 4 の注 :

- (1) 5M240 デバイスの T144 パッケージには適用されません。
- (2) 5M240Z デバイスの T144 パッケージにのみ適用されます。
- (3) 5M1270Z デバイスの F324 パッケージには適用されません。
- (4) 5M1270Z デバイスの F324 パッケージにのみ適用されます。

以下に外部タイミングの例を示します。

電流値 16 mA、3.3-V LVTTTL 高速スルー・レートの I/O 規格を使用する 5M240Z デバイスの t_{PD1} は、以下のようになります。

$$t_{PD1} = t_{IN} + 4 \times t_{R4}/4 + 6 \times t_{C4}/4 + t_{LUT} + t_{COMB} + t_{FASTIO} + t_{OD} \dots (a)$$

電流値 7 mA、2.5V LVTTTL 高速スルー・レートの I/O 規格を使用する 5M240Z デバイスの t_{PD1} は、以下のようになります。

$$t_{PD1} = (a) + (2.5\text{-V LVTTTL 高速スルー 7 mA の } \Delta t_{OD})$$

図 3. 外部タイミング・パラメータ (t_{PD2}) (注 1)

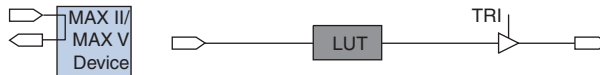


図 3 の注：

$$(1) t_{PD2} = t_{IN} + t_{DL} + t_{LUT} + t_{COMB} + t_{FASTIO} + (t_{OD} + \Delta t_{OD})$$

図 4. 外部タイミング・パラメータ (t_{CO}) (注 1), (2)

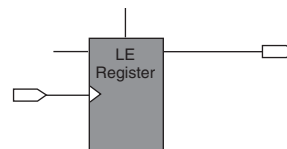


図 4 の注：

$$(1) t_{CO} = t_{GLOB} + t_C + t_{CO} + (N \times t_{R4}/4 + M \times t_{C4}/4) + (t_{IODC} \text{ または } t_{IODR}) + (t_{OD} + \Delta t_{OD})$$

(2) 定数 N および M は、デバイス全体における LAB の位置に応じて変更されることがあります。

図 5. LE レジスタのクリアおよびプリセット・タイム (t_{CLR}) (注 1)

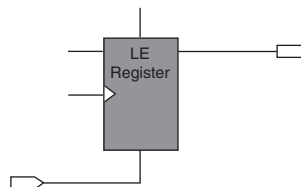


図 5 の注：

$$(1) t_{CLR} = t_{GLOB} + t_C + t_{CLR} + (N \times t_{R4}/4 + M \times t_{C4}/4) + (t_{IODC} \text{ または } t_{IODR}) + (t_{OD} + \Delta t_{OD})$$

図 6. LE レジスタのクリアおよびプリセット・タイム (t_{PRE}) (注 1)

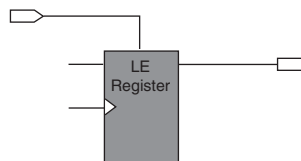


図 6 の注：

$$(1) t_{PRE} = t_{GLOB} + t_{LOCAL} + t_C + t_{PRE} + (N \times t_{R4}/4 + M \times t_{C4}/4) + (t_{IODC} \text{ または } t_{IODR}) + (t_{OD} + \Delta t_{OD})$$

I/O データおよびクロック入力からのセットアップおよびホールド・タイム

Quartus II ソフトウェアは、LE レジスタに対するゼロ・ホールド・タイムを保証するために、入力ピンからレジスタ入力までの追加配線遅延を挿入することがあります。セットアップ・タイムおよびホールド・タイムの取得には、Quartus II タイミング・アナライザの使用を推奨します。図 7 および図 8 に、MAX II および MAX V デバイスのセットアップ・タイムおよびホールド・タイムを示します。

図 7. セットアップ・タイムおよびホールド・タイム (t_{SU}) (注 1)

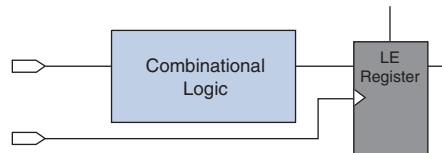


図 7 の注：

$$(1) t_{SU} = (t_{IN} + N \times t_{R4}/4 + M \times t_{C4}/4 + t_{LUT}) - (t_{GLOB} + t_C) + t_{SU}$$

図 8. セットアップ・タイムおよびホールド・タイム (t_H) (注 1)

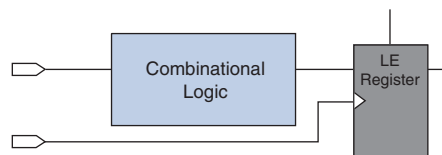



図 8 の注：

$$(1) t_H = (t_{GLOB} + t_C) - (t_{IN} + N \times t_{R4}/4 + M \times t_{C4}/4 + t_{LUT}) + t_H$$

 図 4 から 図 8 で、定数 N および M は、組み合わせロジック実装のために、デバイス全体における LAB の位置に応じて変更されることがあります。

プログラマブル入力遅延

プログラマブル入力遅延は、入力ピンに遅延を追加してゼロ・ホールド・タイムを保証するオプションを提供します。このオプションは、Assignment Editor (Assignments メニュー) でピンごとに設定できます。Quartus II ソフトウェアで選択された入力ピンに対する入力遅延をオンにするには、以下の手順を実行してください。

1. デザイン・ファイルで入力ピン名を選択します。
2. Assignment Editor で右クリックし、**Locate** を選択します。
3. Assignment Name の下をダブル・クリックし、ドロップダウン・リストで **Input Delay from Pin to Internal Cells** を選択します。
4. 作成されたアサインメント名の右側の **Value** セルをダブル・クリックし、**1** を入力します。
5. File メニューで、**Save** をクリックします。

タイミング・モデルおよび Quartus II TimeQuest タイミング・アナライザについて

タイミング・モデルに基づく手計算によって、デザインの性能をかなり正確に見積ることができますが、Quartus II タイミング・アナライザの使用が推奨されています。Quartus II タイミング・アナライザは、以下のような配線マイクロパラメータに影響を及ぼす二次的な要素を計上できるため、デザイン性能に関する最も正確な情報を常に提供することが可能です。

- 遅延パスにおける各信号のファンアウト
- 信号のソースとデスティネーションに対するその他の負荷の位置
- 信号のソースとデスティネーション間の距離
- デバイスのエッジで一部のインタコネクタが切り取られる各種インタコネクタ長

改訂履歴

表 5 に、本資料の改訂履歴を示します。

表 5. 改訂履歴

日付	バージョン	変更内容
2010 年 12 月	1.0	初版