


この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

AN-611-1.0

このリファレンス・デザインは、Altera® SDI MegaCore® ファンクションおよびオーディオ・ビデオ開発キット Stratix® IV GX エディションを使用して、3 ギガビット / 秒のシリアル・デジタル・インタフェース (3G-SDI) Level B およびデュアル・リンクの高精細 (HD) シリアル・デジタル・インタフェース (HD-SDI) をマッピングする方法について説明します。オーディオ・ビデオ開発キット Stratix IV GX エディションは、Stratix IV GX 開発ボードおよび 2 つの SDI の高速メザニン・カード (HSMC) で構成されています。デュアル・リンク HD-SDI は、2.970 GB/ 秒または 2.967 GB/ 秒の公称レートでの動作する 2 つの SMPTE 292M HD-SDI で構成されています。

このアプリケーション・ノートでは、次の 2 つのデモを説明します。

- デュアル・リンク HD-SDI (レシーバ) への 3G-SDI レベル B のマッピング
- 3G-SDI レベル B (レシーバ) へのデュアル・リンク HD-SDI のマッピング

 Stratix IV GX オーディオおよびビデオ開発キットについて詳しくは、[Audio Video Development Kit, Stratix IV GX Edition User Guide](#) を参照してください。Stratix IV GX FPGA 開発ボードについて詳しくは、[Stratix IV GX FPGA Development Board Reference Manual](#) を参照してください。SDI HSMC について詳しくは、[SDI HSMC Reference Manual](#) または [AN 600: Serial Digital Interface Reference Design for Stratix IV Devices](#) を参照してください。SDI MegaCore ファンクションについて詳しくは、[SDI MegaCore Function User Guide](#) を参照するか、または販売代理店にお問い合わせください。

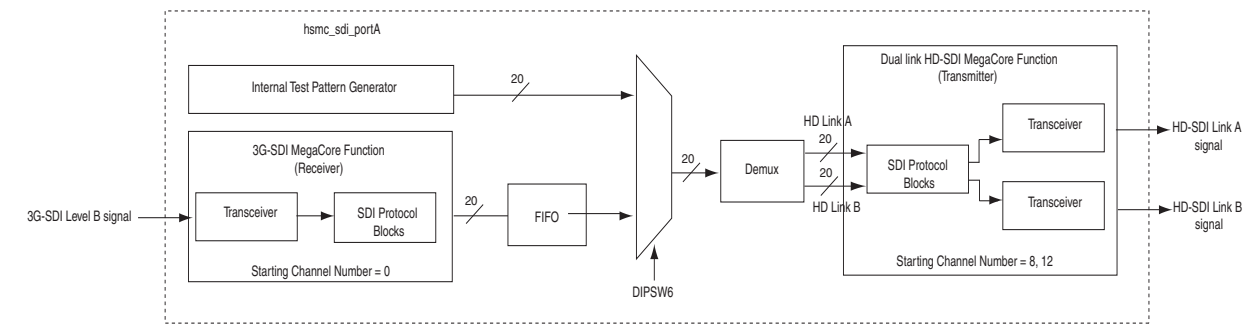
機能の説明

リファレンス・デザインは、3G-SDI レベル B の信号から 2 つの HD-SDI 信号に、およびその逆に信号にマッピングを実行するための一般的なプラットフォームを提供します。2 ページの [図 1](#) および 3 ページの [図 2](#) には、リファレンス・デザインの 2 つのハイ・レベルのブロック図を示します。

3G-SDI レベル B からデュアル・リンク HD-SDI のマッピング

図 1 に示すように、以下のセクションでは、3G-SDI レベル B からデュアル・リンク HD-SDI へのマッピングで使用される様々な要素について説明します。

図 1. ブロック図 — デュアル・リンク HD-SDI に 3G-SDI レベル B のマッピング



3G-SDI レシーバ

トリプル・スタンダード SDI レシーバ MegaCore ファンクションは、3G-SDI レベル B レシーバのインタフェースを提供します。

Dual Link HD-SDI トランスミッタ

デュアル・リンク HD-SDI トランスミッタの MegaCore ファンクションは、1.485 Gbps の 1080i のデータ・ストリームの 2 つのリンクを出力します。

Demux

デマルチプレクサ・ロジックは、内部パターン・ジェネレータからの入力、または 3G-SDI のトリプル・スタンダード・レシーバからの信号を受信し、そして 2 つの HD のリンクのデータ・ストリームへ 3G-SDI 信号を逆多重化します。開発キット上で DIPSW6 は、HD リンク A または HD リンク B のオプションのいずれかを選択します。

パターン・ジェネレータ

パターン・ジェネレータはテスト・パターンを出力します。

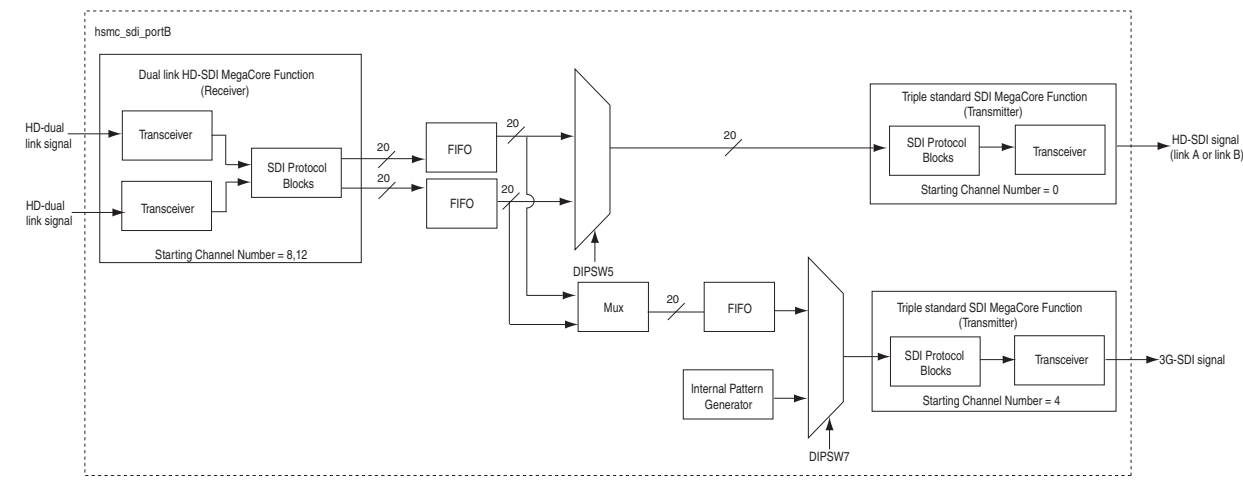
FIFO

FIFO は、パラレル・ビデオ・データを格納します。FIFO バッファがハーフ・フルになると、トランスミッタは、リード、エンコード、およびデータの送信を開始します。

3G-SDI レベル B にデュアル・リンク HD-SDI のマッピング

以下のセクションでは、図 2 に示すように、3G-SDI レベル B へのデュアル・リンク HD-SDI をマッピングするために使用される様々な要素について説明します。

図 2. ブロック図 — 3G-SDI レベル B にデュアル・リンク HD-SDI のマッピング



デュアル・リンク HD-SDI レシーバ

デュアル・リンク HD-SDI レシーバ MegaCore ファンクションは、デュアル・リンク HD-SDI レシーバのインタフェースを提供します。ソースでのリンク A とリンク B の間のデュアル・リンク HD-SDI のタイミングの差は 40 ns を (SMPTE372 の仕様) を超えてはなりません。両方のリンク A とリンク B が初めてのデータを受信する準備ができたときに `rst_rx` をアサートする必要があります。

トリプル・スタンダード SDI トランスミッタ

トリプル・スタンダード SDI MegaCore ファンクション・トランスミッタの `inst2` は、HD 信号を送信するために使用されます。開発キット上の DIPSW5 は、HD のリンクデータ・ストリームまたは HD のリンク B データ・ストリーム送信するために使用されます。

トリプル・スタンダード SDI MegaCore ファンクション・トランスミッタの `inst3` は、3Gb 信号を送信するために使用されます。開発キット上の DIPSW6 は、内部パターン・ジェネレータから生成された 3Gb 信号または 2 つのレシーバ HD 信号から生成された 3Gb 信号マルチプレクサを送信するために使用されます。

FIFO

FIFO は、パラレル・ビデオ・データを格納します。FIFO バッファがハーフ・フルになると、トランスミッタは、リード、エンコード、およびデータの送信を開始します。

Mux (シリアル・インタリーブ・ストリーミング)

マルチプレクサ・ロジックは、2 つのデュアル・リンク HD-SDI のデータから入力を受信し、インタリーブされた 3G-SDI レベル B のデータに入力をストリームします。

データ変換

図 3 および図 4 には、2つの HD-SDI データ・ストリーム（とその逆）に 3G-SDI レベル B のデータの変換を示しています。

図 3. 2 HD-SDI データ・ストリームへの 3G-SDI レベル B のデータ変換

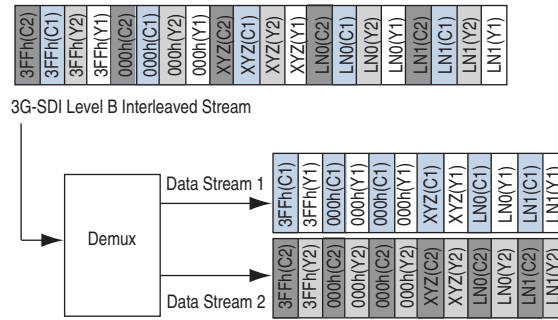


図 4. 3G-SDI レベル B のデータへの 2 HD-SDI データ・ストリームのデータ変換

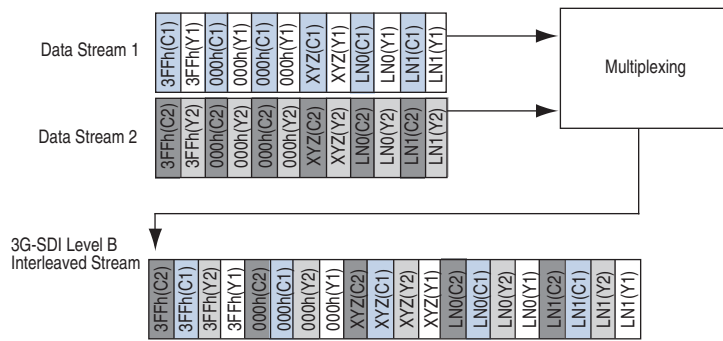
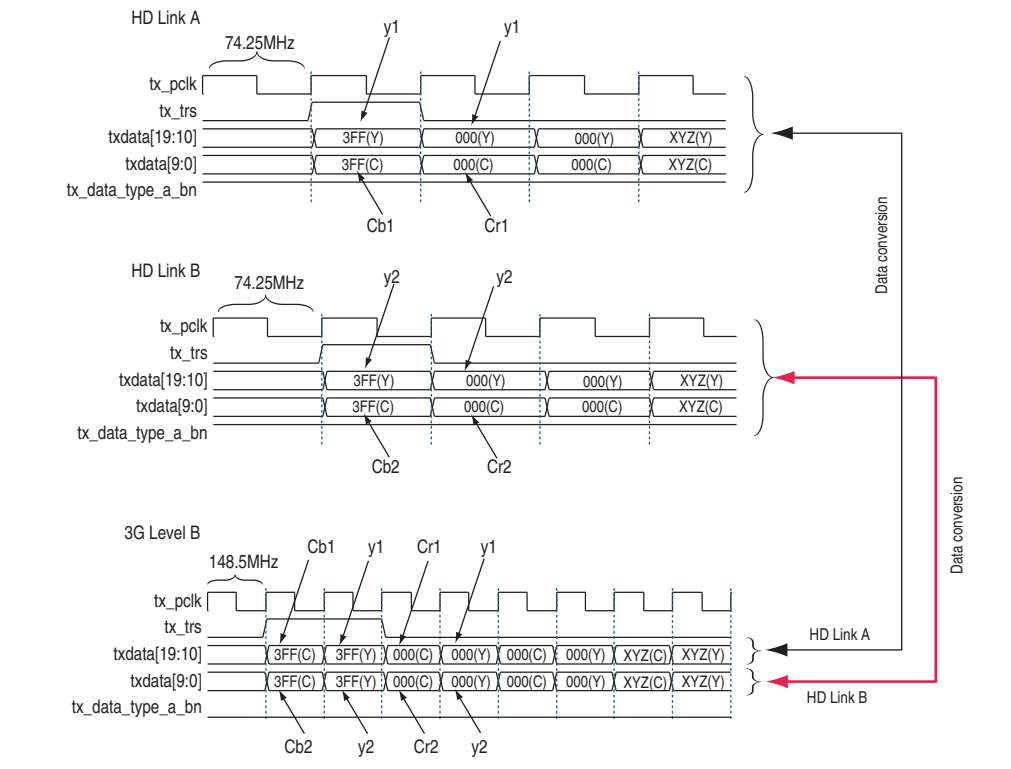


図 5 に、3G-SDI レベル B から 2 HD-SDI データ・ストリーム（とその逆）にデータの変換のタイミング図を示します。

図 5. 3G-SDI レベル B データから 2 HD-SDI データ・ストリーム（とその逆）のデータの変換



使用法

この項では、Stratix IV GX 開発ボードとリファレンス・デザインを実証するための要件と関連する手順について説明します。この項では、次のトピックが含まれています。

- ハードウェアおよびソフトウェア要件
- ハードウェアの設定
- リファレンス・デザインの実行

ハードウェアおよびソフトウェア要件

リファレンス・デザインには次のハードウェアおよびソフトウェアが必要です。

- Stratix IV GX 開発ボード
- 2つの SDI HSMC
- SDI MegaCore ファンクション
- Quartus® II ソフトウェア、バージョン 10.0 sp1 パッチ 1.181

オーディオ・ビデオ開発キット Stratix II GX Edition を得るには、販売代理店にお問い合わせください。

ハードウェアの設定

図 6 は、Stratix IV GX 開発ボードは、SDI HSMC に接続する方法を示しています。

図 6. ハードウェアの設定

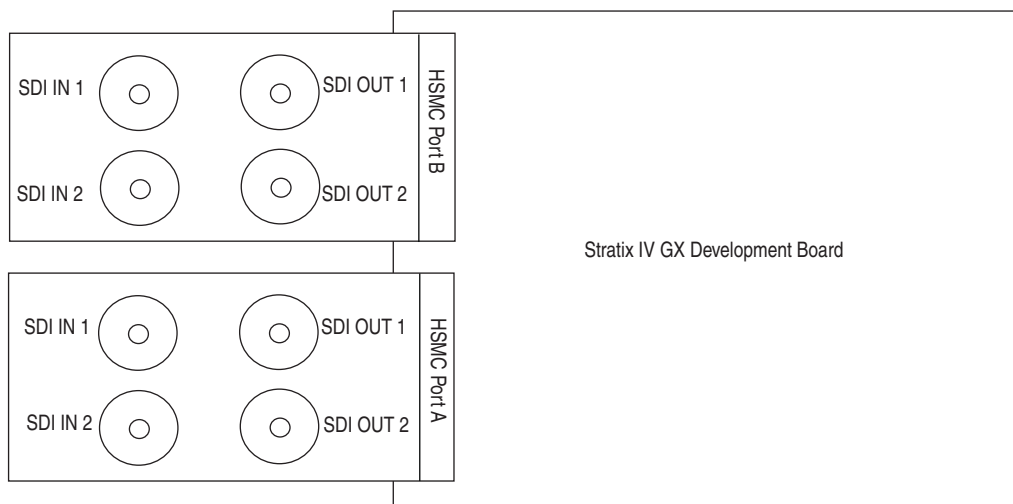


表 1 には、デザイン・インスタンスにマッピングされている HSMC ポートについて説明します。

表 1. デザイン・インスタンスに HSMC ポートのマッピング

HSMC ポート	デザイン・インスタンス名	説明
HSMC ポート A		
SDI OUT 1	hd_dl_tx_inst (HD Link B)	デュアル・リンク HD-SDI のデータ [19:0] の下位ストリームを送信します。
SDI OUT 2	hd_dl_tx_inst (HD Link A)	デュアル・リンク HD-SDI データ [39:20] の上位ストリームを送信します。
SDI IN 1	threeG_rx_inst0	トリプル・スタンダード・レーザは、3G-SDI レベル B の信号を受信します。
SDI IN 2	threeG_rx_inst1	トリプル・スタンダード・レーザは、3G-SDI レベル B の信号を (ループバック検証用) を受信します。
HSMC ポート B		
SDI OUT 1	tripleStd_tx_inst2	トリプル・スタンダード・トランスミッタは、HD ストリーム A またはストリーム B の信号を送信します。
SDI OUT 2	tripleStd_tx_inst3	トリプル・スタンダード・トランスミッタは、2 HD ストリームから 3G-SDI レベル B の信号を送信します。
SDI IN 1	hd_dl_rx_inst (HD Link B)	デュアル・リンク HD-SDI のデータ [19:0] の下位ストリームを受信します。
SDI IN 2	hd_dl_rx_inst (HD Link A)	デュアル・リンク HD-SDI データ [39:20] の上位ストリームを受信します。

表 2 には、各ユーザー定義のデュアル・イン・ライン・パッケージ (DIP) スイッチ・コントロールの機能を説明します。スイッチが OFF の位置にあるときは、ロジック 1 が選択されています。スイッチが ON の位置にあるときは、ロジック 0 が選択されています。

表 2. SW3 DIP スイッチ・コンと r-る

DIPSW	説明
8	1= ホールド・リセット 0= リリース・リセット
7	1= hd_dl_tx_inst: 内部パターンからの hd txdat 0= hd_dl_tx_inst: 3gb からの hd txdata demux
6	1= tripleStd_tx_inst3: 内部パターンからの 3gb txdata 0= tripleStd_tx_inst3: hd_dl_rx_inst からの 3gb txdata mux
5	1= tripleStd_tx_inst2: hd txdata リンク A 0= tripleStd_tx_inst2: hd txdata リンク B
4, 3, 2, 1	使用されない

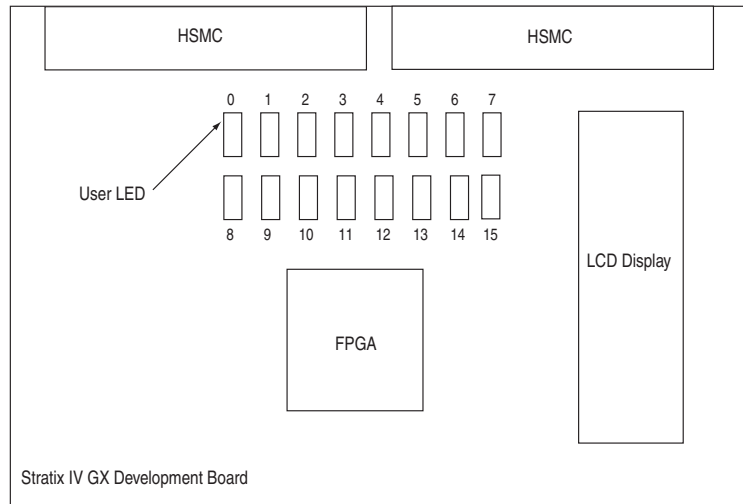
表 3 には、Stratix IV GX 開発ボード上の LED がそれぞれの機能について説明します。

表 3. Stratix IV GX FPGA 開発ボード上の LED

LED	説明
0	アラインメント・ロック HSMC ポート A: 3G SDI レシーバ inst0
1	TRS ロック HSMC port A: 3G SDI レシーバ inst0
2	フレーム・ロック HSMC ポート A: 3G SDI レシーバ inst0
3	使用されない
4	アラインメント・ロック HSMC ポート A: 3G SDI レシーバ inst1
5	TRS ロック HSMC ポート A: 3G SDI レシーバ inst1
6	フレーム・ロック HSMC port A: 3G SDI レシーバ inst1
7	使用されない
8	アラインメント・ロック HSMC ポート B: デュアル・リンク HD-SDI レシーバ (リンク A)
9	TRS ロック HSMC ポート B: デュアル・リンク HD-SDI レシーバ (リンク A)
10	フレーム・ロック HSMC ポート B: デュアル・リンク HD-SDI レシーバ (リンク A)
11	アラインメント・ロック HSMC ポート B: デュアル・リンク HD-SDI レシーバ (リンク B)
12	TRS ロック HSMC ポート B: デュアル・リンク HD-SDI レシーバ (リンク B)
13	フレーム・ロック HSMC ポート B: デュアル・リンク HD-SDI レシーバ (リンク B)
14	使用されない
15	デュアル・リンク HD-SDI レシーバ リンク A およびリンク B はアラインメントされる

図 7 には、Stratix IV GX 開発ボード上の LED の向きを示しています。

図 7. Stratix IV FPGA 開発ボード上のユーザー LED

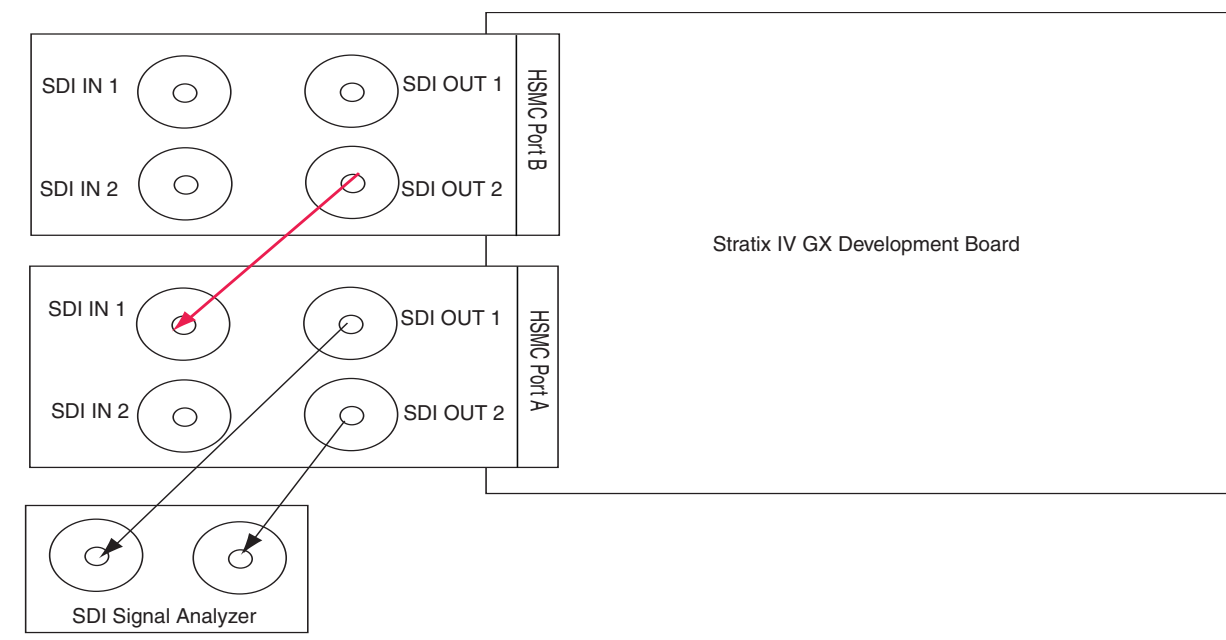


リファレンス・デザインの実行


リファレンス・デザインを実行するには、次の手順に従います。

- 6 ページの図 6 に示すように FPGA 開発ボード上で HSMA と HSMB ポートに 2 つの SDI HSMC を接続します。
- デュアル・リンク HD-SDI への 3G-SDI レベル B をマッピングする HSMC ポート A と HSMC ポート B の接続をセットアップします。図 8 に示すように、トランスミッタ出力 SDI OUT 1 ポートまたは SDI OUT 2 ポートに SDI 信号アナライザを接続します。

図 8. デュアル・リンク HD-SDI ハードウェア・セットアップへの 3G-SDI レベル B

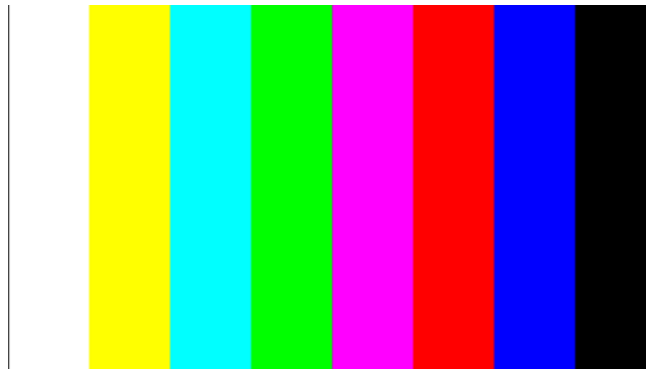


- ボードに電源を接続します。
- Quartus II ソフトウェアを起動し、リファレンス・デザインをコンパイルします。リファレンス・デザインをコンパイルするには、次の手順を実行します。
 - File メニューの **Open Project** をクリックして、`\<directory>s4gxsgi.qpf` に移動し、**Open** をクリックします。
 - Processing メニューで、**Start Compilation** をクリックします。
- Quartus II ソフトウェアで生成した SRAM オブジェクト・ファイル (`.sof`) をダウンロードします。
 - USB-Blaster™ ダウンロード・ケーブルをボードの USB Type-B Connector に接続します。
 - Tools メニューの **Programmer** をクリックします。ソフトウェアは自動的にコンパイル時に `s4gxsgi.sof` ファイルを検出し、ポップアップ・ウィンドウに表示されます。ボードに、Quartus II で生成されたファイルをダウンロードして **Start** をクリックします。ファイルがポップアップ・ウィンドウに表示されない場合は、**Add File** をクリックして、`\<directory>s4gxsgi.so` に移動して、**Open** をクリックします。

 このデザインは揮発性です。このデザインをボードに電源が投入されるたびにリロードする必要があります。

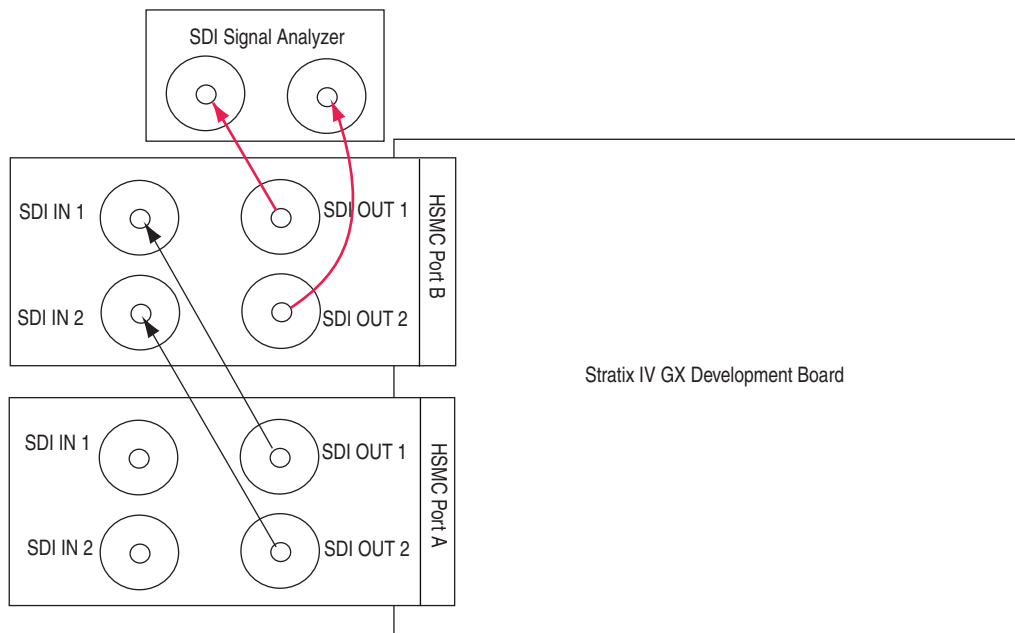
6. 内部パターンを使用した 3Gb 信号（ポート B）を送信するために、DIPSW6 = 1 および DIPSW7 = 0 を設定します。DIPSW8 を制御することによってハードウェアをリセットします。
7. シグナル・アナライザでの信号の動作を観察します。SDI OUT1 ポートの信号は、HD ストリーム A 信号を表し、SDI OUT 2 ポート信号は、HD ストリーム B 信号を表します。3GB 信号の受信から分離します。

図 9. HD リンク A および HD リンク B イメージ



8. HSMA の SDI OUT 2 ポートからのデュアル・リンク HD-SDI のリンクを HSMB のレシーバ入力 SDI IN 2 ポートに接続します。HSMA の SDI OUT 1 ポートからのデュアル・リンク A を HSMB の SDI IN 1 ポートのレシーバ入力に接続します。HD デュアル・リンク・レシーバを観察します。リンク A とリンク B レシーバがロックすることができるはずですが。
9. 3G-SDI レベル B にデュアル・リンク HD-SDI をマッピングするために HSMC ポート A および HSMC ポート B の接続をセット・アップします。HSMA の SDI OUT 2 ポートから HSMB のレシーバ入力 SDI IN 2 ポートへのデュアル・リンク HD-SDI リンク A 信号ソースを接続します。図 10 に示されるように、HSMB のトランスミッタ出力 SDI OUT 1 ポートあるいは SDI OUT 2 ポートに SDI アナライザを接続します。

図 10. デュアル・リンク HD-SDI ハードウェア・セットアップへの 3G-SDI レベル B



10. ステップ 3、ステップ 4、ステップ 5 を繰り返します。

11. 内部パターンを使用して、HD デュアル・リンク信号 (ポート A) を送信するために、DIPSW6 = 0 および DIPSW7 = 1 をセットします。DIPSW8 のコントロールによりハードウェアがリセットされます。

12. 信号のアナライザ上の信号の動作を観察します。SDI OUT 2 ポート信号はインターリーブされた多重 3Gb 信号を表わします。また、SDI OUT 1 ポート信号は逆多重化された HD のデュアル・リンク信号を表わします。

13. 次のボード・セッティングを指定して、信号の動作を観察します。SDI OUT 1 ポートのリンク A またはリンク B の出力をコントロールするには DIPSW5 = 1 を指定します。

図 11. SDI_OUT1: HD リンク B (内部パターンが選択された場合)



図 12. SDI_OUT2: HD リンク A (内部パターンが選択された場合)

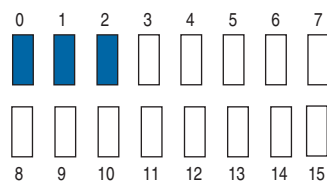


14. HSMA のレシーバ入力 SDI IN 1 ポートに HSMB の SDI OUT 2 ポートを接続します。HSMB の SDI OUT 2 ポートから送信される 3Gb 信号が HSMA の SDI IN 1 ポートの 3G インスタンスによってロックされることを確認してください。

15. 次の実装用の LED の条件を観察します。

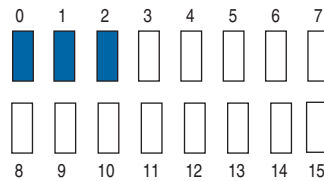
- a. LED は、3G-SDI インスタンス Ch0 のための次の条件を示します。
 - LED 0 は、レシーバがワードにアラインメントされたときに点灯します。
 - LED 1 は、受信したライン・フォーマットが安定しているときに点灯します。
 - LED 2 は、レシーバ・フレーム・フォーマットが安定しているときに点灯します。

図 13. 3G-SDI インスタンス Ch0 の LED の条件



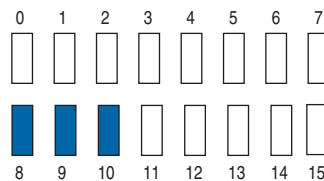
- b. LED は、3G-SDI インスタンス Ch1 のための次の条件を示します。
 - LED 0 は、レシーバがワードにアラインメントされたときに点灯します。
 - LED 1 は、受信したライン・フォーマットが安定しているときに点灯します。
 - LED 2 は、レシーバ・フレーム・フォーマットが安定しているときに点灯します。

図 14. 3G-SDI インスタンス Ch1 の LED の条件



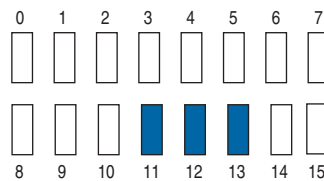
- c. LED は、デュアル・リンク HD-SDI レシーバのための以下の条件を示します (リンク A)。
- LED 8 は、レシーバがワードにアラインメントされたときに点灯します。
 - LED 9 は、受信したライン・フォーマットが安定しているときに点灯します。
 - LED 10 LED 2 は、レシーバ・フレーム・フォーマットが安定しているときに点灯します。

図 15. デュアル・リンク HD-SDI (リンク A) の LED 条件



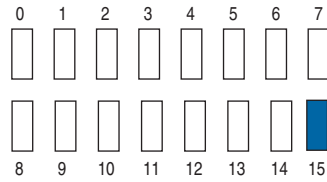
- d. LED は、デュアル・リンク HD-SDI レシーバのための以下の条件を示します (リンク B)。
- LED 11 は、レシーバがワードにアラインメントされたときに点灯します。
 - LED 12 は、受信したライン・フォーマットが安定しているときに点灯します。
 - LED 13 は、レシーバ・フレーム・フォーマットが安定しているときに点灯します。

図 16. デュアル・リンク HD-SDI (リンク B) の LED の条件



- e. LED は、デュアル・リンク HD-SDI (リンク A) レシーバがパラレル rxdata[39:20] を持つとき、および HD デュアル・リンク B がパラレル radata[19:0] を持つとき、次の条件を示します。
- デュアル・リンク HD-SDI レシーバのリンク A とリンク B がアラインメントされたときに LED 15 が点灯します。

図 17. HD- デュアル・リンク A および Link B がアラインメントされた場合び LED の条件



結論

このアプリケーション・ノートでは、デュアル・リンク HD-SDI および 3G-SDI 間の変換を実行する Stratix IV GX 開発ボードと SDI HSMC で SDI のリファレンス・デザインを使用する方法を提供しています。

改訂履歴

表 4 に、本資料の改訂履歴を示します。

表 4. 改訂履歴

日付	バージョン	変更内容
2010 年 12 月	1.0	初版。

