

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

概要

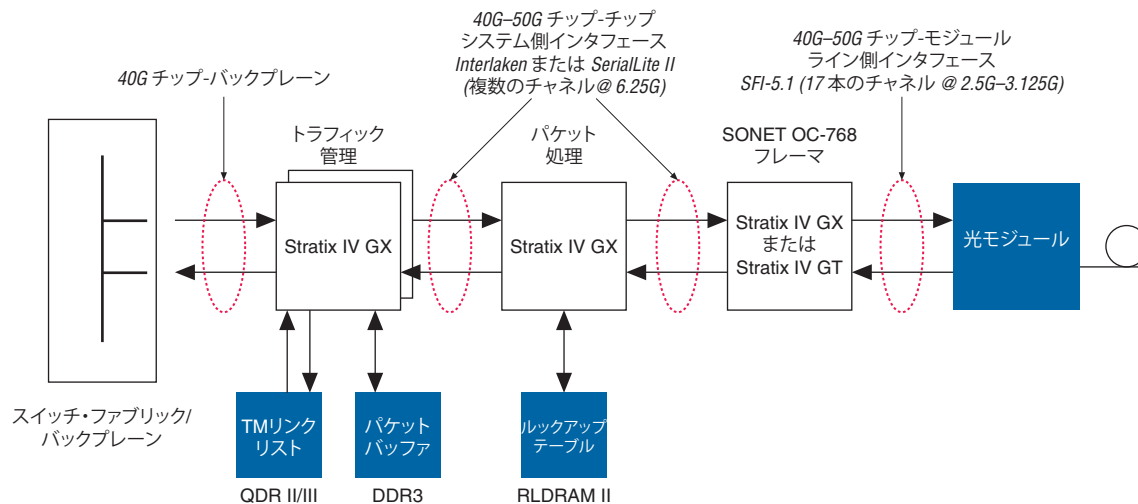
このアプリケーション・ノートでは、アルテラの 40 nm Stratix® IV GX および Stratix IV GT デバイスによって SFI-5.1 インタフェースを実装する方法について説明します。

SERDES SFI-5 (Framer Interface Level 5) は、40 Gbps アプリケーションをターゲットとするチップ・ツー・チップおよびチップ・ツー・モジュールのプロトコルです。このプロトコルは、FEC (Forward Error Correction) 用の最大 25% のオーバーヘッドに対応し、最大 50 Gbps のスループットをサポートします。

Stratix IV GX および Stratix IV GT デバイスの両方は高速 CDR ベース・トランシーバによって SFI-5.1 インタフェースをサポートします。

図 1 に、Stratix IV GX デバイスによって OC-768 フレームおよび FEC プロセッサを実装する、代表的な OC-768 POS(packet over SONET) ラインカード・アプリケーションを示します。40G 光モジュールへのライン側インタフェースでは SFI-5.1 が使用され、パケット・プロセッサへのシステム側インタフェースでは業界基準の Interlaken プロトコルあるいは独自の SerialLite II プロトコルが使用されます。

図 1. OC-768 POS(Packet Over SONET) ライン・カード



SFI-5.1 プロトコルの参照モデル

図 2 は、OIF(Optical Internetworking Forum) による SFI-5 実装合意書で指定された一般的な参照モデルです。

図 2. SFI-5.1 参照モデル (注 1)

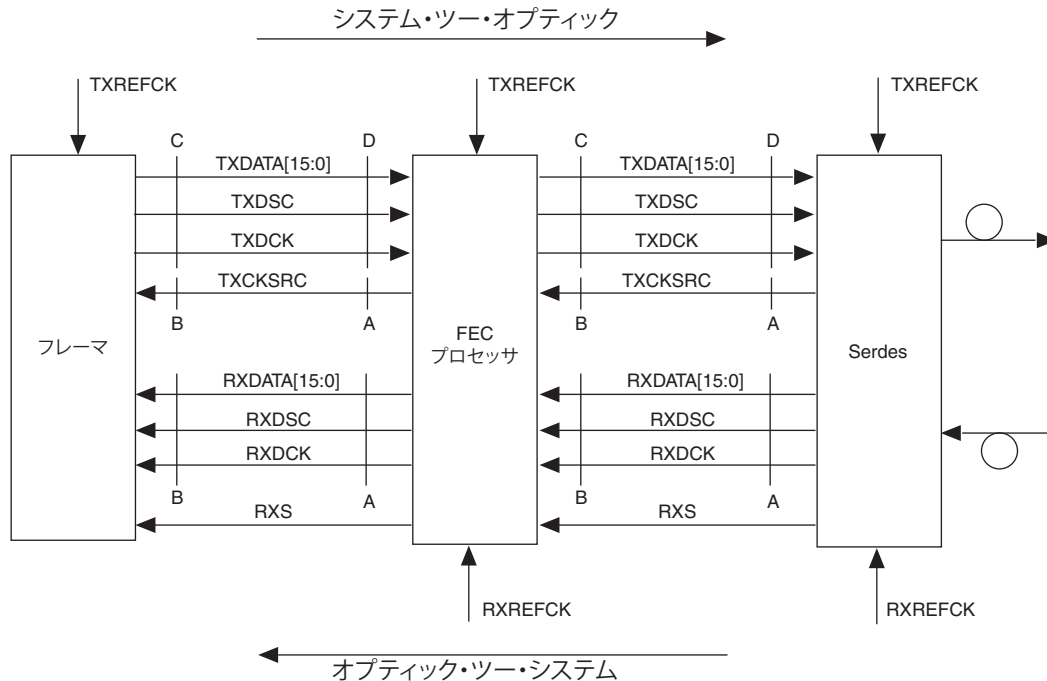



図 2 の注：

(1) Optical Internetworking Forum, OIF-SFI5-01.02, 2002 年 1 月 (www.oiforum.com) 『Serdes Framer Interface Level 5 (SFI-5): Implementation Agreement for 40Gb/s Interface for Physical Layer Devices』 から。

図 2 に示すとおり、SFI-5.1 リンクは下記の信号をサポートします。

- インタフェース・データ信号
 - 16 本のデータ・チャネル (TXDATA[15:0] または RXDATA[15:0])、それぞれ 2.488 Gbps ~ 3.125 Gbps のデータ・レートにコンフィギュレーションされる
 - 1 本のデスクュー・チャネル (TXDSC または RXDSC)、16 本のデータ・チャネルと同じデータ・レートにコンフィギュレーションされる

- インタフェース・クロック信号
 - データ・レートが 1/4 である 1 本のタイミング基準データ・クロック (TXDCK または RXDCK) 信号。
 - オプションの送信クロック・ソース (TXCKSRC) 信号。SFI-5 仕様によると、オプションで、システム・ツー・オプティックの方向でのシンク・デバイスをデータ・レートの 1/4 の周波数で TXCKSRC 信号を生成させることが可能です。シンク・デバイスがソース・デバイスに TXCKSRC 信号を提供する場合、ソース・デバイスはこの信号を TXDATA、TXDSC、および TXDCK 信号の入力基準クロックとして使用しなければなりません。そうでない場合、ソース・デバイスは TXREFCK をこれらの信号の入力基準クロックとして使用しなければなりません。
 - 入力基準クロック信号
 - トランスミッタ基準クロック (TXREFCK)— システム・ツー・オプティックの方向で、データ・レートの 1/4 の周波数での、SFI-5.1 インタフェースにおける入力基準クロック。
 - レシーバ基準クロック (RXREFCK)— オプティック・ツー・システムの方向で、データ・レートの 1/4 の周波数での、SFI-5.1 インタフェースにおける入力基準クロック。
-  SFI-5.1 仕様によると、TXDCK、RXDCK、TXCKSRC、TXREFCK、および REFCK 信号の周波数はデータ・レートの 1/4 であるように規定されていますが、これらのクロック信号は通常データ・レート周波数の 1/8 または 1/16 に実装されます。
- 他のインタフェース信号
 - 非同期レシーバ・ステータス (RXS) 信号—SFI-5.1 仕様によると、オプティック・ツー・システムの方向でのソース・デバイスは、このレシーバ・ステータス信号を生成する必要があります。シンク・デバイスがこの信号を使用するかどうかはオプションです。

このアプリケーション・ノートでは、Stratix IV FPGA の実装について、次の 3 つのセクションに分けて説明します。

- 「SFI-5.1 インタフェース・データ信号の実装」
TXDATA[15:0]/RXDATA[15:0] および TXDSC/RXDSC
- ページ 16 の「SFI-5.1 インタフェース・クロック信号の実装」
TXDCK/RXDCK および TXCKSRC
- ページ 17 の「SFI-5.1 非同期レシーバ・ステータス信号の実装」
RXS

SFI-5.1 インタフェース・データ信号の実装

SFI-5.1 リンクにおける 17 本のインタフェース・データ信号 (TXDATA[15:0]/RXDATA[15:0] および TXDSC/RXDSC) は、2.488 Gbps ~ 3.125 Gbps のデータ・レートをサポートします。これらの 17 本のインタフェース・データ信号は、Stratix IV GX および Stratix IV GT デバイス内の CDR ベース・トランシーバ・チャンネルによって実装されなければなりません。

SFI-5 実装合意書によると、すべての SFI-5 リンクは OIF-SxI-5 仕様に電氣的に準拠することになります。OIF-SxI-5 仕様は、16 本のチャンネルおよび 1 本のデスクュー・チャンネルにまたがる最大トランスミッタ・レーン間スキューを 2 UI に指定します。2 UI のトランスミッタ・レーン間スキュー仕様を満たすためには、17 本のトランスミッタ・チャンネルはすべて xN クロック・ネットワークによって結合される必要があります。そのために、SFI-5.1 リンクにおける 17 本のチャンネルをすべて隣接する 3 つのトランシーバ・ブロックの同じ側 (左側または右側) に配置する必要があります。

 xN クロック・ネットワークについては、「Stratix IV デバイス・ハンドブック Volume 2」の「[Stratix IV Transceiver Clocking](#)」の章を参照してください。

下記の Stratix IV GX および Stratix IV GT デバイスは、デバイスの左側および右側ごとに 1 本、合計最大 2 本の SFI-5.1 リンクをサポートします。

- Stratix IV GX—EP4SGX180KF40、EP4SGX230KF40、EP4SGX290KF40、EP4SGX360KF40、EP4SGX530KF40、EP4SGX290KF43、EP4SGX360KF43、EP4SGX530KF43、EP4SGX290NF45、EP4SGX360NF45、EP4SGX530NF45
- すべての Stratix IV GT デバイス

17 本のインタフェース・データ信号用の推奨されるトランシーバ・コンフィギュレーション

SFI-5.1 リンクにおける 17 本のインタフェース・データ信号を最適な FPGA クロック・リソース使用率で実装するには、次のトランシーバ・コンフィギュレーションが推奨されています。

- 17 本のトランスミッタ・チャンネルをすべて Basic (PMA Direct) xN モードにコンフィギュレーションする
- 17 本のレシーバ・チャンネルの 5 本を Basic (PMA Direct) x1 モードにコンフィギュレーションする
- 残りの 12 本のレシーバ・チャンネルを低レイテンシの PCS データ・パスを有する Basic x1 モードにコンフィギュレーションする

この実装では、下記の 3 つの異なる ALTX インスタンスを作成する必要があります。

インスタンス 1: Basic (PMA Direct) xN モードにおける 17 本のトランスミッタ・チャンネル

ALTX MegaWizard™ Plug-In Manager を使用して、17 チャンネルの Basic (PMA Direct) トランスミッタのみコンフィギュレーションをインスタンス化します (図 3)。

図 3. 推奨される SFI-5.1 実装のインスタンス 1

The screenshot displays the MegaWizard Plug-In Manager interface for the SF15_TX_x17_Inst instance. The General tab is active, showing the following configuration options:

- Which device variation will you be using? GX 2
- Which protocol will you be using? Basic (PMA Direct)
- Which subprotocol will you be using? XN
- Enforce default settings for this protocol:
- What is the operation mode? Transmitter only
- What is the number of channels? 17
- What is the deserializer block width?
 - Single (valid data rates: 600 Mbps - 3.750 Gbps)
 - Double (valid data rates: > 1.000 Gbps)
- What is the channel width? 16 bits
- Input Data:
 - What would you like to base the setting on? Data Rate
 - What is the effective data rate? 3125 Mbps (Note: 2488 ~ 3125)
 - What is the input clock frequency? 390.625 MHz (Note: 基準クロック = データ・レートの 1/8 または 1/16)
 - Specify base data rate: 3125.0 Mbps

A callout box on the left provides additional details for the SF15_TX_x17_Inst instance:

```

Protocol: Basic (PMA Direct) xN
Operation mode: Transmitter only
Effective data rate: 3125 Mbps
Inclk frequency: 390.62 MHz
GXB Transmitter PLL bandwidth mode: Auto
Force RX signal detection
VCOCHCK: 1.5
TX Vcm: 0.95v
Preemphasis Pre-tap Setting: 0
Preemphasis First Post-tap Setting: 0
Preemphasis Second Post-tap Setting: 0
Self Test mode: None
Word alignment: manual word alignment
  
```

図 3 に示すとおり、**General** タブで次のオプションを選択します。

- Which protocol will you be using?: **Basic (PMA Direct)**
- Which subprotocol will you be using?: **XN**
- What is the operation mode?: **Transmitter only**
- What is the number of channels?: **17**
- What is the deserializer block width?: **Double**
- What is the channel width?: **16**
- What is the effective data rate?: システム要件に応じて、**2488 ~ 3125** の値を入力します。
- What is the input clock frequency?: ドロップダウン・リストから選択します (通常、データ・レートの **1/8** または **1/16**)。

オプションのダイナミック・リコンフィギュレーション機能のいずれかがイネーブルされた場合、**Reconfig** タブで次のオプションを選択します。

- What is the starting channel number? **0**

インスタンス 1 の ALTGX MegaWizard Plug-In Manager における他のタブで、必要とされるオプションのトランシーバ・ポートを選択します。

インスタンス 2: Basic (PMA Direct) x1 モードにおける 5 本のレシーバ・チャンネル

ALTGX MegaWizard Plug-In Manager を使用して、5 チャンネルの Basic (PMA Direct) レシーバのみコンフィギュレーションをインスタンス化します (図 4)。

図 4. 推奨される SFI-5.1 実装のインスタンス 2

The screenshot shows the ALTGX MegaWizard Plug-In Manager interface. The left pane displays a block diagram for 'SFI5_RX_x5_Inst' with inputs like rx_datain[4_0], rx_crucik[4_0], cal_blk_clk, reconfig_clk, and reconfig_togxb[3_0], and outputs like rx_dataout[79_0], rx_clkout[4_0], and reconfig_fromgxb[84_0]. The right pane shows the configuration settings for the 'General' tab. The 'Which device variation will you be using?' is set to 'GX' and '2'. The 'Which protocol will you be using?' is 'Basic (PMA Direct)'. The 'Which subprotocol will you be using?' is 'None'. The 'What is the operation mode?' is 'Receiver only'. The 'What is the number of channels?' is '5'. The 'What is the deserializer block width?' is 'Double'. The 'What is the channel width?' is '16 bits'. The 'Input Data' section shows 'What would you like to base the setting on?' set to 'Data Rate', 'What is the effective data rate?' set to '3125 Mbps', and 'What is the input clock frequency?' set to '390.625 MHz'. Annotations with arrows point to the '3125 Mbps' and '390.625 MHz' values, with text indicating '2488 - 3125' and '基準クロック = データ・レートの 1/8 または 1/16'.

図 4 に示すとおり、**General** タブで次のオプションを選択します。

- Which protocol will you be using?: **Basic (PMA Direct)**
- Which subprotocol will you be using?: **None**
- What is the operation mode?: **Receiver only**
- What is the number of channels?: **5**
- What is the deserializer block width?: **Double**
- What is the channel width?: **16**
- What is the effective data rate?: システム要件に応じて、2488 ~ 3125 の値を入力します。

- What is the input clock frequency?: ドロップダウン・リストから選択します（通常、データ・レートの 1/8 または 1/16）。

Reconfig タブで次のオプションを選択します。

- What is the starting channel number?: **68**

インスタンス 2 の ALTGX MegaWizard Plug-In Manager における他のタブで、必要とされるオプションのトランシーバ・ポートを選択します。

インスタンス 3: 低レイテンシ PCS データパスによる Basic x1 モードにおける 12 本のレーザ・チャンネル

ALTGX MegaWizard Plug-In Manager を使用して、12 チャンネルの Basic レシーバのみコンフィギュレーションをインスタンス化します (図 5)。

図 5. 推奨される SFI-5.1 実装のインスタンス 3

The screenshot shows the ALTGX MegaWizard Plug-In Manager interface. The left pane displays a block diagram for the SFI5_RX_x12_Inst instance, showing inputs like rx_datain[11..0], rx_crucclk[11..0], cal_blk_clk, reconfig_clk, and reconfig_toqxb[3..0], and outputs like rx_dataout[191..0], rx_clkout[11..0], and reconfig_fromqxb[50..0]. The right pane shows the configuration settings for the selected device family (Stratix IV). The General tab is active, showing the following settings:

- Which device variation will you be using? GX 2
- Which protocol will you be using? Basic
- Which subprotocol will you be using? None
- Enforce default settings for this protocol:
- What is the operation mode? Receiver only
- What is the number of channels? 12
- What is the deserializer block width?
 - Single (valid data rates: 600 Mbps - 3.750 Gbps)
 - Double (valid data rates: > 1.000 Gbps)
- What is the channel width? 16 bits
- Input Data:
 - What would you like to base the setting on? Data Rate
 - What is the effective data rate? 3125 Mbps
 - What is the input clock frequency? 390.625 MHz
 - Specify base data rate: 3125.0 Mbps

Annotations on the right side of the screenshot indicate that the 3125 Mbps value is the base data rate (2488 - 3125) and that the 390.625 MHz input clock frequency is derived from the base data rate divided by 8 or 16.

図 5 に示すとおり、**General** タブで次のオプションを選択します。

- Which protocol will you be using?: **Basic**
- Which subprotocol will you be using?: **None**
- What is the operation mode?: **Receiver only**

- What is the number of channels?: **12**
- What is the deserializer block width?: **Double**
- What is the channel width?: **16**
- What is the effective data rate?: システム要件に応じて、2488 ~ 3125 の値を入力します。
- What is the input clock frequency?: ドロップダウン・リストから選択します (通常、データ・レートの 1/8 または 1/16)。

Reconfig タブで次のオプションを選択します。

- What is the starting channel number?: **88**

Basic/8B10B タブで次のオプションを選択します。

- **Enable Low Latency PCS mode**

インスタンス 3 の ALTGX MegaWizard Plug-In Manager における他のタブで、必要とされるオプションのトランシーバ・ポートを選択します。

3つのインスタンスを結合

図 6 に、これらの 3 つのインスタンスによって実装された、推奨される SFI-5.1 リンクの回路図の例を示します。

図 6. 推奨される SFI-5.1 リンクの実装の回路図例

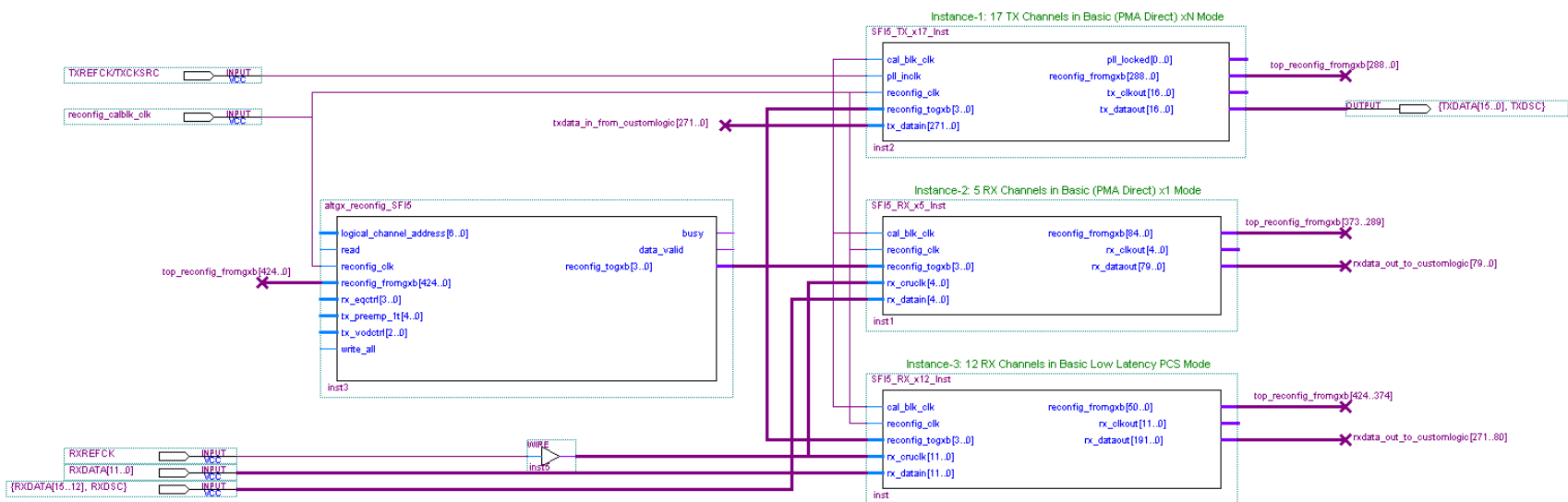


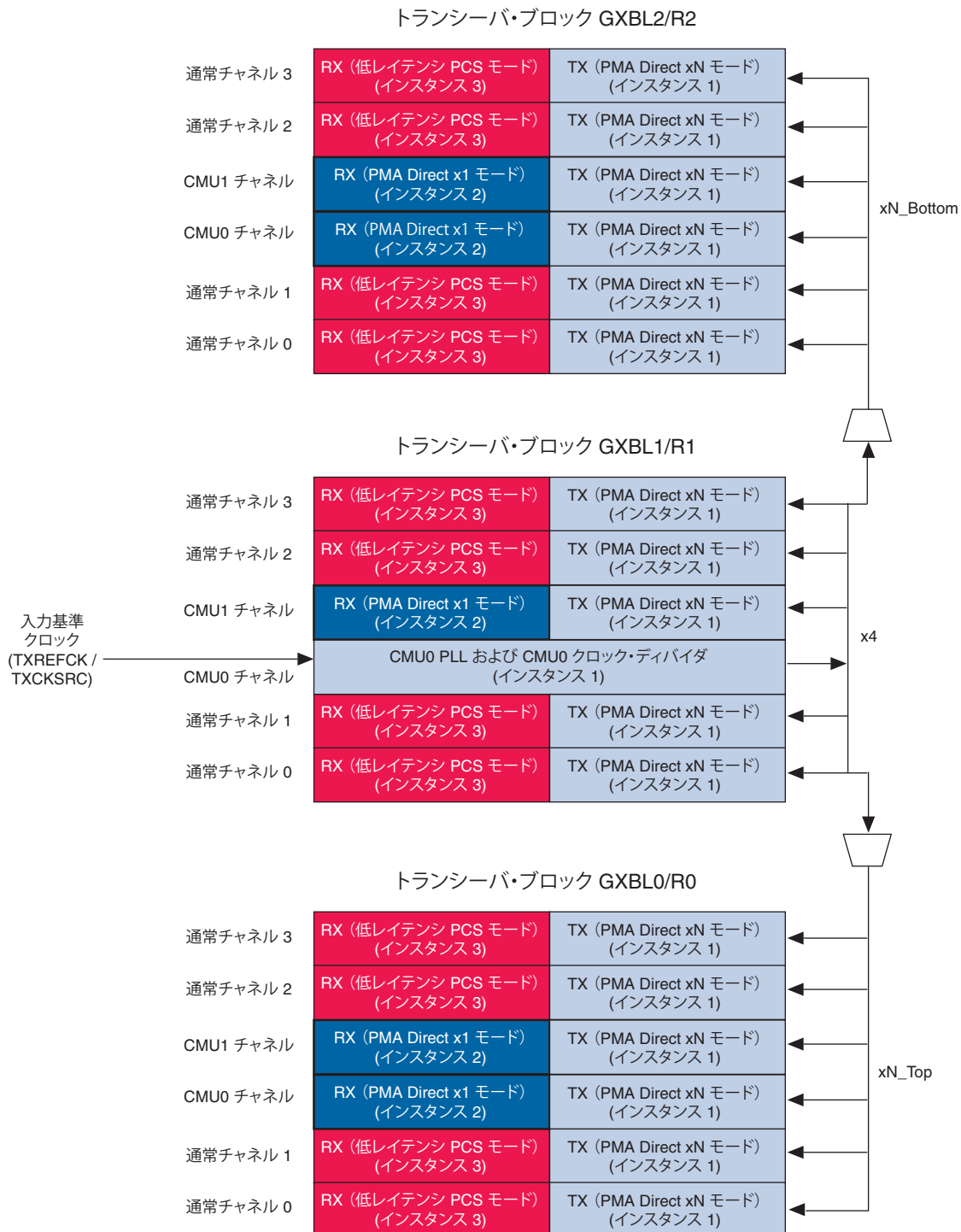
図 6 に示すとおり、システムの実装に応じて、インスタンス 1 におけるトランスミッタ入力基準クロック `p11_inclk` は、`TXREFCK` あるいは `TXCKSR` によってドライブ可能です。SFI-5 仕様によると、オプティック・ツー・システムの方向でのソース・デバイスがこのクロックをシンク・デバイスに提供する場合、`TXCKSRC` をトランスミッタ入力基準クロックとして使用することは必要です。`TXCLKSRC` が提供されていない場合、仕様によると、シンク・デバイスは `TXREFCK` クロックを入力基準クロックとして使用することができます。

17 本のインタフェース・データ信号のトランシーバ・チャンネル配置

16 本のデータ・チャンネル (`TXDATA[15:0]` または `RXDATA[15:0]`) および 1 本のデスクュー・チャンネル (`TXDSC` または `RSDSC`) は、デバイスの同じ側における 3 つの隣接するトランシーバ・ブロックに配置される必要があります。すべての 17 本のチャンネルにまたがって 2 UI のトランスミッタ・チャンネル間スキューを満たすためには、中央のトランシーバ・ブロックの `CMU0 PLL` によってトランスミッタ・クロックを生成しなければなりません。

図 7 に、デバイスの同じ側に 3 つのトランシーバ・ブロックを有する **Stratix IV GX** または **Stratix IV GT** デバイスに SFI-5.1 リンク を実装するためのトランシーバ・チャンネルおよび `CMU PLL` の配置を示します。**Quartus® II** ソフトウェアでの適切なピン・アサインメントにより、トランシーバ・チャンネルおよび `CMU PLL` を示すとおり配置することができます。

図 7. SFI-5.1 実装におけるトランシーバ・チャンネルおよび CMU PLL の配置



レーン間スキューについて検討事項

図 8 に示した 16 本のデータ・チャネル (TXDATA[15:0] または RXDATA[15:0]) および 1 本のデスキュー・チャネル (TXDSC/RXDSC) におけるトランスミッタ・チャネル配置およびクロッキングは、2 UI の最大トランスミッタ・レーン間スキュー仕様が満たされることを保証します。

ソースおよびシンク・デバイス間のインタコネクは、最大 3 UI までのレーン間スキューを追加して、レシーバ入力ピンでのレーン間スキューを合計 5 UI にすることがあります。加えて、図 8 に示した SFI-5.1 レシーバ・チャネル実装は最大 16 UI までのレーン間スキューを追加することがあります。FPGA ファブリックにデスキュー・コントローラを実装することにより、インターコネク・スキュー、およびレシーバ・チャネルによって追加されたスキューの両方が許容されます。

FPGA ファブリック - トランシーバ間インタフェースのクロッキング

次の項では、SFI-5.1 リンク実装について、推奨される FPGA ファブリック - トランシーバ間インタフェースのクロッキングを提供します。

- 「FPGA ファブリック - トランスミッタ間インタフェースのクロッキング」
- ページ 14 の「FPGA ファブリック - レシーバ間インタフェースのクロッキング」

FPGA ファブリック - トランスミッタ間インタフェースのクロッキング

図 8 に、SFI-5.1 実装用の推奨される FPGA ファブリック - トランスミッタ間インタフェースのクロッキング方式を示します。

図 8. SFI-5.1 実装用の推奨される FPGA ファブリック - トランスミッタ間インタフェースのクロッキング

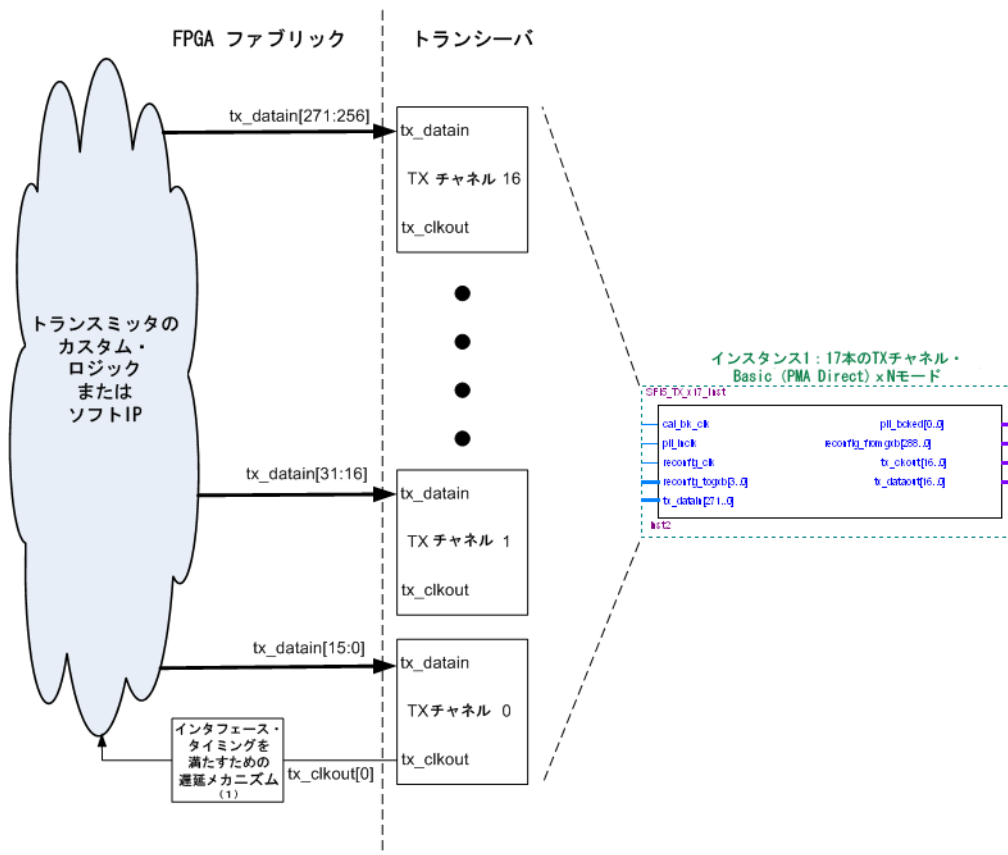


図 8 の注：

- (1) -3 と -4 のスピード・グレードの Stratix IV GX デバイスを使用する場合は、インタフェース・タイミングを満たすために、FPGA ファブリック - トランスミッタ間インタフェース・クロックに若干の位相シフトが必要とされる場合があります。

図 8 に示すとおり、インスタンス 1 は、SFI-5.1 リンクを形成する 17 本のトランスミッタ・チャンネルごとに tx_clkout 信号を提供しています。17 本の tx_clkout のいずれかを使用して、パラレル・トランスミッタ・データを tx_datain にドライブするカスタム・ロジックまたはソフト IP に、クロックを供給することができます。図 8 に示したクロッキング方式の例では、tx_clkout [0] がこの目的のために使用されます。

FPGA ファブリックとトランスミッタ・チャンネル間のインタフェース・タイミング要件を満たすには、カスタム・ロジックまたはソフト IP にクロックを供給する FPGA ファブリック - トランスミッタ・インタフェース・クロック tx_clkout にくつかの位相シフトを導入する必要がある場合があります。この位相シフトは、-3 および -4 のスピード・グレードの Stratix IV GX デバイスで、それぞれのデータ・レートが 2.88 Gbps 以上および 2.56 Gbps 以上の場合にのみ必要とされます。

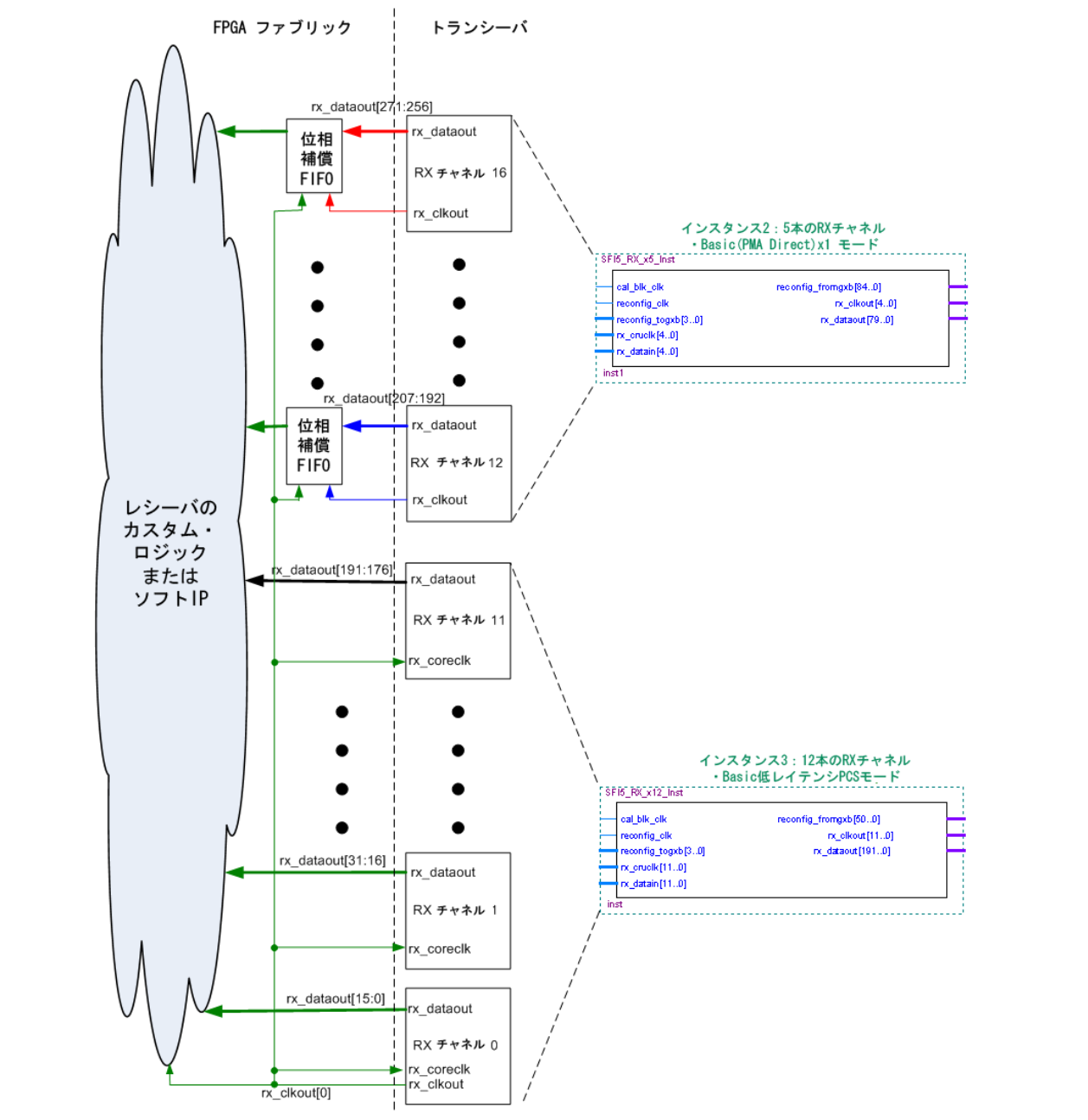
必要な遅延メカニズムについて詳しくは、「AN 580: Achieving Timing Closure in Basic (PMA Direct) Functional Mode」を参照してください。

FPGA ファブリック - レシーバ間インタフェースのクロッキング

インスタンス 2 およびインスタンス 3 によってインスタンス化された 17 本の SFI-5.1 レシーバ・チャンネルは、それぞれ FPGA ファブリックに復元クロック `rx_clkout` 信号を提供します。17 本の `rx_clkout` 信号のいずれかも、FPGA ファブリック内のレシーバ側のカスタム・ロジックまたはソフト IP にクロックを供給するのに使用できます。自身の復元クロックと、カスタム・ロジックまたはソフト IP に供給するクロックの間の位相差を補償するためには、各チャンネルに位相補償 FIFO が必要です。

図 9 に、SFI-5.1 リンク実装用の推奨される FPGA ファブリック - レシーバ間インタフェースのクロッキングを示します。

図 9. SFI-5.1 実装用の推奨される FPGA ファブリック - レシーバ間インタフェースのクロッキング



17本のSFI-5.1レシーバ・チャンネルの5本はインスタンス2によってBasic(PMA Direct)にコンフィギュレーションされています。これらの5本のチャンネルには位相補償FIFOがないため、図9に示すように、これらの5本のチャンネルごとに位相補償FIFOを実装する必要があります。

残りの12本のチャンネルは、インスタンス3によって低レイテンシPCSデータパス付きのBasicモードにコンフィギュレーションされています。これらの12本のチャンネルのレシーバPCSにある位相補償FIFOは、自身の復元クロックと、カスタム・ロジックまたはソフトIPにクロックを供給するクロックの間の位相差を補償するのに使用されます。これを実現するには、インスタンス3でのrx_coreclkポートを

イネーブルにして、カスタム・ロジックまたはソフト IP にクロックを供給する rx_clkout 信号によって各 rx_coreclk ポートをドライブする必要があります (図 9 を参照)。また、この FPGA ファブリック - レシーバ間インタフェースのクロッキング用の推奨方式を使用するとき、次の Quartus II アサインメントを作成する必要があります。


表 1. SFI-5.1 実装用の推奨される FPGA ファブリック - トランスミッタ間インタフェースのクロッキング

変数	値
From	カスタム・ロジックまたはソフト IP にクロックを供給する rx_clkout 信号
To	インスタンス 3 にある全 12 本のチャネルの rx_datain ピン
Assignment Name	GXB 0 PPM Core Clock Setting
Assignment Value	On

SFI-5.1 インタフェース・クロック信号の実装

SFI-5 プロトコルによると、システム・ツー・オプティックの方向でのソース・デバイスは、TXDATA[15:0] および TXDSC 信号に周波数ロックされた送信データ・クロック (TXDCK) 信号を生成します。また、このプロトコルによると、システム・ツー・オプティックの方向でのソース・デバイスが RXDATA[15:0] および RXDSC 信号に周波数ロックされた受信データ・クロック (RXDCK) 信号を生成します。このプロトコルは、TXDCK と TXDATA 信号間の関係、または RXDCK と RXDATA 信号間の関係を指定していません。

また、SFI-5 プロトコルによると、システム・ツー・オプティックの方向でのシンク・デバイスはオプションで送信クロック・ソース (TXCKSRC) を作成してソースデバイスに転送することが可能です。シンク・デバイスが TXCKSRC 信号をソース・デバイスに転送する場合、ソース・デバイスはそれを自身のトランスミッタ PLL の入力基準クロックとして使用しなければなりません。

 SFI-5 プロトコルによると、TXDCK、RXDCK、および TXCKSRC 信号の周波数はデータ・レートの 1/4 に指定されますが、これらのクロック信号は通常データ・レート周波数の 1/8 または 1/16 に実装されます。

TXDCK、RXDCK、および TXCKSRC 信号に対して、デバイスの左側または右側のロウ I/O バンクにある LVDS I/O を使用することが推奨されています。システム・ツー・オプティックの方向での SFI-5.1 リンクに対しては、インスタンス 1 からの tx_clkout [0] 信号によって、TXDCK に割り当てられた LVDS ロウ I/O をドライブします。オプティック・ツー・システムの方向での SFI-5.1 リンクに対しては、インスタンス 1 からの tx_clkout [0] 信号によって、RXDCK および TXSRC に割り当てられた LVDS ロウ I/O をドライブします。tx_clkout [0] 信号は、データ・レートの 1/16 の周波数で動作します。

SFI-5.1 非同期レシーバ・ステータス信号の実装

SFI-5 プロトコルによると、オプティック・ツー・システムの方向でのソース・デバイスが非同期レシーバ・ステータス (RXS) 信号を生成します。ソース・デバイスはこの信号をアサートして、RXDCK および RXDATA がオプティカル受信信号から生成されたものではないことをシンク・デバイスに示します。

アルテラでは、ロウまたはカラム I/O バンク内の任意のユーザー I/O ピンを使用して、そのユーザー I/O ピンに LVCMOS 規格を割り当てるのが推奨されています。

まとめ

このアプリケーション・ノートでは、Stratix IV GX および Stratix IV GT デバイスにおける 40 Gbps システム用の SFI-5.1 リンクについて、アルテラ推奨の実装を説明します。

参考資料

このアプリケーション・ノートでは、以下のドキュメントを参照しています。

- *Optical Internetworking Forum*, OIF-SFI5-01.02, 2002 年 1 月
(www.oiforum.com) 「Serdes Frammer Interface Level 5 (SFI-5): Implementation Agreement for 40Gb/s Interface for Physical Layer Devices」

改訂履歴

表 2 に、このアプリケーション・ノートの改訂履歴を示します。

表 2. 改訂履歴

日付およびドキュメント・バージョン	変更内容	概要
2009 年 6 月 v1.0	初版	—



101 Innovation Drive
San Jose, CA 95134
www.altera.com
Technical Support
www.altera.com/support

Copyright © 2009 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before

