

はじめに

電力を節約するために、非アクティブ期間中にハイバネーション・モードに MAX[®] II CPLD を完全にパワーダウンすることができます。レジスタ・データを維持している間、CPLD は自動的にパワーダウン可能であり、そして、システムがタスクを実行するために CPLD を必要とする場合、システムに再びパワーアップさせることができます。

このアプリケーション・ノートでは、電源が特定の定義済みのアイドル期間の後に遮断される前の MAX II レジスタのデータが自動的に格納されているシステム例について説明します。また、システムは、再びパワーアップされたときに、データが自動的にレジスタに再ロードされます。

デザイン例の説明

このアプリケーション・ノートでは、システム例は、セルフ・パワーダウン・システムで MAX II デバイスの能力を示しているために作成されました。レジスタのデータは、システムの動作がパワーダウンで影響を受けないことを保証するために保持されます。このシステム例は、いくつかの外部ハードウェア回路だけでなく、MAX II デバイス自体のデザインで構成されています。ハードウェア回路と CPLD のデザインは、セルフ・パワーダウン・システムを成功させるために連携して動作します。

このアプリケーション例では、4 ビットのバイナリ・アップカウンタは MAX II CPLD が定義済みの動作していない期間の後にパワーダウンされたとき、カウンタのデータを保持する必要があるユーザーのアプリケーション・モジュールです。電源投入時に、データはカウンタのレジスタに再ロードされるので、カウント動作は、以前の値から再開します。

カウンタにプッシュ・ボタンでトリガ信号（この例では、低パルス）を供給することによって、カウント値が 1 ずつ増加します。カウンタは、固定期間の後にトリガ信号を受信しない場合、デザインが外部回路をトリガして MAX II デバイスをパワーダウンする前に、ユーザー・フラッシュ・メモリ (UFM) にカウント値を自動的に格納します。

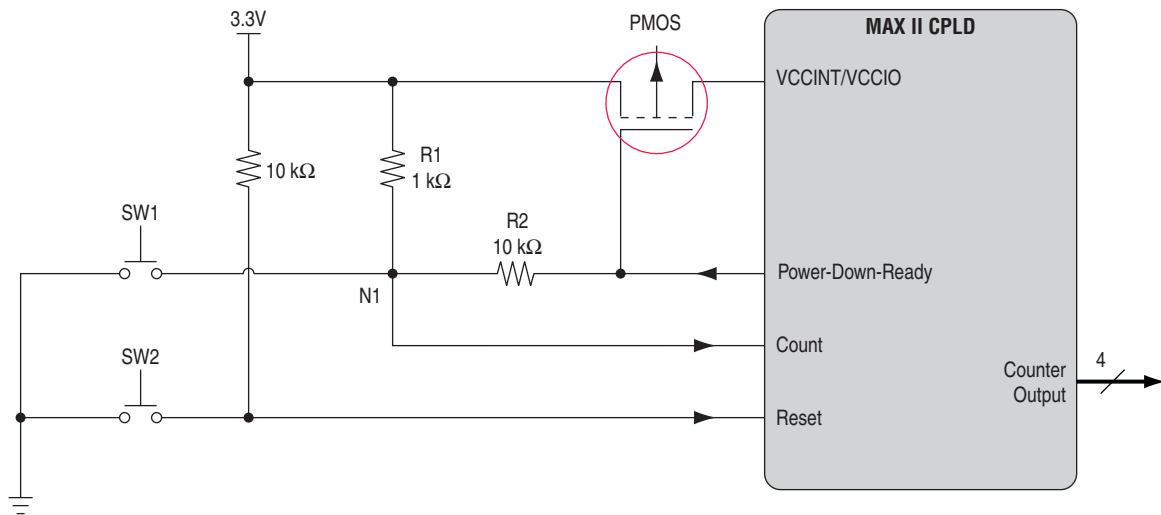
次のトリガ信号は、カウントを増加して受信される際に、デバイスが自動的にパワーアップされます。デザインは、UFM 内の正しい位置からデータを読み戻して、カウンタのレジスタを再ロードします。カウント値がリードバック・データから 1 ずつ増加されます。

また、カウント値をクリアするリセット・ボタンを押して、カウンタをリセットすることができます。

外部ハードウェア回路

MAX II CPLD の外の回路は、MAX II デバイスへの電源供給だけでなく、カウンタへの入力を制御するために使用されています。図 1 に、外部回路を示します。

図 1. 外部ハードウェア回路




P チャネル MOSFET は、MAX II デバイスへの電源供給を制御するために使用されています。P チャネル MOSFET のゲートは、低電圧レベルにある場合、トランジスタは、電流が電源から MAX II デバイスに流れるようにオンになっています。トランジスタのゲートは、高電圧レベルの場合、トランジスタがオフになり、MAX II デバイスはパワーダウン状態になっています。電源がパワーダウンされている場合、1 k Ω のプルアップ抵抗 R1 によって実際は MAX II デバイスの I/O ピンがドライブ・アウトしないし、プッシュボタン SW が押されるまで、P チャネル MOSFET はオフになっています。これにより、トランジスタのゲートで低い電圧レベルが発生して、トランジスタが再び MAX II デバイスをパワーアップすることができます。


MAX II デバイスは、(最大 450 μ s) パワーアップされた後、ユーザー・モードに入ると、MAX II デバイスは、プッシュボタン SW1 がリリースされていても、連続動作を可能にするために、Power-Down-Ready の出力ピンを通して MOSFET のゲートを Low にドライブします。MAX II デバイスは、カウンタが定義済みの期間にアクティブでないことが検出された場合、デバイスは Power-Down-Ready 出力ピンを High にドライブして、MOSFET をオフにします。その結果、CPLD をセルフ・パワーダウンします。

また、プッシュボタン SW1 は、カウント値をインクリメントするために使用されます。カウントをインクリメントするだけでなく、デバイスをパワーアップするための単一のプッシュボタンを使用します。そして、カウントをインクリメントするときに、デバイスがパワーダウンされるかどうかを知る必要はありません。

デバイスは、カウント値をインクリメントするのにトリガとして低パルスを認識します。抵抗 R1 と R2 は電圧ディバイダとして使用されています。MAX II デバイスは、MOSFET のゲートを Low にするよう強制しても (Power-Down-Ready 出力ピンを使用する)、ノード N1 を High に認識する入力ピンのために、入力ピン Count に接続するノード N1 はまだ $V_{IH(min)}$ よりも高い電圧があります。また、電圧レベルは Low として認識されるように、 $V_{IL(max)}$ 以下である必要があるため、プッシュボタン SW1 が押されたら、カウント動作をすることができます。

カウンタがゼロから始まるには、プッシュボタン SW2 を使用して、カウンタをリセットします。

 説明されている外部のハードウェア回路が V_{CCINT} と V_{CCIO} に対して同じ 3.3 V 電源を使用しています。外部ハードウェア回路への修正は、 V_{CCIO} が V_{CCINT} と異なるレベルにあることを必要とするデザインに必要です。

 MAX II デバイスは完全にホット・ソケット機能をサポートするに対して、デバイスがパワーダウンされたとき、 V_{CCINT} および V_{CCIO} ピンがグランドに接続する必要があります。

MAX II CPLD における Quartus II デザイン

このデザインは 4 つのモジュールで構成されます。

- 4 ビットのバイナリ・アップ・カウンタ
- データ・コントローラ
- タイマー
- UFM のインスタンス化モジュール


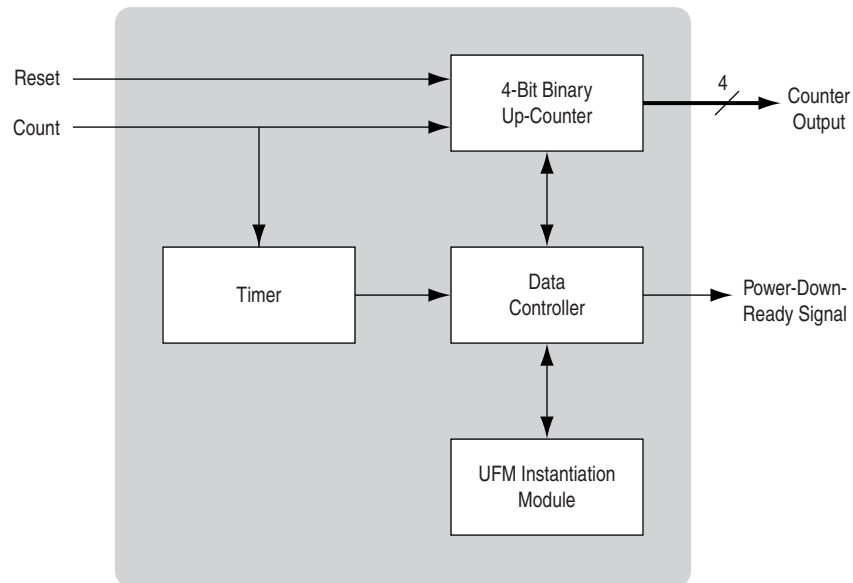
 2 に、デザイン内のモジュールを示します。デザインは Quartus II ソフトウェアで作成されます。

図 2. デザイン内のモジュール



4 ビットのバイナリ・アップ・カウンタ

4 ビットのバイナリアップ・カウンタは、0 の 4 ビットから 1 の 4 ビットに数えるユーザーのアプリケーション・モジュールです。デバイスの Reset および Count 入力ピンは、カウンタの入力・ポートに移動しますが、カウンタの出力は、4 つの出力ピンに移動します。Count 入力ピンへのすべての低パルスは、カウント値を 1 つずつインクリメントします。カウント値が最大値 (1 の 4 ビット) に達成すると、Count 入力ポートへの次の低パルスがカウント値を 0 の 4 ビットにリセットします。すべてゼロにカウント値をリセットするには、Reset 信号をアサートします。

データ・コントローラ

データ・コントローラは、デバイスが定義済みの期間にアクティビティがないことを表すタイマーからの信号を受信する場合、コントローラは自動的にカウンタからデータを読み出して、UFM にデータを書き込みます。タスクの完了時に、データ・コントローラは、外部回路に対してデバイスをパワーダウンするために、Power-Down-Ready 信号を High にアサートします。

デバイスがパワーアップするときに、データ・コントローラは自動的にカウンタからのデータが格納されている UFM 内の位置に移動します。そして、デバイスが再びパワーダウンする前に、データを読み戻します。次に、コントローラは、データでカウンタのレジスタを再ロードします。

データ・コントローラは、アルテラの独自のインタフェース・プロトコルを使用して UFM をインスタンス化するモジュールとインタフェースします。コントローラは、毎回デバイスがパワーダウンされる前に、UFM の空白の位置にデータを書き込みます。そして、デバイスがパワー・バック・アップされたとき、正しい位置からデータを読み出します。

コントローラは、データを格納する目的のための UFM のセクタ 0 にあるほぼすべてのアドレスを使用します。消去動作が完了するには、追加の時間がかかるので、UFM セクタが満杯になったときに、コントローラは自動的にそのセクタを消去します。コントローラは、データの格納と取得のための UFM 内の位置を決定する方法の詳細については、「[ユーザー・フラッシュ・メモリのデータ保存と検索方法](#)」セクションで説明しています。

タイマー

タイマーは MAX II CPLD がパワーダウンされる前に、許可されている最大のアイドル時間を決定します。タイマーは、最上位ビット (MSB) 信号が UFM にカウンタ・データを保存して、CPLD をパワーダウンするプロセスをトリガするために使用されるカウンタです。カウンタの幅によって、待ち時間を決定します。待ち時間 (T) は例 1 に示されています。

例 1.

$$T = \frac{2^n}{2 \times f}$$

ここで:

- (1) n はカウンタの幅
- (2) f はカウンタをクロックする内部オシレータの周波数 (標準は 5 MHz)

長い待ち時間のために、カウンタの幅を増やしてください。4 ビットのバイナリ・アップカウンタをインクリメントするプッシュボタンからの信号は、実際にタイマーをリセットして、CPLD をパワーダウンされることを防ぎます。このデザイン例では、カウンタの幅が 26 ビット幅であるので、待ち時間は約 7 秒です。

タイマーは、ロジック・エレメント (LE) 使用量を減らすために、他の外部コンポーネントを使用して、MAX II デバイスの外部で実装することができます。

ユーザー・フラッシュ・メモリのインスタンス化モジュール

このモジュールは、デバイスの UFM をインスタンス化し、また、UFM ですべての通信は、このモジュールが実行されます。このモジュールは、Quartus II Megawizard® Plug-In Manager で作成されたアルテラのシリアル・インタフェース・メガファンクション (ALTUFM_NONE メガファンクション) です。データ・コントローラは、このファンクションのインタフェース・プロトコルに基づいて作成されます。

UFM には、2つのセクタで構成されています。デザイン例では、データ・ストレージ目的のために UFM のセクタ 0 のみを使用します。UFM のセクタ 1 は、他のユーザー・データを格納するために使用することができます。セクタ 0 を消去することは、セクタ 1 のデータに影響しません。

このファンクションを使用して、MAX II の内部オシレータを利用することができます。デザインの他のモジュールは、クロック・ソースとしてオシレータの出力を使用しています。オシレータ出力の周波数は 3.3 MHz と 5.5 MHz の間です。



ALTUFM_NONE メガファンクションについては、「[ALTUFM Megafunction User Guide](#)」および「MAX II デバイス・ハンドブック」の「[Using User Flash Memory in MAX II Devices](#)」の章を参照してください。

ユーザー・フラッシュ・メモリのデータ保存と検索方法

デザインはデバイスがパワーダウンされる前に、UFM にデータを書き込みます。そして、デバイスが再びパワーアップされたとき、UFM からのデータを読み戻します。課題は、デザインがどの UFM の位置またはアドレスにデータを書き込む必要であるかを決定することです。そして、パワーアップ時に、同じアドレスに戻って、データを読み戻すことができます。

消された UFM には、コンテンツとしてすべては 1 があります。UFM にデータを書き込む場合、データは UFM 内の既存のデータと「AND」されます。つまり、ゼロは 1 がある位置に書き込まれている場合、コンテンツが 0 になります。1 が 1 のある位置に書き込まれている場合、コンテンツは 1 のままです。

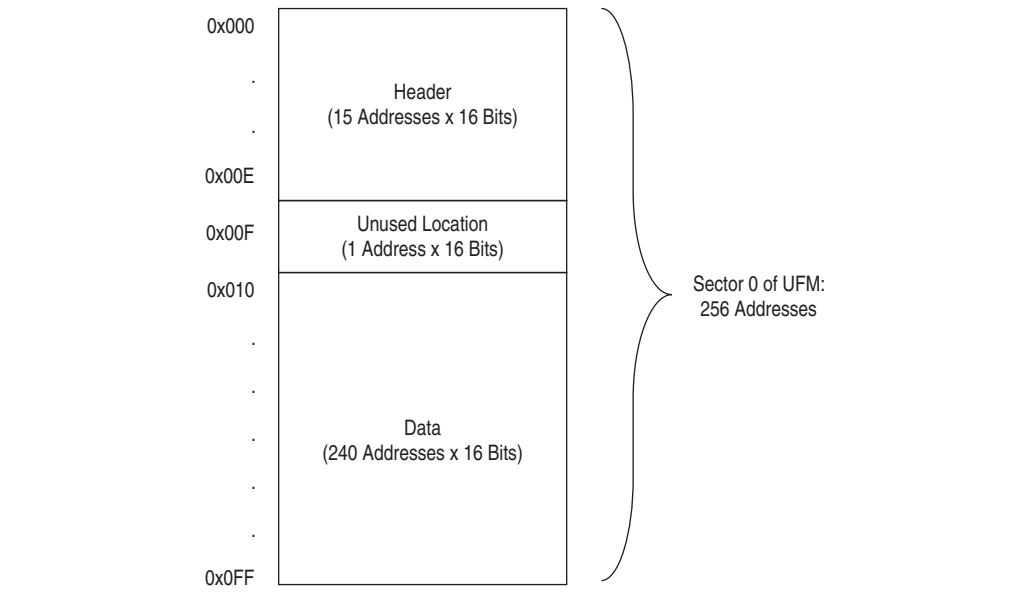
コンテンツが 0 になるとき、UFM のセクタ全体が消去される場合を除いて、再びその位置に 1 を書き込むことはできません。

あるいは、コントローラは、データ・ストレージ用に UFM で 1 つのアドレスのみを使用します。毎回 デバイスはパワーダウンされる前に、コントローラは、UFM の固定アドレスにデータを書き込みます。そして、デバイスがパワーアップされたとき、コントローラはアドレスに直接移動して、データを読み戻します。同じアドレスを使用することにより、アドレスがデザインでハード・コード化することができます。このように、デザインはシンプルになっています。しかし、一つの欠点は、毎回書き込み動作を実行する前に、新しいデータがそこに書き込まれる前に、UFM のセクタ全体を消去する必要があります。消去時間が長くなることに対して、動作は遅くなります（読み出しまたは書き込み動作の時間と比較）。

MAX II CPLD は SRAM ベースであるため、フラッシュ・メモリに格納されていないすべてのデータはパワー・サイクルが発生したときに失われます。データは安全に UFM に格納されていますが、デバイスはデータが格納される UFM での位置を覚える方法が全くありません。UFM 内のすべてのアドレスの検索は時間がかかり、実際にどのデータが UFM に書かれた最新のデータであるかをコントローラに教えません。

このアプリケーションでは、新しいメソッドが使用されています。UFM のセクタ 0 から合計 256 のアドレスの中で 1 つのアドレスだけを使用する代わりに、このメソッドは、データ・ストレージのための 240 のアドレス、そしてヘッダー情報を保存するのに別の 15 のアドレスが使用されます。図 3 に、UFM の内のアドレスが使用されている方法を示しています。

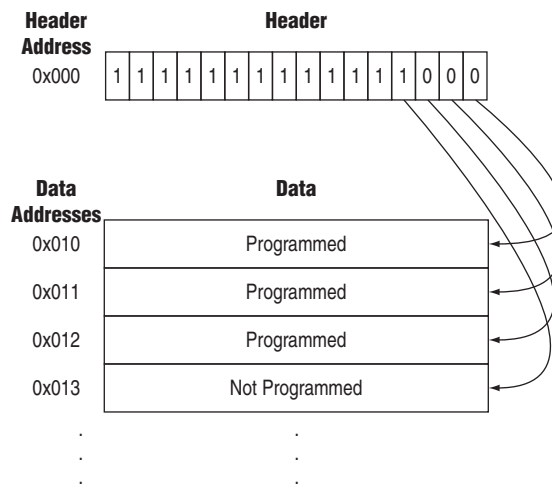
図 3. ヘッダーおよびデータ・ストレージに使用される UFM 内のアドレス



ヘッダー・セクションは、コントローラが書き込まれる最新のアドレスを追跡するために使用されています。パワーアップの時に、コントローラは、デバイスがパワーダウンされる直前に、データの格納された位置を決定するためにのみヘッダー・セクションをチェックします。ヘッダー・セクションはアドレス 0x000 ~ 0x00E に及びます (合計 15 のアドレス)。

ヘッダー・セクション内の各ビットは、データ・セクション内の 1 つのアドレスのデータの有効性を表しています。アドレス 0x000 の最下位ビット (LSB) であるヘッダー・セクションの最初のビットは、データ・セクションのアドレス 0x010 などを表します。ヘッダー・ビットが 0 である場合、データ・セクションのアドレスは、有効なデータが含まれていることを意味します。ヘッダー・ビットが 1 のとき、データ・セクションのアドレスが空白であることを意味します。図 4 に、ヘッダー・セクションとデータ・セクションの関係を示しています。

図 4. ヘッダー・セクションとデータ・セクション

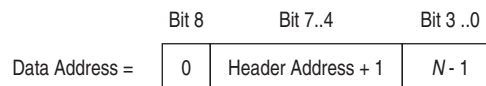


パワーアップの時、コントローラはヘッダーのアドレスを1つずつ読み出します。データは、各アドレスのアドレス 0x000 ~ 0x015 (LSB から MSB) にデータ・セクションのアドレスに順次書き込まれます。コントローラは、ヘッダー・セクションの 0 の数に基づいて、データ・セクションにおける使用されるアドレスの数を認識しています。

コントローラは、特定のヘッダー・アドレスの MSB が 0 であることを識別する場合、それはヘッダー・アドレスに 0 の 16 ビットが含まれていることを認識して、次のヘッダーのアドレスから読み出しに進みます。コントローラは、ヘッダー・アドレスの MSB が 1 であることを識別する場合、コントローラは次に、データが格納されている正確な位置を確認するために、ヘッダー・アドレスの 0 数をチェックに進みます。ただし、ヘッダー・アドレスのデータがすべて 1 の場合、コントローラは、以前のヘッダー・アドレスがすべて 0 のことを認識しています。

ヘッダー・セクションをチェックすることにより、コントローラは、デバイスがパワー・ダウンされる前にデータが格納されている正確な位置を決定することができます。図 5 に、コントローラは、ヘッダー・ビットからの情報に基づいて、データを読み取るために、コントローラのデータ・アドレスを取得する方法を示しています。N はヘッダー・アドレスの 0 の数であり、コントローラによって最後に読み出されます。

図 5. データ・アドレス



デバイスがパワーダウンされたとき、コントローラは、次の空白のデータ・アドレスにカウンタ・データを書き込みます。そして、以降のヘッダー・ビット位置に 0 を書き込みます。UFM セクタがフルである場合、コントローラは、データ・セクションの最初のアドレスにデータを書き込む前に、セクタを最初に消去します。次に、ヘッダー・セクションの最初のビットに 0 を書き込みます。

ヘッダー・データを使用する利点は、次のとおりです。

- コントローラは、正しいデータを探し出すために、UFM のセクタ 0 にあるすべてのアドレスを検索する必要はありません。ヘッダー・セクションでは、UFM のセクタ 0 に合計 15 のアドレスのみを占有します。さらに、コントローラは、最新のデータが配置されている場所を決定するために、15 以上のアドレスを検索する必要はありません。
- ヘッダーは、特定の場所にあるデータの有効性をコントローラに示します。アドレスに書き込まれたデータは、偶然にすべて 1 の場合、UFM の消去はアドレスのすべてのデータをすべて 1 に設定するので、アドレスは空白になっていることが表示されます。この例では、ヘッダー・ビットは、データが有効であることを示しています。

まとめ

デザイン例では、アイドル期間の後のセルフ・パワーダウンをする前に、非揮発性 UFM にレジスタ・データを格納するための MAX II CPLD の機能を示します。また、パワーアップ後の動作をすぐに再開するために、UFM からのデータを読み戻して、デバイスのレジスタを再ロードします。ハイバネーション・モードに CPLD を置くためのメソッドは、このアプリケーション・ノートで説明されます。

参考資料

このアプリケーション・ノートでは、以下のドキュメントを参照しています。

- 「ALTUFM Megafunction User Guide」
- 「MAX II デバイス・ハンドブック」の「Using User Flash Memory in MAX II Devices」の章

改訂履歴

表 1 に、このアプリケーション・ノートの改訂履歴を示します。

表 1. 改訂履歴

日付およびバージョン	変更内容	概要
2009 年 1 月 v.1.0	初版	—



101 Innovation Drive
San Jose, CA 95134
www.altera.com
Technical Support
www.altera.com/support

Copyright ©January 2009. Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



I.S. EN ISO 9001