

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

2009年5月 v1.1

AN 519

## はじめに


アルテラの Stratix® IV FPGA は、ハイエンド・アプリケーション向けにブレークスルー的なシステム帯域幅と電力効率を提供し、妥協のない技術革新を実現します。

高集積、高性能 Stratix IV デザインのデザイン・プロセス全体を通して、アルテラの推奨事項に従うことが重要です。デザインを成功させるには、デザイン・プロセスの早期に FPGA とシステムを計画することが不可欠です。本資料では、使いやすいガイドラインを提供し、Stratix IV デザインで考慮すべき要素について説明しますが、製品資料の詳細が全部含まれるわけではありません。詳細な仕様、デバイスの機能説明、およびその他のガイドラインが記載されたその他の文書への参照を示しています。Stratix IV デバイスのアーキテクチャ、およびデザインで使用する Quartus® II ソフトウェアおよびサードパーティ・ツールの機能について説明します。

本資料に示すガイドラインに従うと、生産性が向上し、デザインでよく発生する誤りを回避することができます。本資料では、表 1 に示すとおり、各ステージが一般的に実行される順序でデザイン・フローのさまざまなステージについて説明します。61 ページの「デザイン・チェックリスト」を使用して、各ガイドラインに従っていることを確認できます。

表 1. デザイン・フローのステージの要約およびガイドライン・トピック

デザイン・フローのステージ	ガイドライン・トピック
2 ページの「システム仕様」	デザイン仕様のプランニング、IP の選択
4 ページの「デバイスの選択」	デバイス情報、デバイス種類およびデバイス集積度の決定、パッケージ、マイグレーション、HardCopy ASIC、スピード・グレード
8 ページの「早期システムおよびボード・プランニング」	早期消費電力見積もり、放熱管理オプション、コンフィギュレーション手法のプランニング、オンチップ・デバッグのプランニング
17 ページの「ボード・デザインにおけるピン接続の検討事項」	パワーアップ、電源ピン、PLL 接続、ディカップリング・コンデンサ、コンフィギュレーション・ピン、シグナル・インテグリティ、ボード・レベル検証
27 ページの「I/O およびクロックのプランニング」	ピン・アサインメント、早期ピン・プランニング、I/O 機能および接続、メモリ・インタフェース、クロックおよび PLL 選択、SSN
42 ページの「デザイン・エントリ」	コーディング・スタイルおよびデザイン推奨事項、SOPC Builder、階層およびチーム・ベース・デザインのプランニング
47 ページの「デザインの実装、解析、最適化、および検証」	合成ツール、デバイス使用率、メッセージ、タイミング制約および解析、面積およびタイミングの最適化、コンパイル時間、検証、費電力解析および最適化

 Stratix IV デバイス・アーキテクチャの詳細資料は、「[オンライン資料：Stratix IV デバイス](#)」ページを参照してください。エンジニアリング・サンプル (ES) デバイスに関するデバイス・エラーラットについて、「[Stratix IV GX ES Errata Sheet](#)」および「[Stratix IV GT ES1 Errata Sheet](#)」を参照してください。Stratix IV FPGA に関連する最新のテクニカル情報については、「[Knowledge Database](#)」を参照してください。

## システム仕様

Stratix IV デバイスが搭載されたシステムでは、FPGA は通常システム全体において大きな役割を果たし、システム・デザインの他の部分に影響を与えます。デザイン・プロセスを開始するには、システムおよび FPGA に対して詳細なデザイン仕様を作成することによって、システムの他の部分に FPGA の入力および出力インタフェースを決定しなければなりません。

## デザイン仕様の作成

ロジック・デザインを作成したり、システム・デザインを完成させる前に、システムの定義、FPGA における I/O インタフェースの指定、異なるクロック・ドメインの識別、および基本デザイン機能のブロック図を含める詳細なデザイン仕様が必要です。IP (Intellectual Property) ブロックを含めるための推奨事項については、「[IP の選択](#)」を参照してください。これらの仕様を作成することにより、デザイン効率が向上します。ただし、多くの場合、この段階はスキップされてしまいます。

- 詳細なデザイン仕様を作成し、また、該当する場合はテスト・プランも作成。
- ブロック図を用いて、早期にクロック・ドメイン、クロック・リソース、および I/O インタフェースを計画。

チームがシステムの検証方法を知ること確保するために、機能検証プランを作成します。また、この段階でテスト・プランを作成すると、DFT (Design-For-Testability) および DFM (Design-For-Manufacturability) も容易になります。例えば、ビルトイン・セルフ・テスト機能を実行して、インタフェースをドライブするのならば、それは、FPGA デバイス内で Nios®II プロセッサとともに UART インタフェースを使用することによりできます。すべてのデザイン・インタフェースを検証する能力が必要とされる場合もあります。システムに実装されたデバイスの解析およびデバッグに関連するガイドラインについては、[15 ページの「オンチップ・デバッグのプランニング」](#)を参照してください。

デザインに複数の設計者が携わっている場合、共通のデザイン・ディレクトリ構造を使用することも得策です。これによって、デザインの統合ステージが容易になります。[45 ページの「階層およびチーム・ベース・デザインのプランニング」](#)に、チーム・ベースのデザインに関するより詳細な提案が記載されています。

## IP の選択

アルテラおよびアルテラのサードパーティ IP (intellectual property) パートナは、アルテラのデバイスに対して最適化された標準 IP コアを多数提供しています。これらのパラメータ化された IP ブロックはデザインに容易に実装でき、システムの実装時間と検証時間が短縮されるため、ユーザーは独自特色の追加に集中することができます。

- システム・デザイン、特に I/O インタフェースに影響を与える IP を選択。
- IP に Open Core PlusTethered モードを使用する場合は、ボード・デザインでこの動作モードがサポートされていることを確認。

IP の選択は、しばしばシステム・デザイン、特にシステム内の FPGA が他のデバイスとインタフェースする部分に影響を与えます。システム・デザイン内のどの I/O インタフェースまたは他のブロックが IP コアを使用して実装できるかを検討し、これらのコアを FPGA デザインに組み込むようプランニングします。

多くの IP コアで利用可能な OpenCore Plus 機能により、IP ライセンスを購入する前に FPGA をプログラムして、ハードウェアでデザインを検証することができます。評価版は、デザインを一定時間実行できる Untethered モード、または Tethered モードをサポートしています。Tethered モードでは、ハードウェア評価期間に、ボード上の JTAG ポートおよび Quartus II Programmer を実行するコンピュータの間には、アルテラのシリアル JTAG ケーブルで接続する必要があります。



提供されている IP コアの説明は、アルテラ・ウェブサイトの製品情報の IP (Intellectual Property) ページを参照してください。

## SOPC Builder

SOPC Builder は、プロセッサ、ペリフェラル、およびメモリで構成されるシステムを作成するためのシステム開発ツールです。SOPC Builder の GUI においてシステム・コンポーネントを指定すると、SOPC Builder は自動的にインタコネクト・ロジックを生成します。SOPC Builder は、システムのすべてのコンポーネントを定義する HDL ファイルおよびすべてのコンポーネントをまとめて接続するトップレベルの HDL デザイン・ファイルを出力します。

SOPC Builder は、一般に Nios II プロセッサをベースとするシステムを作成するためのツールとして使用されます。ただし、実際には SOPC Builder は、プロセッサの有無に関係なく任意の SOPC デザインを作成するための汎用ツールです。SOPC Builder コンポーネントは、コンポーネントの物理的接続に Avalon インタフェースを使用しており、ユーザーは SOPC Builder を使用して Avalon インタフェースを備えた任意の論理デバイス（オンチップまたはオフチップ）を接続できます。Avalon Memory-Mapped インタフェースでは、コンポーネントがアドレス・マップド・リード/ライト・プロトコルを使用できるため、これによりマスタ・コンポーネントを任意のスレーブ・コンポーネントに接続する柔軟なトポロジーを備えています。Avalon Streaming インタフェースは、ソース・ポートとシンク・ポート間の高速かつ双方向性なシステム・インタコネクトによって、データを送受信するストリーミング・コンポーネント間のポイント・ツー・ポイント接続を可能にします。

5.  システム・デザインおよびプロセッサ・デザインに SOPC Builder を活用。




Avalon インタフェースについて詳しくは、[「Avalon Interface Specifications」](#) マニュアルを参照してください。

生産性向上のための SOPC Builder の使用については詳しくは、アルテラ・ウェブサイトの[資料 : SOPC Builder](#) のページを参照してください。

## デバイスの選択

この項では、Stratix IV デザイン・プロセスにおける最初のステップ、すなわちデザインの要件に最適なデバイス・ファミリ、デバイス集積度、機能パッケージおよびスピード・グレードを選択することについて説明します。FPGA か HardCopy ASIC マイグレーション・デバイスかをターゲットにするのも考慮すべきことであり、この項では説明されています。

6. □ トランシーバ、I/O ピン数、LVDS チャネル、パッケージの種類、ロジック / メモリ / 乗算器の集積度、PLL、クロック配線、およびスピード・グレードに基づいて、デバイスを選択。

 ロジック、メモリ・ブロック、乗算器、PLL (Phase-Locked Loop) などの各デバイス集積度で提供される機能、またはパッケージの種類および I/O ピン数について詳しくは、「Stratix IV デバイス・ハンドブック Volume 1」の「Stratix IV デバイス・ファミリの概要」の章を参照してください。

## デバイス・ファミリの種類および高速トランシーバ

Stratix IV デバイス・ファミリは、異なるアプリケーションの要件に対応する 3 種類のタイプで提供されています。Stratix IV は、最大 8.5 Gbps の性能を持つ全二重クロック・データ・リカバリ (CDR) ベース・トランシーバを備えているトランシーバ・ベース FPGA です。Stratix IV GT デバイスは最大 11.3 Gbps のトランシーバを提供し、そして Stratix IV E デバイスは強化したロジック集積度を提供しています。アプリケーションが 8.5 ~ 11.3 Gbps の高速トランシーバを要する場合は、GT デバイスを選択します。最大 8.5 Gbps までのトランシーバを要する場合、GX デバイスを選択します。それ以外の場合は、E デバイスを選択して向上したロジック集積度を得ます。

Stratix IV GX FPGA は、600 Mbps ~ 8.5 Gbps のデータ・レートで PCS および PMA をサポートする 8 ~ 32 本の全二重トランシーバ・チャネル、および 600 Mbps ~ 3.2 Gbps のデータ・レートで PMA のみをサポートする追加全二重トランシーバを備えています。また、これらのデバイスでは 1 ~ 4 個の PCI Express ハード IP ブロックが含まれています。Stratix IV GT FPGA は最大 11.3 Gbps のトランシーバを最大 24 個備え、そして高集積なモデルは 1 個の PCI Express ハード IP ブロックを備えています。アプリケーションに十分なトランシーバをサポートするデバイス集積度およびパッケージを選択します；集積度とパッケージ・ピン数が高いほど、より多くのトランシーバおよび PCI Express ブロックが提供されます。

## ロジック、メモリ、および乗算器の集積度

Stratix IV デバイスは、メモリ、乗算器、およびアダプティブ・ロジック・モジュール (ALM) ロジック・セルなど、異なるデバイス・ロジック・リソース量を持つ幅広い集積度を提供します。必要なロジック集積度を決定することは、デザイン・プランニング・プロセスの中でも困難な作業になる可能性があります。ロジック・リソースの多いデバイスほど、大きく複雑なデザインを実装することが可能ですが、通常コストも高くなります。デバイスが小さいほど、スタティック消費電力は少なくなります。6 ページの「デバイスのパーティカル・マイグレーション」で説明しているように、Stratix IV デバイスは、柔軟性を提供するパーティカル・マイグレーションをサポートします。

多くの次世代デザインは、現在のデザインを出発点として使用します。アルテラ・デバイスをターゲットとする他のデザインがある場合、それらのリソース使用率を新しいデザインの見積もりとして使用することができます。**Settings** ダイアログ・ボックスの **Auto device selected by the Fitter** オプションを使用して、Quartus II ソフトウェアの既存のデザインをコンパイルします。リソース使用率を確認して、デザインに適合するデバイスの集積度を決定します。コーディング・スタイル、デバイス・アーキテクチャ、および Quartus II ソフトウェアで使用される最適化オプションが、デザインのリソース使用率およびタイミング性能に大きく影響する可能性があることに留意してください。コンパイル済みのデザインにおけるリソース使用率の決定について詳しくは、48 ページの「デバイスのリソース使用率レポート」を参照してください。

アルテラの IP デザインの特定のコンフィギュレーションに対するリソース使用率を見積もるには、アルテラ・ウェブサイトの資料セクションにある IP メガファンクション ページのアルテラ・メガファンクションおよび IP MegaCores のユーザーガイドを参照してください。

7. □ 将来の開発およびデバッグ作業のために、予備リソースを保留。

デザイン・サイクルの後半でロジックを追加したり、デザインをアップグレードまたは拡張できるように、ある程度の安全マージンを持ってデザイン要件に最適なデバイスを選択します。45 ページの「階層およびチーム・ベース・デザインのプランニング」で説明するとおり、デバイスの空きスペースを増やして、インクリメンタルまたはチーム・ベース・デザインのデザイン・フロアプランを容易に作成できるようにしたい場合もあります。15 ページの「オンチップ・デバッグのプランニング」の説明に従って、デバッグ用リソースの確保について検討します。

## I/O ピン数、LVDS チャネルおよびパッケージの種類

Stratix IV デバイスは、さまざまな I/O ピン数 (368 ~ 1104 本の I/O ユーザー・ピン) を持つ省スペースの FineLine BGA パッケージで提供されます。デザインの他のシステム・ブロックとのインタフェース要件を考慮して、アプリケーションに必要な I/O ピン数を決定します。

集積度とパッケージ・ピン数が高いほど、より多くの異なる信号用の全二重 LVDS チャネルが提供されます；デバイスの集積度とパッケージの組み合わせが十分な LVDS チャネルを備えていることを確認します。また、同時スイッチング・ノイズ (SSN) の問題やピン配置ガイドライン、専用入力として使用されるピン、各 I/O バンクの可用性、ロウおよびカラム I/O バンク間における I/O 規格および速度の差異、パッケージ・マイグレーション・オプションなどのほかの要因は、必要 I/O ピン数に影響を与えます。ピン位置の選択について詳しくは、17 ページの「ボード・デザインにおけるピン接続の検討事項」と 27 ページの「I/O およびクロックのプランニング」を参照してください。


既存のデザインを、Quartus II ソフトウェアの **Settings** ダイアログ・ボックスの **Auto device selected by the Fitter** オプションを使用してコンパイルし、必要な入力ピンおよび出力ピンの数を決定します。また、15 ページの「オンチップ・デバッグのプランニング」の説明に従って、デバッグ用のピンを予約することについても検討します。

## PLL およびクロック配線

Stratix IV デバイスは最大 12 個の PLL を備えています (GX デバイスの未使用トランシーバによる追加 PLL を含む)。最大 16 個のグローバル GCLK、88 個のリージョナル RCLK、および 132 個のペリフェラル PCLK が提供されます。選択されたデバイス集積度とパッケージの組み合わせはデザインに必要な PLL およびクロック配線リソースが十分に含まれていることを確認します。グローバル・クロック・リソースは一部の PLL に共用され、どの入力を利用可能であるに影響を与えることがあります。クロック・ピンおよびグローバル配線リソースの詳細や参考資料については、27 ページの「I/O およびクロックのプランニング」を参照してください。

## スピード・グレード

デバイスのスピード・グレードは、デバイスのタイミング性能およびタイミング・クロージャ、また消費電力に影響を与えます。Stratix IV デバイスは 3 種のスピード・グレードで提供されます: -2、-3、および -4 (-2 は最高速)。一般に、高速なデバイスほどコストも高くなります。デザインに必要なスピード・グレードを判断する 1 つの方法は、特定の I/O インタフェースでサポートされているクロック・レート参照することです。


 デバイスのスピード・グレードに応じてデバイスの異なるサイドの I/O ピンを使用するメモリ・インタフェースに対してサポートされるクロック・レートについては、「Stratix IV デバイス・ハンドブック Volume 1」の「External Memory Interfaces in Stratix IV Devices」の章を参照してください。

一部の設計者は、プロトタイプ作成時に最も高速なスピード・グレードを使用してコンパイル時間を短縮し (短い時間でデザインを最適化し、タイミング要件を満たすことができる)、デザインがタイミング要件を満たした場合は、コストを低減するために生産段階で低速なスピード・グレードに移行します。

## デバイスのバーティカル・マイグレーション

Stratix IV デバイスは、同一のパッケージにおけるバーティカル・マイグレーションをサポートしており、専用入力ピン、コンフィギュレーション・ピン、および電源ピンが同じ配置で、異なる集積度のデバイスにマイグレーションすることができます。これにより、ボード上の FPGA を集積度が異なる別の Stratix IV デバイスに置き換えることができるため、将来ボード・レイアウトを変更することなく、デザインをアップグレードまたは変更することが可能になります。

また、Stratix III および Stratix IV E デバイスの間に、バーティカル・マイグレーション・パスが存在しているため、電源デザインへの影響を最小に抑えながら、一般の PCB で Stratix III におけるデザインをより高集積度の Stratix IV E デバイスに遷移することが可能です。

 Stratix III から Stratix IV E デバイスへのマイグレーションについては、「AN 557: Stratix III to Stratix IV E Cross-Family Migration Guidelines」を参照してください。

8.  バーティカル・デバイス・マイグレーションの可用性および要件を検討。

デザインを別のデバイス集積度にマイグレーションするオプションが必要かどうかを決定します。デザインが完成に近づいたら、考えられる将来のデバイス・マイグレーションに柔軟に対応するように、デバイスの集積度とパッケージを選択します。デザイン・サイクルの初期段階で、Quartus II ソフトウェアで潜在的なマイグレーション・オプションを指定する必要があります。フィッタは、デザインが選択したデバイスに準拠することを保証するため、マイグレーション・デバイスの選択は、デザインのピン配置に影響を与えることがあります。マイグレーション・デバイスをデザイン・サイクルの後半で追加することができますが、新しいターゲット・デバイスに適合するようにピン・アサインメントをチェックする余分な作業が必要であり、さらにデザインやボード・レイアウトの変更が必要になる場合もあります。デザインがほぼ完成しマイグレーションが可能な状態となるデザイン・サイクルの後半よりも、前半の方がこれらの問題に容易に対応できます。

28 ページの「FPGA ピン・アサインメントの作成」で説明するように、Quartus II Pin Planner は、現在選択されているデバイスと比較して、マイグレーション・デバイスで機能が変わったピンをハイライトします。

## HardCopy IV ASIC マイグレーション

HardCopy の開発メソッドロジでは、Stratix IV FPGA でプロトタイプを作成し、十分なシステム検証が可能なため、ASIC ハンドオフの前に量産向けのシステムが完全に準備可能です。アルテラの HardCopy Design Center では、実証済みのターンキー・プロセスを用いて、低コスト、低消費電力、機能等価かつピン・コンパチブルの HardCopy IV ASIC へのマイグレーションを実装します。Stratix IV デバイス・ファミリの低消費電力は FPGA 業界をリードしていますが、HardCopy ASIC は Stratix IV プロトタイプに比べ、50%の電力節約ができます。その結果は、システム・ボード上におけるプロトタイプ of Stratix IV FPGA を ASIC にドロップイン置き換えをすることです。

HardCopy IV ASIC デザインを適切な Stratix IV FPGA にターゲットしてデザインを始め、そして最新バージョンの Quartus II ソフトウェアで適切な HardCopy IV ASIC コンパニオンを選択することができます。Quartus II ソフトウェアがこれらのデバイスを含めるとき、プロジェクトの FPGA および ASIC リビジョン間にマイグレーションすることができます。

### 9. HardCopy IV ASIC に移行したい場合、適切なデザイン検討事項を参照。

デザイン・サイクルの初期段階で HardCopy のガイドラインを調査して、どの Quartus II 設定を使用すべきか、あるいはデザイン完了時に検討すべき他の制約がないかを確認してください。以下の例があります。

- ASIC の検証要件が厳しいため、HardCopy デバイスへ移行する場合、完全なタイミング制約を使用することが特に重要です。
- FPGA の場合と違って、RAM は HardCopy ASIC において既知の値に初期化できません。その故、HardCopy デバイスに移行する時、メモリ初期設定に依存する代わりに、デザインがデバイス動作中に RAM 内容を書き込む必要があります。
- アルテラでは、HardCopy デバイスにおいて PLL 設定をイン・システムで変更できるように、デザインに PLL リコンフィギュレーション・メガファンクション追加することを推奨しています。



詳細は、*「Phase-Locked Loops Reconfiguration (ALTPLL\_RECONFIG) Megafunction User Guide」* を参照してください。

また、Device Setting で HardCopy コンパニオン・デバイスが選定されたとき、コンパイル時に生成された HardCopy Readiness Report も参照してください。これは未完成の I/O 配置についてアドバイスをだし、クロック・ピン位置に関する推奨事項も提供します。

## 早期システムおよびボード・プランニング

FPGA に関するシステム情報は、Quartus II ソフトウェアでデザインを完成する前のデザイン・プロセスを早期に計画すべきです。早いプランニングは FPGA チームが PCB ボード・デザイナーおよびシステム・デザイナーに早期情報を提供することを可能にします。この項では、次の内容について説明します。

- 「早期消費電力見積り」
- 9 ページの「温度検知による放熱管理」
- 10 ページの「デバイス・コンフィギュレーションのプランニング」
- 15 ページの「オンチップ・デバッグのプランニング」

### 早期消費電力見積り

FPGA の消費電力は、デザインの重要な検討事項です。適切な電力供給量を把握して、電源、電圧レギュレータ、デカップリング、ヒート・シンク、および冷却システムを設計するには、デバイスの消費電力を正確に見積もる必要があります。消費電力の見積もりと解析には、以下の 2 つの重要なプランニング要件があります。

- **熱プランニング** – 冷却ソリューションによって、デバイスで発生した熱を十分に放逸します。特に、計算されたジャンクション温度がデバイスの標準仕様の範囲内に収まる必要があります。
  - **電源プランニング** – 電源は十分な電流を供給することによって、デバイスの動作をサポートしなければなりません。
10. □ ロジック・デザインが完成する前に冷却ソリューションと電源をプランニングするために、Early Power Estimator スプレッドシートを使用して消費電力を見積もる。

FPGA デバイスの消費電力は、ロジック・デザインによって異なります。このことが、ボード仕様およびレイアウトの早期段階での消費電力の見積もりを困難にしています。アルテラの PowerPlay Early Power Estimator (EPE) スプレッドシートでは、デバイスおよびデザインで使用されるデバイス・リソース、そして動作周波数、トグル・レート、および環境面への配慮などに関する情報を処理して、デザインが完成する前に消費電力を見積もることができます。スプレッドシートを使用して、周囲温度やヒート・シンク、空気流量、ボードの熱モデルなどに関する情報を入力して、デバイスの接合温度を計算することができます。EPE は、次にデザインの消費電力、電流見積もり、熱解析を計算します。

既存のデザインがない場合は、デザインで使用するデバイス・リソース数を見積もって、その情報を手動で入力します。スプレッドシートの精度は、デバイス・リソースの入力と見積もりに依存します。この情報が（デザインの途中または完了後に）変更された場合は、消費電力見積もり結果の精度が低くなります。既存のデザインまたは部分的にコンパイルされたデザインがある場合は、Quartus II ソフトウェアの **Generate PowerPlay Early Power Estimator File** コマンドを使用して、スプレッドシートに入力することができます。




PowerPlay Early Power Estimator スプレッドシートには、Quartus II 生成の消費電力見積もりファイルまたは古いバージョンの Early Power Estimator からの情報を変換しスプレッドシートに転送する Import Data マクロがあります。マクロを使用しない場合は、データを Early Power Estimator スプレッドシートに手動で入力します。既存の Quartus II プロジェクトがフル・デザインの一部のみをカバーしている場合は、最終デザインで使用する追加リソースを手動で入力する必要があります。消費電力見積もりファイルの情報をインポートした後、スプレッドシートを編集し、追加デバイス・リソースを追加するか、またはパラメータを調整することができます。

デザインが完成したら、Quartus II ソフトウェアで PowerPlay Power Analyzer ツールを使用して、デザインの消費電力を正確に見積もって、熱バジェットおよび電源バジェットに違反していないことを確認します。消費電力を最も正確に見積もるには、ゲート・レベル・シミュレーションの結果を、サードパーティ・シミュレーション・ツールの .vcd 出力ファイルで使します。54 ページの「消費電力の解析」を参照してください。

サポートしている各デバイス・ファミリの PowerPlay Early Power Estimator スプレッドシートおよびユーザーガイドは、下記のリンクを参照してください。

<http://www.altera.co.jp/support/devices/estimator/pow-powerplay.html>

 PowerPlay Early Power Estimator スプレッドシートの使用について詳しくは、「PowerPlay Early Power Estimator User Guide For Stratix III and Stratix IV FPGAs」を参照してください。消費電力の見積もりおよび解析について詳しくは、「Quartus II ハンドブック Volume 3」の「PowerPlay Power Analysis」の章を参照してください。


## 温度検知による放熱管理

熱管理にとっては、ジャンクション温度を計算または測定することが非常に重要です。従来、ジャンクション温度は、周囲温度またはケース温度、ジャンクションから周囲まで ( $\theta_{JA}$ ) の熱抵抗、またはジャンクションからケースまで ( $\theta_{JC}$ ) の熱抵抗、およびデバイスの消費電力を使用して計算されていました。Stratix IV デバイスは、エンベデッド・アナログ/デジタル・コンバータ (ADC) 回路付き温度検知ダイオード (TSD) を備えているため、ボード上に外部温度検知チップは不要です。

11.  デザインで温度検知ダイオードを設定して、熱管理のためのデバイス・ジャンクション温度を測定。

Stratix IV TSD は、デバイスのジャンクション温度を自己モニタし、FPGA への空気流量の制御などの作業のために、外部回路を付加して使用できます。外部温度センサを使用する場合は、Stratix II デバイスやその他のデバイスに使用するソリューションと同様に、ADC をバイパスすることができます。

TSD 回路を使用する場合は、それをデザインに含める必要があります。ADC と TSD の両方を使用する場合、あるいは ADC をバイパスして検知ダイオードを外部温度センサに接続する場合のいずれも、外部ピンを正しく接続する必要があります。

 これらの機能について詳しくは、「Stratix IV デバイス・ハンドブック」の「Stratix IV デバイス消費電力管理」の章を参照してください。


## デバイス・コンフィギュレーションのプランニング

Stratix IV デバイスは、SRAM セルをベースにしています。RAM メモリは揮発性のため、電源が投入されるたびに Stratix IV デバイスにコンフィギュレーション・データをダウンロードする必要があります。複数のコンフィギュレーション手法が必要か否かを考慮します（例えば、1 つはデバッグまたはテスト用、もう 1 つは制作環境用）。デバイス・コンフィギュレーション手法は、システム設計者やボード設計者がシステムにコンパニオン・デバイスを追加する必要があるかどうか判断できるように、初期段階で選択します。また、手法ごとに必要な接続が異なるため、ボード・レイアウトはプログラマブル・デバイスに使用するコンフィギュレーション手法に依存します。コンフィギュレーション・ピンに関連するボード・デザイン・ガイドライン、およびコンフィギュレーションのためのデバイス接続については、17 ページの「[ボード・デザインにおけるピン接続の検討事項](#)」を参照してください。

さらに、Stratix IV デバイスはコンフィギュレーション手法に応じて、アドバンス・コンフィギュレーション機能を提供します。また、ボードおよびシステム・デザインに必要なすべての情報を取得するために、Stratix IV デバイスには、デザイン・プロセスの初期に選択する（Quartus II ソフトウェア起動時に設定する）べきオプションのコンフィギュレーション・ピンおよびリコンフィギュレーション・オプションも含まれています。

この項では、次の内容について説明します。

- [「コンフィギュレーション手法の選択」](#)
- [12 ページの「コンフィギュレーション機能」](#)
- [14 ページの「Quartus II のコンフィギュレーション設定」](#)

 コンフィギュレーションについて詳しくは、「*Stratix IV デバイス・ハンドブック Volume 1*」の「*Configuration, Design Security, Remote System Upgrades with Stratix IV Devices*」の章を参照してください。詳細は、[コンフィギュレーション・センタ](#)を参照してください。このウェブ・ページでは、コンフィギュレーション問題のデバッグを支援するトラブルシュータ [JTAG Configuration & ISP Troubleshooter](#) および [FPGA Configuration Troubleshooter](#) へのリンクを提供しています。


### コンフィギュレーション手法の選択

Stratix IV デバイスは、4 種類のコンフィギュレーション手法のいずれかを使用してコンフィギュレーションできます。

- **Fast passive parallel (FPP)**— コンフィギュレーション・データをパラレルに Stratix IV FPGA に供給するコントローラです。
- **Fast active serial (AS)**— Stratix IV FPGA は、コンフィギュレーション・プロセスを制御し、シリアル・コンフィギュレーション（EPCS）デバイスからコンフィギュレーション・データを取得します。
- **Passive serial (PS)**— コンフィギュレーション・データをシリアルに Stratix IV FPGA に供給するコントローラです。
- **Joint Test Action Group (JTAG)**— Stratix IV FPGA は、ダウンロード・ケーブルまたは MAX II デバイスあるいはフラッシュ・メモリ付きのマイクロプロセッサで、IEEE 1149.1 規格のインタフェースを通してコンフィギュレーションされます。

Stratix IV デバイスの MSEL ピンをボード上特定の値にドライブすることにより、任意のコンフィギュレーション手法をイネーブルできます。

12.  コンフィギュレーション手法を選択し、コンパニオン・デバイスとボード接続をプランニング。


 サポートされているコンフィギュレーション手法については、[Stratix IV Device Configuration Center](#) を参照してください。Stratix IV デバイスでサポートされるコンフィギュレーション手法、必要なコンフィギュレーション手法の実行方法、コンフィギュレーション電圧規格および POR 時間、および MSEL ピン設定など必要なすべてのオプション・ピン設定については、「Stratix IV デバイス・ハンドブック Volume 1」の「[Configuration, Design Security, Remote System Upgrades with Stratix IV Devices](#)」の章を参照してください。

すべてのコンフィギュレーション手法では、コンフィギュレーション・デバイス、ダウンロード・ケーブル、または外部コントローラ (MAXII デバイスまたはマイクロプロセッサなど) のいずれかを使用します。


### シリアル・コンフィギュレーション・デバイス

アルテラのシリアル・コンフィギュレーション・デバイス (EPCS) は、ファースト AS コンフィギュレーション手法で使用されます。


13.  高いデザイン集積度に AS コンフィギュレーション・モードを使用する場合、ターゲット FPGA 集積度に十分に大きな使用可能コンフィギュレーション・デバイスがあることを確認。

 シリアル・コンフィギュレーション・デバイスについて詳しくは、「[コンフィギュレーション・ハンドブック Volume 2](#)」の「[Serial Configuration Devices \(EPCS1, EPCS4, EPCS16, EPCS64, and EPCS128\) Data Sheet](#)」を参照してください。

シリアル・コンフィギュレーション・デバイスは、USB-Blaster™、EthernetBlaster、または ByteBlaster™ II ダウンロード・ケーブルを使用して Quartus II ソフトウェアでプログラムすることができます。また、APU (Altera Programming Unit) がサポートされている BP Microsystems や System General などのサードパーティ・プログラマ、または SRunner ソフトウェア・ドライバを搭載したマイクロプロセッサを使用してもかまいません。SRunner は、異なるエンベデッド・システムにフィットするよう簡単にカスタマイズ可能なエンベデッド・シリアル・コンフィギュレーション・デバイス・プログラミングを構築するコンフィギュレーション・ソフトウェア・ドライバです。

 SRunner について詳しくは、「[AN418: SRunner: An Embedded Solution for Serial Configuration Device Programming](#)」およびアルテラ・ウェブサイト ([www.altera.co.jp](http://www.altera.co.jp)) におけるソース・コードを参照してください。


シリアル・コンフィギュレーション・デバイスは JTAG インタフェースを直接的にサポートしません；ただし、Quartus II ソフトウェアの SFL (シリアル・フラッシュ・ローダ) 機能により JTAG ダウンロード・ケーブルでデバイスをプログラムすることができます。この機能は、FPGA を JTAG インタフェースとコンフィギュレーション・デバイス間のブリッジとして使用され、2 つのデバイスも同一 JTAG インタフェースを使用することを可能にします。

 SFL ソリューションでは、コンフィギュレーション・デバイスをプログラムする前に FPGA をコンフィギュレーションする必要があるため、SFL ソリューションは標準の AS コンフィギュレーションより遅いです。

 SFL について詳しくは、[\[AN 370: Using the Serial FlashLoader with the Quartus II Software\]](#) を参照してください。

#### ダウンロード・ケーブル

Quartus II プログラマは、アルテラのプログラミング・ダウンロード・ケーブルを介して PS または JTAG インタフェースを使用し、Stratix IV デバイスのコンフィギュレーションを直接サポートします。アルテラのダウンロード・ケーブルで接続されたデバイスにデザインの変更を直接ダウンロードして簡単にプロトタイプを作成して、複数のデザインの繰り返しをすばやく連続して実行できます。同じダウンロード・ケーブルを使用してボード上のコンフィギュレーション・デバイスをプログラムし、SignalTap II エンベデッド・ロジック・アナライザなどのデバッグ・ツールを使用することができます。


 アルテラのダウンロード・ケーブルの使用方法については、以下の資料を参照してください。

- [ByteBlaster II Download Cable User Guide](#)
- [USB-Blaster ダウンロード・ケーブル・ユーザーガイド](#)
- [EthernetBlaster Download Cable User Guide](#)

#### MAX II パラレル・フラッシュ・ローダ

システムに既にコモン・フラッシュ・インタフェース (CFI) 対応フラッシュ・メモリが実装されている場合は、それを Stratix IV デバイスのコンフィギュレーション・ストレージにも利用できます。MAX II デバイスでパラレル・フラッシュ・ローダ (PFL) 機能を使用することにより、JTAG インタフェースを通じて CFI フラッシュ・メモリ・デバイスをプログラムすることができます。また、フラッシュ・メモリ・デバイスから Stratix IV デバイスへのコンフィギュレーションを制御するためのロジックを提供し、コンフィギュレーション・データのサイズを縮小するための圧縮をサポートします。この PFL 機能を使用して、PS および FPP 両方のコンフィギュレーション・モードがサポートされます。


14.  PFL にフラッシュ・デバイスを使用する場合は、サポートされているデバイスのリストをチェック。

 PFL について詳しくは、[\[AN 386: Using the Parallel Flash Loader with the Quartus II Software\]](#) を参照してください。

#### コンフィギュレーション機能

この項では、Stratix IV コンフィギュレーション機能およびそのデザイン・プロセスに対する影響について説明します。

15.  コンフィギュレーション手法とボードが、データの復元、デザイン・セキュリティ、リモート・アップグレード、SEU の緩和などの必要な機能をサポートしていることを確認。

 これらの機能について詳しくは、「Stratix IV デバイス・ハンドブック Volume 1」の「Configuration, Design Security, Remote System Upgrades with Stratix IV Devices」の章を参照してください。

### データ圧縮

データ圧縮機能をイネーブルにすると、Quartus II ソフトウェアは圧縮されたコンフィギュレーション・データでコンフィギュレーション・ファイルを生成します。この圧縮ファイルは、コンフィギュレーション・デバイスまたはフラッシュ・メモリに必要な容量を低減し、Stratix IV デバイスにビットストリームを送信するのに必要な時間を短縮します。Stratix IV デバイスがコンフィギュレーション・ファイルを復元するのに必要な時間は、コンフィギュレーション・データをデバイスに送信するのに必要な時間よりも短くなっています。

Stratix IV デバイスは、復元機能を FPP、ファースト AS および PS コンフィギュレーション手法でサポートしています。PS モードを使用してコンフィギュレーション・タイムを短縮する場合は、Stratix IV 圧縮復元機能を使用すべきです。FPP では、ホスト・コントローラはデータ・レートの 4 倍となる DCLK を送信する必要があり、コンフィギュレーション・データが 4 DCLK サイクルの間に有効でなければなりません。Stratix IV 復元機能は、JTAG コンフィギュレーション手法では提供されていません。

### コンフィギュレーション・ビットストリーム暗号化を使用したデザイン・セキュリティ

デザイン・セキュリティ機能は、複製、リバース・エンジニアリング、および改ざんから Stratix IV デザインを保護します。Stratix IV デバイスは、FIPS-197 認定済みの業界標準の暗号化アルゴリズムである AES アルゴリズムを使用して、コンフィギュレーション・ビットストリームを復号化する機能を備えています。Stratix IV デバイスは、256 ビットのセキュリティ・キーを利用したデザイン・セキュリティ機能を備えています。

このデザイン・セキュリティ機能は、FPP、ファースト AS、または PS コンフィギュレーション手法で使用可能です。FPP では、ホスト・コントローラはデータ・レートの 4 倍となる DCLK を送信する必要があり、コンフィギュレーション・データが 4 DCLK サイクルの間に有効でなければなりません。デザイン・セキュリティ機能は、JTAG コンフィギュレーション手法では提供されていません。

### リモート・システム・アップグレード

リモート・システム・アップグレードは、経費のかかる製品回収を行わずに機能強化やバグ修正を行うことができ、製品の市場投入の短縮、製品寿命の延長、およびシステム・ダウンタイムの回避に役立ちます。Stratix IV デバイスは専用のリモート・システム・アップグレード回路を備えています。Stratix IV デバイスに実装されるソフト・ロジック (Nios II エンベデッド・プロセッサまたはユーザー・ロジック) は、遠隔地から新しいコンフィギュレーション・イメージをダウンロードし、それをコンフィギュレーション・メモリに格納し、さらに専用リモート・システム・アップグレード回路にリコンフィギュレーション・サイクルの開始を指示することもできます。


Stratix IV デバイスは、シングル・デバイス・ファースト AS コンフィギュレーション手法のみでリモート・アップデートをサポートしています。デザイン・セキュリティおよびコンフィギュレーション・データのリアルタイム復元と共にリモート・アップデートを実行することができます。

AL TREMOTE\_UPDATE メガファンクションを使用して、またはリモート・システム・アップグレード・アトムをインスタンス化して、リモート・システム・アップグレード・インタフェースを実装できます。

 AL TREMOTE\_UPDATE メガファンクションについては、「*Remote Update Circuitry (AL TREMOTE\_UPDATE) Megafunction User Guide*」を参照してください。

### SEU の緩和および CRC エラー・チェック

Stratix IV デバイ스에組み込まれた専用回路は、オプションで継続的かつ自動的に SEU (single event update) をチェックする CRC (Cyclic Redundancy Check) エラー検出機能を提供します。これで、Stratix IV デバイ스에格納されたコンフィギュレーション・データが正確であることを確認することができ、システムにコンフィギュレーション・エラーの発生に警戒することもできます。SEU 緩和機能を活用するには、CRC エラー検出用の適切なメガファンクションを使用します。CRC\_ERROR または CRITICAL\_ERROR ピンを使用してエラー発生を通知し、それを適切に対処するようにシステムを設計します。これらのピンは、CRC ファンクションに対してイネーブルされていない場合は、デザイン I/O として使用できます。

 SEU の緩和については、「Stratix IV ハンドブック」の「Stratix IV デバイスにおける SEU の緩和」の章を参照してください。

### Quartus II のコンフィギュレーション設定

この項では、コンフィギュレーション・ファイルまたはプログラミング・ファイルを生成するためにコンパイル前に Quartus II ソフトウェアで設定できるいくつかのコンフィギュレーション・オプションについて説明します。ボードやシステムのデザインはこれらの設定およびピンに影響されるため、プランニング・ステージでこれらを考慮してください。**Device and Pin Options** ダイアログ・ボックスでの **General** タブでこれらのオプションを設定します。

### オプションのコンフィギュレーション・ピン

以下のオプションのコンフィギュレーション・ピンをイネーブルにすることができます。

- CLKUSR ピン - **Enable user-supplied start-up clock (CLKUSR)** オプションにより、内部発振器または CLKUSR ピンに供給される外部クロックのどちらのクロック・ソースを初期化に使用するかを選択することができます。
- INIT\_DONE ピン - INIT\_DONE ピンをモニタして、デバイスが初期化を完了してユーザー・モードになっているかどうかをチェックすることができます。このピンは **Enable INIT\_DONE output** オプションでイネーブルにします。INIT\_DONE ピンはオープン・ドレイン出力で、V<sub>CCPGM</sub> への外部プルアップを必要とします。

16. □ オプションのコンフィギュレーション・ピン CLKUSR および INIT\_DONE をサポートするようにボード・デザインを計画。

## エラー発生後のコンフィギュレーションの再開

**Auto-restart after configuration error** オプションがイネーブルされると、コンフィギュレーション・エラーの発生時にデバイスは nSTATUS を Low にドライブしてデバイスを内部でリセットします。デバイスは、リセット・タイムアウト期間を過ぎると nSTATUS ピンを解放します。nSTATUS ピンが、内部プルアップを提供する外部コンフィギュレーション・デバイスに接続されていない場合は、V<sub>CCPGM</sub> に 10 kW の外部プルアップ抵抗を介して接続する必要があります。

17. □ **Auto-restart after configuration error** オプションを利用できるようにボード・デザインを計画。

## オンチップ・デバッグのプランニング


オンチップ・デバッグはデザイン・フローにおけるオプションのステップであり、システムや設計者によって、最適なデバッグ・ツールも異なります。システム・ボード、Quartus II プロジェクト、およびデザインが適切なオプションをサポートできるように、デザイン・プロセスの早期段階でオンチップ・デバッグ・オプションを評価します。プランニングによってデバッグに費やす時間を短縮でき、後で使用するデバッグ手法に合わせて変更を加える手間を省くこともできます。デバイスにおける内部信号および I/O ピンのアクセス性のため、デバッグ・ピンを追加するだけでは不十分な場合があります。まず、15 ページの「オンチップ・デバッグ・ツール」から希望のデバッグ・ツールを選択し、次に 16 ページの「デバッグ・ツールのプランニング・ガイドライン」を参照します。

### オンチップ・デバッグ・ツール

検証ツールの Quartus II ポートフォリオには、以下のイン・システム・デバッグ機能が含まれます。

- **SignalProbe** インクリメンタル配線 – 元のデザインの配線に影響を与えることなく、内部信号をすばやく I/O ピンに配線します。完全に配線されたデザインから開始して、デバッグ用の信号を選択し、以前予約した I/O ピンまたは現在未使用の I/O ピンに配線することができます。
- **SignalTap II** エンベデッド・ロジック・アナライザ – FPGA デバイスでデザインをフル・スピードで実行しながら、外部装置または追加 I/O ピンを使用せずに内部信号および I/O 信号の状態をプローブします。カスタム・トリガ条件ロジックを定義して、精度を向上させ、問題を特定する能力を改善します。SignalTap II エンベデッド・ロジック・アナライザは、デザインの内部ノードまたは I/O ピンの状態をキャプチャするために外部プローブやデザイン・ファイルへの変更を必要としません。キャプチャしたすべての信号データは、ユーザーがデータを読み出して解析できるようになるまでデバイス・メモリに保存されます。SignalTap II エンベデッド・ロジック・アナライザは、同期インタフェースに最適です。非同期インタフェースをデバッグする場合は、最も高い精度で信号を表示するために SignalProbe または外部ロジック・アナライザの使用を検討します。
- **ロジック・アナライザ・インタフェース** – 内部 FPGA 信号を外部ロジック・アナライザに接続および送信して解析できます。これによって、外部ロジック・アナライザまたはミックスド・シグナル・オシロスコープの最新機能を活用することができます。この機能を使用して、多数の内部デバイス信号をデバッグのために少数の出力ピンに接続し、必要に応じて信号をデザイン I/O ピンでマルチプレクス化することもできます。

- **In-System Memory Content Editor** – JTAG インタフェースを介してイン・システム FPGA メモリおよび定数へのリード/ライト・アクセスを提供し、システム内でデバイスが動作している間に、FPGA のメモリ内容および定数値への変更をテストできるようにします。
- **In-System Sources and Probes** – カスタマイズされたレジスタ・チェーンを設定して、ロジック・デザインに組み込まれたノードをドライブまたはサンプリングし、シンプル仮想スティミュラスを提供し、組み込まれたノードの現在の値をキャプチャします。
- **Virtual JTAG メガファンクション** – システム・レベルのデバッグのためのプロセッサ・ベースのデバッグ・ソリューションおよびソフトウェアによるデバッグ・ツール両方を含め、独自のシステム・レベルのデバッグ基盤を構築することを可能にします。この **SLD\_VIRTUAL\_JTAG** メガファンクションは、HDL コードで直接インスタンス化し、デバイスの JTAG インタフェースを使用して FPGA デザインの一部にアクセスするために、1 本または複数の明白な通信チャンネルを提供することができます。

 これらのデバッグ・ツールについて詳しくは、「[sld\\_virtual\\_jtag Megafunction User Guide](#)」および「[Quartus II ハンドブック Volume 3](#)」の「[In-System Design Debugging](#)」セクションを参照してください。このセクション概要ではデバッグ・ソリューションの選択について説明します。

18.  オン・チップ・デバッグ機能を活用して内部信号を解析し、高度なデバッグ手法を実行。

### デバッグ・ツールのプランニング・ガイドライン

いずれかのオン・チップ・デバッグ・ツールを使用する場合は、次のチェックリストで説明するとおり、システム・ボード、Quartus II プロジェクトおよびデザインを開発するときにそのツールをプランニングします。

19.  メモリ要件、ロジック要件、I/O ピン接続、およびボード接続を計画するために、オン・チップ・デバッグ手法を早期段階で選択。
20.  SignalTap II エンベデッド・ロジック・アナライザ、ロジック・アナライザ・インタフェース、In-System Memory Content Editor および In-System Sources and Probes を使用する場合は、デバッグに使用可能な JTAG 接続が付いたようにシステムおよびボードをプランニング。
21.  JTAG デバッグ機能の JTAG ハブ・ロジックを実装するための少量の追加ロジック・リソースをプランニング。
22.  SignalTap II エンベデッド・ロジック・アナライザでデバッグ作業をする場合は、デバイス・メモリ・リソースを保留してシステム動作中にデータをキャプチャ。
23.  SignalProbe またはロジック・アナライザ・インタフェースでデバッグ用の I/O ピンを予約しておき、後でデバッグ信号に対応するためにデザインやボードを変更しなくてすむようにする。
24.  ボードは、デバッグ信号がシステムの動作に影響を与えないデバッグ・モードをサポートしていることを確認。
25.  外部ロジック・アナライザまたはミックスド・シグナル・オシロスコープに必要とするピン・ヘッダまたは Mictor コネクタを組み込む。
26.  デバッグ・ツールをインクリメントに使用し、コンパイル時間を減少させるために、デバッグ・ツールを修正するのにデザインを再コンパイルする必要がなくなるよう、インクリメンタル・コンパイルをオンにすることを確認。



- 27.  カスタム・デバッグ・アプリケーションに Virtual JTAG メガファンクションを使用する場合は、これをデザイン・プロセスの一部として HDL コードにインスタンス化。
- 28.  In-System Sources and Probes 機能が使用できるように、メガファンクションを HDL コードにインスタンス化。
- 29.  RAM や ROM ブロック、あるいは LPM\_CONSTANT メガファンクションに In-System Memory Content Editor を使用するには、MegaWizard Plug-In Manager でメモリ・ブロックを作成するときに、**Allow In-System Memory Content Editor to capture and update content independently of the system clock** オプションをオンにする。

## ボード・デザインにおけるピン接続の検討事項

Stratix IV デバイスへのインタフェースの設計では、さまざまな要因が PCB のデザインに影響を与えます。この項では、次の内容に関する重要なガイドラインについて説明します。

- 「デバイスのパワーアップ」
- 19 ページの「電源ピンの接続および電源」
- 21 ページの「コンフィギュレーション・ピンの接続」
- 24 ページの「ボード関連の Quartus II 設定」
- 25 ページの「シグナル・インテグリティの検討事項」
- 27 ページの「ボード・レベル・シミュレーションおよびアドバンスド I/O タイミング解析」

27 ページの「I/O およびクロックのプランニング」はボード・デザインに影響を与える FPGA の I/O 信号接続について説明します。

## デバイスのパワーアップ

Stratix IV デバイスは、外部デバイスを使用せずに、ホット・プラグインまたはホット・スワップとしても知られるホット・ソケット（活線挿抜）およびパワー・シーケンスをサポートします。ユーザーは、動作中のシステム・バスやシステムに実装されたボードに影響を与えることなく、システムの動作中に Stratix IV デバイスまたはボードをシステムに取り付けたり、取り外すことができます。ホット・ソケット機能によって、Stratix IV デバイスを 3.0 V、2.5 V、1.8 V、1.5 V、および 1.2 V デバイスが混在する PCB に使用することが簡単になります。

- 30.  パワーアップを考慮してボードを設計：Stratix IV の出力バッファは、デバイスがコンフィギュレーションされ、コンフィギュレーション・ピンがドライブ・アウトするまでトライステートになる。
- 31.  電圧電源のランプがモニタリングになるように設計。

パワーアップまたはパワーダウン前、またはその間に、デバイスに損傷を与えることなく、Stratix IV デバイスの I/O ピン、専用入力ピン、および専用クロック・ピンに信号を入力することができます。Stratix IV デバイスは、パワーアップ・シーケンスまたはパワーダウン・シーケンス ( $V_{CCIO}$ 、 $V_{CC}$ 、 $V_{CCPGM}$ 、および  $V_{CCPD}$ ) をサポートし、システム・レベルのデザインを簡素化します。各電源のランプ・アップおよびランプ・ダウン・レートの範囲は 50  $\mu$ s ~ 100 ms です。電源ランプは、モニタリングでなければなりません。

ホット・ソケットの状態では、Stratix IV デバイスの出力バッファはシステムのパワーアップまたはパワーダウン時にオフになります。また、Stratix IV デバイスは、デバイスがコンフィギュレーションされて推奨動作条件下で動作するまで I/O をドライブしません。

CONF\_DONE、nCEO、および nSTATUS のコンフィギュレーション・ピンはコンフィギュレーション時に必要になるため、これらのピンでホット・ソケット回路を使用することはできません。これらのピンがパワーアップおよびパワーダウン・シーケンス中にドライブ・アウトすることは予期される動作です。

POR (power-on-reset) 回路は、電源投入時に電源電圧レベルの  $V_{CCPT}$ 、 $V_{CC}$ 、 $V_{CCPD}$  および  $V_{CCPGM}$  が安定するまでシステム全体をリセット状態に維持します。POR ブロックは、電源電圧レベルをチェックし、POR 信号がリリースされるまでにデバイス・コンフィギュレーションが始められません。

Stratix IV デバイスでは、ピン選択オプション (PORSEL) は、12ms または 100ms の標準 POR 時間設定から選択することを可能にします。いずれの場合も、外部コンポーネントを使用して nSTATUS ピンを Low にアサートすることによって、POR 時間を延長することができます。ボードが最大電源ランプ時間仕様を満たさない場合は、デバイスを適切にコンフィギュレーションしてユーザー・モードに入るには、POR 時間を延長します。

32.  電源が安定するように POR 時間を設定。


Stratix IV デバイスに電源が投入されたとき、電源が所定の時間（最大電源ランプ時間、tRAMP として規定）内に推奨動作範囲に達した場合は、POR イベントが発生します。Stratix IV デバイスの最大電源ランプ時間は 100 ms、最小電源ランプ時間は 50 ms です。

 詳細は、「Stratix IV デバイス・ハンドブック Volume 1」の「Stratix IV デバイスのホット・ソケットおよびパワー・オン・リセット」の章を参照してください。

パワー・シーケンスは正しい動作を実現するための必須条件ではありませんが、マルチ・レール電源システムを設計するときには、長期間にわたるデバイスの信頼性低下を防止するために、各レールのパワーアップ・タイミングを考慮する必要があります。

アルテラは GND をホット・ソケット動作および I/O バッファ・デザインの基準として使用します。ボード上の GND がほかのコンポーネントを經由して電源へのパスに誤ってプルアップされないように、電源に接続する前にボード間の GND を接続します。アルテラ・デバイスでは、プルアップされた GND は基準以外の I/O 電圧条件および電流条件を起こす可能性があります。


33.  最高のデバイス信頼性が得られるように、パワー・シーケンスと電圧レギュレータを設計。電源を接続する前に、ボード間の GND を接続。


 詳細は、「Stratix IV デバイス・ハンドブック」の「Stratix IV デバイス消費電力管理」の章を参照してください。

## 電源ピンの接続および電源

Stratix IV コア電圧  $V_{CC}$  は 0.9 V、PLL デジタル電源  $V_{CCD\_PLL}$  も 0.9 V です。プログラマブル・パワー・テクノロジー電圧は 1.5 V を要し、一部の電源は 2.5 V の電圧を必要とします。 $V_{CCPGM}$  ピンは、1.8 V、2.5 V、3.0 V、または 3.3 V でコンフィギュレーション・ピンに給電します。Stratix IV GX デバイスでは、トランシーバ電圧はデータ・レートに応じて、0.9 V、1.1 V、3.0/2.5 V および 1.4/1.5 V の追加電源を必要とします。

I/O 電圧  $V_{CCIO}$  の接続はデザインの I/O 規格に依存し、1.2 V、1.5 V、1.8 V、2.5 V、3.0 V、および 3.3 V をサポートします。3.3 V の I/O 規格は 3.0 V の  $V_{CCIO}$  電源でサポートされます。

 デバイスの出力ピンは、 $V_{CCIO}$  レベルが I/O 規格の推奨動作範囲外にある場合は、I/O 規格の仕様を満たしません。 $V_{CCPD}$  ピンは、3.0 V  $V_{CCIO}$  の場合は 3.0 V、2.5 V またはそれ以下の I/O 電圧の場合は 2.5 V に接続しなければなりません。

 Stratix IV デバイスに必要な電源電圧のリストおよび推奨動作条件については、「Stratix IV デバイス・ハンドブック」の「*DC and Switching Characteristics*」の章を参照してください。

電圧リファレンス ( $V_{REF}$ ) ピンは、特定の I/O 規格の電圧リファレンスとして機能します。 $V_{REF}$  ピンは、主に電圧バイアスとして使用され、多くの電流をソースまたはシンクしません。電圧はレギュレータまたは抵抗ディバイダ・ネットワークによって生成することができます。I/O バンクの  $V_{CCIO}$  電圧および  $V_{REF}$  ピンについて詳しくは、31 ページの「*選択可能な I/O 規格と柔軟性の高い I/O バンク*」を参照してください。

電源ピンの接続について詳しくは、「*Stratix IV GX Device Family Pin Connection Guidelines*」を参照してください。

- 34.  すべての電源ピンを正しく接続：0.9 V コア、1.5 V、2.5 V、そして必要に応じるほかのピン
- 35.  各バンクの I/O 規格をサポートするために、 $V_{CCIO}$  ピンおよび  $V_{REF}$  ピンを接続。
- 36.  3.0 V  $V_{CCIO}$  に対しては、 $V_{CCPD}$  ピンを 3.0 V に接続し、より低い I/O 電圧に対しては 2.5 V に接続。
- 37.  ボード上の FPGA の電源ピンまたはその他の電源ピンの独自の要件を調べて、ボード上のどのデバイスが電源レールを共有できるかを判断。
- 38.  リニア・レギュレータを使用して、アナログ回路 ( $V_{CCA\_PLL}$  および  $V_{CCPT}$ ) を駆動。デジタル電圧レールは、効率またはコストを検討した上で、リニア・レギュレータまたはスイッチング・レギュレータによって駆動することができる。
- 39.  「*Stratix IV GX Device Family Pin Connection Guidelines*」に記載する各ピンの具体的なガイドラインに従う。


## デカップリング・コンデンサ

電源の要件が高まるに伴って、電源全体のシグナル・インテグリティを向上させるためのボード・デカップリングがますます重要になっています。

Stratix IV デバイスには、高周波デカップリングを供給するために、エンベデッド・オン・パッケージおよびオン・ダイ・デカップリング・コンデンサが搭載されています。これらの低インダクタンス・コンデンサは、電源ノイズを抑制して優れたシグナル・インテグリティ性能を達成し、また外部 PCB デカップリング・コンデンサの数を削減し、ボード・スペースの節約、コストの削減、PCB デザインの大幅な簡略化を実現します。

アルテラは、ボード・レベル PDN をグラフィカルに最適化するための使いやすい PDN (電源分配ネットワーク) デザイン・ツールを作成しました。ボード・レベル PDN の目的は電源を分配し、電圧レギュレータ・モジュール (VRM) から FPGA 電源に電流をリターンし、そして最適なトランシーバ・シグナル・インテグリティおよび FPGA 性能をサポートします。

電源ごとに、バルク・デカップリング・コンデンサおよびセラミック・デカップリング・コンデンサのネットワークを選択しなければなりません。SPICE シミュレーションは回路のシミュレーションに使用できるため、PDN デザイン・ツールは最適なコストと性能トレード・オフを実現するデカップリング・コンデンサの数を決定する高速、正確かつインタラクティブな方法を提供しています。


 PDN デザインおよび最適化プロセスについて詳しくは、「[Power Delivery Network \(PDN\) Tool for Stratix IV Devices User Guide](#)」を参照してください。Stratix IV デバイス用の PDN ツールがダウンロードできます。

40.  PDN ツールを使用して電源分配ネットリストおよびデカップリング・コンデンサをプランニング。

## PLL ボード・デザイン・ガイドライン

クロックおよび PLL 手法の設計について詳しくは、37 ページの「[クロックおよび PLL の選択](#)」および 39 ページの「[PLL 機能のガイドライン](#)」を参照してください。PLL にはデジタル・デバイスに組み込まれたアナログ・コンポーネントが搭載されているため、以下のチェックリストに、PLL を使用する電源システムの設計およびジッタの低減についての検討事項を示します。

41.  ノイズを低減するために、デザインですべての PLL を使用しない場合でも、すべての PLL 電源ピンを接続： $V_{CCA\_PLL}$  を 2.5 V に、 $V_{CCD\_PLL}$  を 0.9 V に。
42.  電源から各  $V_{CCA\_PLL}$  ピンに厚い配線パターン (最低 20mil) を走らせる。
43.  すべての  $V_{CCD\_PLL}$  電源ピンをボード上で最もノイズの少ないデジタル電源に接続。
44.  フェライト・ビーズを使用して、PLL 電源をデジタル電源から絶縁。

 PLL 電源に関するボード・デザイン・ガイドラインについて詳しくは、「[Board Design Resource Center](#)」での「[General Board Design Considerations/Guidelines](#)」の項を参照してください。

## トランシーバ・ボード・デザイン・ガイドライン

- トランシーバに特有のガイドラインについては、「Stratix IV デバイス・ハンドブック」の「*Transceiver Architecture*」および「*Transceiver Configuration Guide*」の項を参照してください。
- 高速トランシーバに関するボード・デザイン・ガイドラインについては、「Board Design Resource Center」の「Gigahertz Channel Design Considerations」の項を参照してください。

## コンフィギュレーション・ピンの接続

コンフィギュレーション手法に応じて、異なるプルアップ / プルダウン抵抗あるいはシグナル・インテグリティ要件が適用される場合があります。また、一部のコンフィギュレーション・ピンには、未使用の場合には特定の要件があります。コンフィギュレーション・ピンは正しく接続されることが非常に重要です。この項では、一般的な問題に対処するためのガイドラインを提供します。

45.  すべてのコンフィギュレーション・ピンおよびプルアップ / プルダウン抵抗はコンフィギュレーション手法に対して正しく設定されることを確認。
- 各コンフィギュレーション・ピンについては、「Stratix IV GX Device Family Pin Connection Guidelines」を参照してください。
  - 専用コンフィギュレーション・ピンと兼用コンフィギュレーション・ピンの一覧、およびその機能の説明については、「Stratix IV デバイス・ハンドブック Volume 1」の「*Configuration, Design Security, Remote System Upgrades with Stratix IV Devices*」の章を参照してください。

### DCLK および TCK シグナル・インテグリティ

TCK トレースおよび / または DCLK トレースが、オーバーシュート、アンダーシュート、またはリングングのないクリーンな信号を生成するようにしてください。

46.  コンフィギュレーション・ピンの DCLK および TCLK ピンにノイズが発生しないように設計。
- ボードを設計するときは、クロック・ラインのレイアウトと同じ手法を使用して TCK トレースと DCLK トレースをレイアウトします。オーバーシュート、アンダーシュート、リングング、またはその他のノイズはコンフィギュレーションに影響を与える可能性があります。DCLK 信号にノイズが多い場合、コンフィギュレーションが影響を受け、CRC エラーが発生することがあります。デバイスのチェーンでは、チェーン内の TCK ピンまたは DCLK ピンのノイズによって、チェーン全体の JTAG プログラミングまたはコンフィギュレーションが失敗することがあります。
- チェーン内のデバイスの接続については、「Stratix IV デバイス・ハンドブック」の「*Configuration, Design Security, Remote System Upgrades with Stratix IV Devices*」の章を参照してください。

## JTAG ピン

JTAG コンフィギュレーションは、他のすべてのコンフィギュレーション手法より優先されるため、JTAG インタフェースを使用しない時は、JTAG ピンをコンフィギュレーション中にフローティング状態のままにしたり、トグルしないようにする必要があります。

47.  JTAG ピンが未使用の場合は、安定した電圧レベルに接続。

JTAG インタフェースを使用する場合、この項のガイドラインに従ってください。

## JTAG ピンの接続

JTAG モードで動作するデバイスは、TDI、TDO、TMS、および TCK の 4 本の専用ピン、および TRST の 1 本のオプション・ピンを使用します。TCK ピンは内部ウィーク・プルダウン抵抗を備えていて、TDI ピン、TMS ピン、および TRST ピンは内部ウィーク・プルアップ抵抗（標準 25 kW）を備えています。JTAG 出力ピン TDO およびすべての JTAG 入力ピンは、2.5 V および 3.0 V の  $V_{CCPD}$  電源で駆動されます。すべての JTAG ピンは、LVTTTL I/O 規格のみをサポートします。

48.  JTAG ピンをダウンロード・ケーブルのヘッダに正しく接続。ピンの順番が逆にならないようにする。

チェーン内に複数のデバイスがある場合、1 つのデバイスの TDO ピンをチェーン内の次のデバイスの TDI ピンに接続します。

デバイスがコンフィギュレーション、ユーザー・モード、またはパワーアップ中の場合、JTAG ピンのノイズによってデバイスが不定の状態または不定モードになることがあります。


49.  パワーアップ時に JTAG ステート・マシンをディセーブルするには、TCK ピンを 1 kW の抵抗によって Low にプルダウンして、TCK 上に予期しない立ち上がりエッジが発生しないようにする。
50.  10 kW 抵抗を介して、TMS および TDI を High にプルアップ。
51.  TRST を  $V_{CCPD}$  に直接接続（ピンをグラウンドに接続すると、JTAG 回路がディセーブルされます）。

## ダウンロード・ケーブルの動作電圧

ターゲット・ボードの 10 ピン・ヘッダからアルテラのダウンロード・ケーブルに供給される動作電圧により、ダウンロード・ケーブルの動作電圧レベルが決まります。すべての Stratix IV デバイスの専用 JTAG ピンはバンク 1A に配置されており、 $V_{CCPD}$  で駆動されます。

52.  ダウンロード・ケーブルはデバイスの JTAG ピンにインタフェースするため、ダウンロード・ケーブルの動作電圧と JTAG ピンの電圧が適合していることを確認。

$V_{CCIO}$  レベルが異なるデバイスを含む JTAG チェインでは、 $V_{CCIO}$  レベルが高いデバイスは、 $V_{CCIO}$  レベルが同じかそれ以下のデバイスをドライブしなければなりません。このデバイス構成では、チェーンの末端に 1 個のレベル・シフタが必要です。この配置が不可能な場合は、レベル・シフタをチェーンに追加する必要があります。

-  チェイン内のデバイスに複数の電圧を印加する JTAG チェインでの接続に関する推奨事項は、「Stratix IV デバイス・ハンドブック」の「Stratix IV デバイスの JTAG バウンダリ・スキャン・テスト」の章を参照してください。

## JTAG 信号のバッファリング

TCK 信号が JTAG クロックであり、また最高速の JTAG 信号であるため、JTAG のシグナル・インテグリティ、特に TCK 信号のシグナル・インテグリティに応じ、JTAG チェインにバッファを追加しなければならない場合があります。アルテラでは、信号をコネクタでバッファすることを推奨しています。これは、ケーブルやボードのコネクタが適切な伝送ラインではなく、信号にノイズを発生させる傾向があるためです。このようなコネクタでの最初のバッファに続いて、チェーンが延長されたり、信号がボード・コネクタを通過する必要が生じた場合は必ずバッファを追加してください。

ケーブルが 3 個以上のデバイスをドライブする場合は、ケーブル・コネクタで JTAG 信号をバッファして、信号の劣化を防ぎます。これはボード・レイアウト、負荷、コネクタ、ジャンパ、ボード上のスイッチ類に依存します。JTAG 信号のインダクタンスまたはキャパシタンスに影響を与える要素がボードに追加されると、チェーンにバッファを追加する必要性が高まります。

並列にドライブされる TCK 信号と TMS 信号の場合は、各バッファでドライブされる負荷を 8 以下に抑える必要があります。ジャンパまたはスイッチをパスに追加した場合は、負荷の数を少なくします。

- 53.  特にコネクタに対して、あるいはケーブルが 4 個以上のデバイスをドライブする場合は、推奨事項に従って JTAG 信号をバッファ。
- 54.  デバイスがコンフィギュレーション・チェーンにある場合は、チェーン内のすべてのデバイスが正しく接続されていることを確認。

## MSEL コンフィギュレーション・モード・ピン

コンフィギュレーション手法を選択するには、Stratix IV デバイスの MSEL ピンを High または Low にドライブします。MSEL ピンの選択にかかわらず、JTAG コンフィギュレーションは常に使用できます。MSEL ピンは、それらのピンが存在するバンクの  $V_{CCPGM}$  電源で駆動されます。MSEL [2..0] ピンには、常にアクティブな 5 kW 内部プルダウン抵抗があります。POR およびリコンフィギュレーション中、MSEL ピンがロジック Low およびロジック High と判定されるには、MSEL ピンが LVTTL  $V_{IL}$  レベルおよび  $V_{IH}$  レベルであることが必要です。不正なコンフィギュレーション手法を検出する際の問題を回避するために、マイクロプロセッサまたはほかのデバイスで MSEL をドライブしないでください。

- 55.  MSEL ピンをフローティング状態にしないで、コンフィギュレーション手法を選択するように接続する。テストまたはデバッグ作業中に各コンフィギュレーション・モードに切り換える柔軟性を確保するために、各ピンを 0  $\Omega$  抵抗で  $V_{CCPGM}$  または GND に接続するようにボードをセットアップ。

## その他のコンフィギュレーション・ピン

以下のピンを含むすべての専用および兼用コンフィギュレーション・ピンを正しく接続する必要があります。

- 56.  nIO\_PULLUP を正しく接続して、内部プルアップ抵抗を設定。

nIO\_PULLUP ピンは、コンフィギュレーション実行前および実行中に、ユーザー I/O ピンおよび兼用 I/O ピン (DATA[7..0]、CLKUSR、INIT\_DONE、DEV\_OE、DEV\_CLRn、CRC\_ERROR) の内部プルアップ抵抗をオンまたはオフのいずれにするかを選択します。内部プルアップ抵抗をオフにするには、nIO\_PULLUP を  $V_{CCPGM}$  に直接接続するか 1 k $\Omega$  のプルアップ抵抗を使用し、オンにするには nIO\_PULLUP を GND に直接接続します。

57.  nCE チップ・イネーブルを、コンフィギュレーション実行中、初期化中、およびユーザー・モードでは Low に保持。

シングル・デバイス・コンフィギュレーションまたは JTAG プログラミングでは、nCE を Low に接続します。マルチ・デバイス・コンフィギュレーションでは、最初のデバイスの nCE は Low に接続し、nCEO ピンはチェーン内の次のデバイスの nCE ピンに接続します。

## ボード関連の Quartus II 設定

Quartus II ソフトウェアは、ボード設計時に考慮すべき FPGA I/O ピンに対するオプションを提供します。Quartus II プロジェクトの作成時にこれらのオプションが正しく設定されることを確認し、ボード・デザインの際では機能性をプランニングします。

### デバイス・ワイド出力イネーブル・ピン

Stratix IV デバイスは、ユーザーがデバイスの I/O のすべてのトライ・ステートを無効にできるオプションのチップ・ワイド出力イネーブルをサポートしています。この DEV\_OE ピンが Low にドライブされると、すべての I/O ピンはトライ・ステートになり、High にドライブされるとプログラムどおりに動作します。このチップ・ワイド出力イネーブルを使用するには、デザインをコンパイルする前に Quartus II ソフトウェアで、**Device & Pin Options** ダイアログ・ボックスの **General** タブにある **Enable device-wide output enable (DEV\_OE)** をオンにします。

58.  必要に応じて、デバイス・ワイド出力イネーブル・オプションをオンにする。

### 未使用ピン

ボード・デザインを柔軟に行うために、Quartus II ソフトウェアで未使用ピンの状態を以下のいずれかに指定できます。

- トライ・ステートになる入力
- グラウンドをドライブする出力
- 指定されていない信号をドライブする出力
- バスホールドでトライ・ステートになる入力
- ウィーク・プルアップでトライ・ステートなる入力

59.  未使用 I/O ピンの予約状態を指定。



シグナル・インテグリティを改善するには、未使用ピンをグラウンドをドライブする出力として設定し、それらをボード上のグラウンド・プレーンに直接接続します。これにより、短いリターン・パスを作成することによってインダクタンスを低減し、隣接する I/O 上のノイズを低減します。消費電力を低減するには、グラウンドをドライブするようクロック・ピンを設定し、未使用 I/O ピンをトライ・ステートになる入力として設定します。デザインに適切な設定を行うには、**Device & Pin Options** ダイアログ・ボックスの **Unused Pins** タブにある **Reserve all unused pins** に許容される 5 つの状態の 1 つを選択するか、または Pin Planner で特定のピンに **Reserve Pin** アサインメントを適用します。

60.  Quartus II ソフトウェアで生成された .pin ファイルで、ピン接続を慎重にチェックする。RESERVED ピンは接続しない。


デザインをコンパイルするとき、Quartus II ソフトウェアはデバイス・ピンの接続方法を指定するためのピン・レポート・ファイル (.pin) を生成します。未使用 I/O ピンは、ソフトウェアで設定した未使用ピン・オプションに応じて、Quartus II レポート・ファイルでマークされます。GND\* として指定されるすべての I/O ピンは、デバイスのノイズ耐性を向上させるためにグラウンドに接続するか、未接続のままにすることができます。ボード上の RESERVED I/O ピンは、規定されていない信号をドライブするため、すべて未接続のままにしておきます。RESERVED I/O ピンが V<sub>CC</sub>、グラウンド、または別の信号ソースに接続されると、競合が起これ、デバイスの出力ドライバが損傷することがあります。RESERVED\_INPUT I/O ピンは、ボード上の High または Low 信号に接続でき、RESERVED\_INPUT\_WITH\_WEAK\_PULLUP ピンと RESERVED\_INPUT\_WITH\_BUS\_HOLD ピンは未接続のままにしておくことができます。

## シグナル・インテグリティの検討事項

この項では、詳細なボード・デザイン・ガイドラインへの参照リンクが含まれ、電圧リファレンス・ピン、同時スイッチング・ノイズ、および I/O 終端に関連するガイドラインについてもすこし説明されます。

### 高速ボードのデザイン

デザインに高速信号が含まれている場合、特に Stratix IV GX または GT デバイス高速トランシーバを使用する場合には、ボード・デザインはシステム・シグナル・インテグリティに大きな影響を与えます。

-  シグナル・インテグリティおよびボード・デザインについて詳しくは、「[Board Design Resource Center](#)」を参照してください。

例えば、アルテラが提供した高速ボード積層および信号配線層に関するアプリケーション・ノートは次のとおりです。

- [AN 528: PCB Dielectric Material Selection and Fiber Weave Effect on High-Speed Channel Routing](#)
- [AN 529: Via Optimization Techniques for High-Speed Channel Designs](#)
- [AN 530: Optimizing Impedance Discontinuity Caused by Surface Mount Pads for High-Speed Channel Designs](#)

## 電圧リファレンス・ピン

$V_{REF}$  ピンの電圧変動は、入力のスレッシュホールド感度に影響を及ぼすことがあります。

61.  ノイズが発生しないように  $V_{REF}$  ピンを設計。

電圧リファレンス・ピンおよび I/O 規格について詳しくは、30 ページの「I/O 機能およびピン接続」を参照してください。

## 同時スイッチング・ノイズ

(近接する) 多数のピンが同時に電圧レベルを変化させた場合、同時スイッチング・ノイズ (SSN) が問題になります。SSN で発生したノイズによって、ノイズ・マージンが減少し、誤ったスイッチングが発生する可能性があります。SSN はデバイス・パッケージで一般的に発生する問題です。ノイズの低減に役立つボード・レイアウトの推奨事項については、アルテラの「Board Design Guidelines Solution Center」の PCB ガイドラインを参照してください。例としては、以下の項目を参照：

62.  ボード層上のデバイスに近い大きなバス信号を分割してクロストークを低減。
63.  2つの信号層が隣接している場合は、可能であれば配線パターンを直角に配線。配線パターン幅の 2～3 倍の間隔を使用。

## I/O 終端

電圧リファレンス形式の I/O 規格には、入力リファレンス電圧  $V_{REF}$  と、終端電圧  $V_{TT}$  の両方が必要です。受信デバイスのリファレンス電圧は、送信デバイスの終端電圧に追従します。電圧リファレンス形式の I/O 規格は、それぞれに固有の終端設定が必要です。例えば、SSTL2 規格では優れたノイズ・マージンを持つ信頼性の高い DDR メモリ・システムを作成するために、適切な抵抗性の信号終端方式が重要です。

シングル・エンド非電圧リファレンス形式の I/O 規格では終端は不要ですが、反射を抑え、シグナル・インテグリティを向上させるためにインピーダンス・マッチングが必要です。

Stratix IV の直列および並列 On-Chip Termination では、外部コンポーネントが必要ないためデザインが簡潔になります。その代わりとして、外部プルアップ抵抗を使用して、SSTL や HSTL などの電圧リファレンス形式の I/O 規格を終端できます。

差動 I/O 規格は、通常はレシーバの 2つの信号間に終端抵抗を必要とします。終端抵抗は、信号ラインの差動負荷インピーダンスと整合しなければなりません。

Stratix IV デバイスは、LVDS を使用するときオプションの差動オンチップ抵抗を提供します。

 特定の専用クロック入力ペアは、差動終端をサポートしません。

64.  選択した I/O 規格、特に電圧リファレンス形式の規格の I/O 終端およびインピーダンス・マッチングをチェック。


On-Chip Termination 機能および制約について詳しくは、30 ページの「I/O 機能およびピン接続」を参照してください。

## ボード・レベル・シミュレーションおよびアドバンスド I/O タイミング解析

I/O 信号がボード・セットアップにおいて確実にレシーバ・スレッショルド・レベルを満たすようにするには、IBIS モデルを使用するサードパーティ製のボード・レベル・シミュレーション・ツールでフル・ボード配線シミュレーションを実行します。

この機能を Quartus II ソフトウェアで使用できる場合、**Settings** ダイアログ・ボックスの **EDA Tool Settings** ページの **Board-level signal integrity analysis** で、**IBIS** を選択します。

65.  IBIS モデル（使用可能な場合）を使用して、ボード・レベルでシミュレーションを実行。

 このシミュレーション・フローについて詳しくは、「*Quartus II* ハンドブック Volume 3」の「*Signal Integrity with Third-Party Tools*」の章を参照してください。

ボード・デザインに高速インタフェースを備えた FPGA デバイスを含める場合は、システムを適切に動作させる上で、シグナル・インテグリティとボード配線伝播遅延を把握することが不可欠です。特に高速デザインでは、I/O およびボード・プランニングの一部としてボード・レベル・タイミングを解析する必要があります。

66.  Quartus II アドバンスド I/O タイミング解析のためのボード・トレース・モデルをコンフィギュレーションする。

Quartus II ソフトウェアでは、選択した I/O 規格のボード・トレース・モデルをコンフィギュレーションし、「ボードを考慮した」シグナル・インテグリティ・レポートを生成することができます。**Enable Advanced I/O Timing** がオンのとき、**TimeQuest** タイミング・アナライザは、システム・レベルでの信号動作を把握するために、I/O バッファ、パッケージ、およびボード・トレース・モデルに対するシミュレーション結果を使用して、より精度の高い I/O 遅延と特別なレポートを生成します。これらの高度なタイミング・レポートを参考にして、I/O アサインメントとボード・デザインを変更し、タイミングおよびシグナル・インテグリティを向上させることができます。

## I/O およびクロックのプランニング

Stratix IV デバイスの多数の I/O ピンおよび高度なクロック管理機能では、I/O リソースおよびクロック・リソースのプランニングおよび割り当ては重要なタスクです。利用可能な I/O リソースを効率的にプランニングして使用率を高め、シグナル・インテグリティに関連する問題を防止するために、さまざまな検討事項が重要です。FPGA デザインの性能にとって、優れたクロック管理システムも不可欠です。

FPGA の I/O およびクロック接続は、システムの他の部分およびボード・デザインに影響与えるため、これらの接続は、デザイン・サイクルの早期段階で計画することが重要です。

この項では、次の内容について説明します。

- 28 ページの「FPGA ピン・アサインメントの作成」
- 29 ページの「早期ピン・プランニングおよび I/O アサインメントの解析」
- 30 ページの「I/O 機能およびピン接続」
- 37 ページの「クロックおよび PLL の選択」

- 39 ページの「PLL 機能のガイドライン」
- 41 ページの「クロック・コントロール・ブロック」
- 41 ページの「同時スイッチング・ノイズ」

## FPGA ピン・アサインメントの作成

Quartus II Pin Planner GUI を使用すると、I/O プランニング・プロセスを通じて、I/O バンク、VREF グループ、および差動ピンの組み合わせを識別できます。特定のピンを検索するには、Pin Planner スプレッドシート・インタフェースで右クリックし、**Pin Finder** クリックします。マイグレーション・デバイスを選択すると、6 ページの「デバイスのパーティカル・マイグレーション」で説明したとおり、**Pin Migration View** で現在選択しているデバイスとマイグレーション・デバイスで機能が変化するピンがハイライトされます。

67.  Quartus II Pin Planner を使用してピン・アサインメントを実施。


デザイン・フローで通常スプレッドシートを使用する場合は、Microsoft Excel スプレッドシートを Quartus II ソフトウェアにインポートして I/O プランニング・プロセスを開始する選択肢があります。さらに、すべてのピンが割り当てられている場合は、I/O アサインメントを含むカンマ区切り値 (.csv) ファイルをスプレッドシート用にエクスポートすることもできます。

Quartus II ソフトウェアでデザインをコンパイルする場合、フィッタにおける I/O アサインメントの解析により、アサインメントがすべてのデバイス要件を満足することが検証され、問題があればメッセージが生成されます。

68.  Quartus II Fitter メッセージとレポートをピン・アサインメントのサイン・オフに使用。

その後、ピン位置に関する情報を PCB 設計者に渡すことができます。特にピン配置を変更する必要がある場合は、デザインが配置されたボード上で正しく機能するように、Quartus II ソフトウェアと回路図ツールおよびボード・レイアウト・ツールとの間でピン・アサインメントを一致させること重要です。Pin Planner は、特定の PCB デザイン EDA ツールと密接に統合され、これらのツールからピン位置の変更を読み出して提案された変更をチェックすることができます。デザインをコンパイルすると、Quartus II ソフトウェアにより .pin ファイルが生成されます。このファイルを使用して、ボード回路図で各ピンが正しく接続されていることを確認できます。

69.  Quartus II ピン・アサインメントが回路図およびボード・レイアウト・ツールのアサインメントに適合することを検証。

-  Pin Planner を使用した I/O アサインメントの作成について詳しくは、「Quartus II ハンドブック Volume 2」の「I/O Management」の章を参照してください。Quartus II ソフトウェアとサードパーティの EDA ツール間での I/O 情報の受け渡しについて詳しくは、「Quartus II ハンドブック Volume 2」の「Mentor Graphics PCB Design Tools Support」および「Cadence PCB Design Tools Support」の章を参照してください。

## 早期ピン・プランニングおよび I/O アサインメントの解析

多くのデザイン環境において、FPGA 設計者は、トップレベル I/O ピンを早期にプランニングして、ボード設計者が PCB のデザインおよびレイアウトの開発を開始できるようにすることを望みます。FPGA デバイスの I/O 機能とボード・レイアウト・ガイドラインは、ピン位置およびその他のタイプのアサインメントに影響を及ぼします。ボード・デザイン・チームが FPGA のピン配置を指定する場合は、できるだけ早期に FPGA 配置配線ソフトウェアでピン位置を確認して、ボード・デザインを変更する必要が生じないようにすることが非常に重要です。


Quartus II Pin Planner により、28 ページの「FPGA ピン・アサインメントの作成」で説明するとおり、I/O ピン・アサインメントのプランニング、アサインメント、および検証を簡単に行うことができます。Quartus II の **Start I/O Assignment Analysis** コマンドにより、ターゲットの FPGA アーキテクチャでピン位置とピン・アサインメントがサポートされていることがチェックされます。チェックには、リファレンス電圧ピンの使用、ピン配置アサインメント、および I/O 規格の混在が含まれます。I/O アサインメントの解析を使用して、デザイン・プロセスを通じて作成または変更した I/O 関連アサインメントを検証することができます。

FPGA のピン・プランニングを早期に開始することにより、早期のボード・レイアウトに対する信頼が高まり、エラーが生じる可能性が低くなり、デザインの市場投入に要する時間が短縮されます。ソース・コードを設計する前に、Quartus II Pin Planner を使用してアルテラ FPGA 用の暫定的なピン配置を作成することができます。

70. □ I/O Assignment Analysis を使用して、Create Top-Level Design File コマンドを使用して、デザインの完成前に I/O アサインメントをチェック。


システム開発者は通常、デザイン・プロセスの早期に、標準 I/O インタフェース（メモリ、バス・インタフェースなど）、デザインで使用する IP コア、およびシステム要件で定義されるその他の I/O 関連アサインメントに関する情報を持っています。Pin Planner の **Create/Import Megafunction** 機能は、MegaWizard Plug-In Manager とインタフェースし、I/O インタフェースを使用するカスタム・メガファンクションおよび IP コアの作成とインポートを可能にします。オプションがピン配置ルールに影響を及ぼすので、PLL および LVDS ブロックをダイナミック・フェーズ・アラインメント（DPA）などのオプションを含めて入力します。できるだけ多くの I/O 関連情報を入力したら、**Create Top-Level Design File** コマンドを使用して、トップレベル・デザインのネットリスト・ファイルを生成します。I/O 解析の結果を使用して、ピン・アサインメントまたは IP パラメータを変更し、I/O インタフェースがデザイン要件を満たし、Quartus II ソフトウェアのピン・チェックに合格するまで、チェック・プロセスを繰り返すことができます。

前項で説明しているように、プランニングが完了したら、ピン暫定位置に関する情報を PCB 設計者に渡すことができます。デザインが完成したら、Quartus II Fitter により生成されるレポートとメッセージを使用して、ピン・アサインメントの最終的なサインオフを行います。

-  I/O アサインメントおよび解析について詳しくは、「Quartus II ハンドブック Volume 2」の「I/O Management」の章を参照してください。

## I/O 機能およびピン接続

Stratix IV I/O は、使いやすさと迅速なシステム統合を実現すると同時に、広帯域幅を提供するように設計されています。パーティカル・マイグレーションが可能な共通バンク構造を持つ独立したモジュール・ベースの I/O バンクにより、高速 I/O の効率と柔軟性が高まります。この項では、I/O 機能とピン接続に関するガイドラインを提供します。デバイスの I/O バンクでの異なる I/O 信号の種類と I/O 規格のサポート、およびデザインで使用可能なその他の I/O 機能について説明します。さらに、メモリ・インタフェース、パッド配置ガイドライン、および特殊ピンの接続に関する情報も提供します。

 I/O ピン位置および接続に関するガイドラインの一覧については、「*Stratix IV GX Device Family Pin Connection Guidelines*」を参照してください。

### I/O 信号の種類

Stratix IV デバイスは、シングル・エンド、電圧リファレンス形式のシングル・エンド、および差動 I/O 規格などの I/O 規格を幅広くサポートします。この項では、信号の種類を選択に関する一般的なガイドラインを提供します。

シングル・エンド I/O 信号は、シンプルなレール・トゥ・レール・インタフェースを提供します。その速度は、大きな電圧振幅とノイズの制限を受けます。シングル・エンド I/O は、システム内の反射によって悪影響が生じない限り、終端は必要ありません。

電圧リファレンス形式の信号は、複数のピンで同時に電圧レベルを変化させる同時スイッチング出力 (SSO) (例えば、外部メモリ・インタフェースのデータおよびアドレス・バス) の影響を軽減します。また、電圧リファレンス形式の信号は、電圧振幅の低減によりロジック遷移レートを改善し、終端要件に起因する反射によって発生するノイズを抑制します。ただし、リファレンス電圧源  $V_{TT}$  に終端コンポーネントを追加する必要があります。

差動信号は、隣接する追加の反転データ信号とのペアで使用するにより、シングル・エンドおよび電圧リファレンス形式の信号のインタフェース性能障壁をなくします。また、差動信号はクリーンなリファレンス電圧を必要としません。これは、低い振幅電圧とコモン・モード・ノイズ除去機能によるノイズ耐性によって実現できます。この実装の検討事項には、サンプリング・クロックを生成する専用 PLL の使用、および反転ペアと非反転ペア間の位相差をなくするためのトレース長の一致が含まれます。

Stratix IV デバイスの I/O ピンはペアで編成されており、差動規格をサポートします。各 I/O ピン・ペアは、差動入力動作のみをサポートする特定のクロック・ピンを除き、差動入力動作または差動出力動作をサポート可能です。デザインのソース・コードでは、1 本のピンだけが差動ペアとなるよう定義し、そのペアのポジティブ・エンドにピン・アサインメントを行います。差動 I/O 規格を指定すると、Quartus II ソフトウェアは自動的に対応するネガティブ・ピンを配置します。

- 71.  システム要件に応じて信号の種類をプランニング。
- 72.  ソフトウェアで差動ピン・ペアのネガティブ・ピンの位置を割り当てる。

## 選択可能な I/O 規格と柔軟性の高い I/O バンク

Stratix IV デバイスの I/O ピンは、モジュラー I/O バンクと呼ばれるグループで編成されます。I/O バンク数は、デバイス集積度に応じて 16 ~ 24 バンクになります。Stratix IV デバイスでは、サイドあたりの I/O バンク数はデバイス集積度によって異なり、4 つまたは 6 つです。1 サイドあたりの I/O バンク数が異なるデバイスを移行するとき、除去または挿入されるのは真ん中のバンク、すなわち「B」バンクです。

- 73.  各 I/O ピンに最適な信号タイプおよび I/O 規格を選択。
- 74.  ターゲットの I/O バンクで適切な I/O 規格サポートがサポートされていることを確認。

デバイスのトップおよびボトムまたはレフトおよびライトの特定の I/O バンクは、異なる I/O 規格と電圧レベルをサポートします。Pin Planner で、I/O 規格を割り当て、I/O 関連の設定を行うことができます。クロックやグローバル・コントロール信号などの信号には、37 ページの「クロックおよび PLL の選択」で説明するとおり、必ず正しい専用ピン入力を使用してください。

- 75.  同じ電圧レベルを共有する I/O ピンを同じ I/O バンク内に配置。
- 76.  各 I/O バンクのすべての出力信号が、バンクの  $V_{CCIO}$  電圧レベルでドライブ・アウトするようになっていることを確認。
- 77.  各 I/O バンクのすべての電圧リファレンス形式の信号が、バンクの  $V_{REF}$  電圧レベルを使用するようになっていることを確認。




ボードは、バンク内の各  $V_{CCIO}$  ピンに給電するために、各バンクに対して 1 つの  $V_{CCIO}$  電圧レベルを供給する必要があります。各 I/O バンクは、特定のバンクの  $V_{CCIO}$  ピンで給電され、他の I/O バンクの  $V_{CCIO}$  からは独立しています。1 つの I/O バンクが、 $V_{CCIO}$  と同じ電圧でドライブする出力信号をサポートします。I/O バンクは、異なる差動 I/O 規格が割り当てられたいかなる数の入力信号でも同時にサポートできます。

電圧リファレンス形式の I/O 規格に対応するために、Stratix IV デバイスの各 I/O バンクは、共通の  $V_{REF}$  バスに電源を供給する複数の  $V_{REF}$  ピンをサポートします。 $V_{REF}$  ピンを、バンク内で I/O 規格に対応する正しい電圧に設定してください。各 I/O バンクで同時に設定できるのは、1 つの  $V_{CCIO}$  電圧レベルと 1 つの  $V_{REF}$  電圧レベルだけです。 $V_{REF}$  ピンは、電圧基準として使用されていない場合に汎用 I/O ピンとして使用することができないので、同一バンクの  $V_{CCIO}$  または GND に接続しなければなりません。

シングル・エンド規格または差動規格に対応する I/O バンクは、すべての電圧リファレンス形式の規格が同じ  $V_{REF}$  設定を使用している限り、電圧リファレンス形式の規格をサポートできます。性能上の理由により、電圧リファレンス形式の入力規格は、電源として独自の  $V_{CCPD}$  レベルを使用します。したがって、2.5 V またはそれ以下の  $V_{CCIO}$  電圧を持つバンクに電圧リファレンス形式の入力信号を配置することができます。電圧リファレンス形式双方向信号および出力信号は、I/O バンクの  $V_{CCIO}$  電圧レベルでドライブ・アウトしなければなりません。

- 78.  I/O バンクの LVDS およびトランシーバ機能に対するサポートをチェック。

異なる I/O バンクは LVDS 信号に対するサポートが異なり、Stratix IV GX トランシーバ・バンクでは追加のサポートが含まれています。

- 
 LVDS I/O 規格で使用可能なチャンネル数について詳しくは、「Stratix IV デバイス・ハンドブック Volume 1」の「High-Speed Differential I/O Interface with DPA in Stratix IV Devices」の章を参照してください。トランシーバ・バンクに関する機能について詳しくは、「Stratix IV デバイス・ハンドブック Volume 2」の「Stratix IV Transceiver Architecture」の章を参照してください。
- 
 I/O について詳しくは、「Stratix IV デバイス・ハンドブック」の「I/O Features in Stratix IV Devices」の章を参照してください。各 I/O バンクの位置と各バンクでサポートする機能を示す Stratix IV デバイスの I/O バンクの図を参照してください。各バンク内の I/O 数を示す図は、各デバイス集積度に固有のバンク情報を提供します。各バンク内で組み合わせ可能な I/O 規格については、I/O バンクの制約について説明した項を参照してください。また、LVDS に関する制約について詳しくは、I/O 配置ガイドラインについて説明した項を参照してください。
- 
 各 I/O 規格の電気的特性について詳しくは、「Stratix IV デバイス・ハンドブック Volume 4」の「DC and Switching Characteristics」の章を参照してください。

### メモリ・インタフェース

Stratix IV デバイスは、小型モジュール・ベース I/O バンク構造のバンクにより、幅広い外部メモリ・インタフェースに迅速かつ容易に適合する効率的なアーキテクチャを提供します。Stratix IV デバイスは、最大 533 MHz までの DDR3 SDRAM、DDR2 SDRAM、DDR SDRAM、QDRII+ SRAM、QDRII SRAM、および RLDRAM II などの既存および最新の外部メモリ規格をサポートします。Stratix IV FPGA は、デバイスのすべてのサイドの任意の I/O バンクにある、トランシーバをサポートしない DDR 外部メモリをサポートしています。

79.  各メモリ・インタフェースの ALTMEMPHY メガファンクション（または IP コア）を使用して、該当するドキュメントの接続ガイドラインや制約に従う。

セルフ・キャリプレート・メガファンクション（ALTMEMPHY）は、Stratix IV デバイスの I/O 構造を活用するように最適化されています。ALTMEMPHY メガファンクションでは、外部メモリ・インタフェース機能を設定し、システムに最適な物理インタフェース（PHY）の設定を支援します。アルテラのメモリ・コントローラ MegaCore ファンクションを使用する場合、ALTMEMPHY メガファンクションがインスタンス化されます。

アルテラの IP を使用してデバイス内に複数のメモリ・インタフェースを設計する場合は、1 つのメモリ・インタフェースを一度だけ設計してそれを繰り返しインスタンス化する方法を取らずに、必ず各インスタンス用の固有インタフェースを生成して、良好な結果が得られるようにしてください。

80.  メモリ・インタフェースに専用 DQ/DQS ピンおよび DQ グループを使用。

Stratix IV デバイスでは、データ・ストローブ DQS ピンおよびデータ DQ ピンの位置は固定されています。デバイス・ピンアウトをデザインする前に、これらまたはほかのメモリ関連の信号の接続について詳細や重要な制約を把握するために、メモリ・インタフェース・ガイドラインを参照してください。



- 異なるメモリ規格がサポートされている最大クロック・レート、およびピン配置における制約を含む、Stratix IV デバイスの外部メモリ・デバイスへの接続について詳しくは、「Stratix IV デバイス・ハンドブック」の「External Memory Interfaces in Stratix IV Devices」の章を参照してください。関連情報については、アルテラ・ウェブサイトの外部メモリ・ソリューション・センターを参照してください。特定のメモリ・インタフェースに関連する具体的なガイドラインについては、該当するアプリケーション・ノートを参照してください。
- Stratix IV PLL について詳しくは、「Stratix IV デバイス・ハンドブック Volume 1」の「Stratix IV デバイスのクロック・ネットワークおよびPLL」を参照してください。ALTMEMPHY メガファンクションについて詳しくは、「External Memory PHY Interface Megafunction User Guide (ALTMEMPHY)」を参照してください。

### 兼用ピンおよび特殊ピンの接続

Stratix IV デバイスは、兼用コンフィギュレーション・ピンによる I/O の柔軟性を可能にします。兼用コンフィギュレーション・ピンは、デバイス・コンフィギュレーションの完了後に汎用 I/O として使用できます。**Device and Pin Options** ダイアログ・ボックスの **Dual-Purpose Pins** タブで、各兼用ピンに必要な設定を選択します。これらのピンは、コンフィギュレーション手法に応じて、通常の I/O ピン、トライ・ステート入力、グラウンドをドライブする出力、または規定されていない信号をドライブする出力として予約することができます。

また、グローバル・クロック・ネットワークにドライブする専用クロック入力ピンも、クロック・ピンとして使用されていない場合は、汎用入力ピンとして使用できます。クロック入力ピンには専用 I/O レジスタがないので、クロック入力を汎用入力として使用するとき、I/O レジスタは ALM ベースのレジスタを使用します。

デバイス・ワイドのリセットおよびクリア・ピンは、イネーブルされていない場合はデザイン I/O として使用できます。詳細は、24 ページの「デバイス・ワイド出力イネーブル・ピン」および 43 ページの「レジスタ・パワーアップ・レベルとコントロール信号」を参照してください。

81.  兼用ピンの設定を行い、これらのピンを通常の I/O として使用する際の制約をチェック。

### Stratix IV デバイスの I/O 機能

Stratix IV 双方向 I/O エレメント (IOE) 機能は、迅速なシステム統合をサポートすると同時に、内部ロジックの能力を最大化し、システム・レベルの性能を達成するのに必要な広帯域幅を提供します。デバイス・インタフェースの高度な機能は、デバイス間的高速データ転送を補助し、PCB の複雑さおよびコストを低減します。表 2 に、Stratix IV の I/O 機能、使用方法に関する情報とデザイン検討事項、およびこれらの機能に関する詳細情報の参照先を示します。

表 2. Stratix IV の I/O 機能 ( 1 / 4 )

特長	使用方法	ガイドラインおよび詳細情報
MultiVolt I/O インタフェース	この機能により、すべてのパッケージが異なる電源電圧のシステムとインタフェースできます。V <sub>CCIO</sub> ピンは要求される出力のレベルに応じて、1.2 V、1.5 V、1.8 V、2.5 V、または 3.0 V のいずれかの電源に接続することができます。出力レベルは電源と同じ電圧のシステムと互換性があります。V <sub>CCPD</sub> 電源ピンは、3.0 V、V <sub>CCIO</sub> の場合は 3.0 V、その他の I/O 電圧の場合は 2.5 V に接続しなければなりません。	MultiVolt I/O サポートの概要、サポートされる I/O 規格の一覧、および V <sub>CCIO</sub> 、V <sub>CCPD</sub> 、V <sub>REF</sub> の入出力とボード終端電圧 (V <sub>TT</sub> ) の標準値について詳しくは、前項および「Stratix IV デバイス・ハンドブック」の「I/O Features in Stratix IV Devices」の章を参照してください。アルテラでは、入力信号が 3.0 V または 3.3 V である場合に、カラム I/O ピンに外部クランプ・ダイオードを使用することを推奨しています。
3.3 V I/O のインタフェース	Stratix IV I/O バッファは 3.3 V I/O 規格をシステム内のトランスミッタまたはレシーバとしてサポートします。Stratix IV V <sub>CCIO</sub> 電圧が 3.0 V によって駆動されると、出力 High 電圧 (V <sub>OH</sub> )、出力 Low 電圧 (V <sub>OL</sub> )、入力 High 電圧 (V <sub>IH</sub> )、および入力 Low 電圧 (V <sub>IL</sub> ) のレベルは、3.3 V I/O 規格の仕様を満たします。	デバイスの信頼性と適切な動作を実現するには、3.3 V I/O システムとインタフェースするとき、Stratix IV デバイスの絶対最大定格に違反しないことが重要です。アルテラでは、オーバershoot 電圧およびアンダershoot 電圧がガイドライン範囲内にあることを確認するように、IBIS シミュレーションを実行することを推奨しています。ガイドラインについて詳しくは、「Stratix IV デバイス・ハンドブック」の「Stratix IV デバイス消費電力管理」の章を参照してください。
プログラマブル出力電流強度	特定の I/O 規格に使用できるプログラマブル・ドライブ強度コントロール機能です。長い伝送線路またはレガシー・バックプレーンに起因する高い信号減衰の影響を緩和できます。ドライブ強度を高くすると、I/O 性能は向上しますが、インタフェースのノイズも増大するため、ドライブ強度コントロール機能を使用してノイズを管理できます。	出力バッファ・ドライブ強度が十分に高いが、I/O 規格の電圧スレッショルド・パラメータに違反する過剰なオーバershoot やアンダershoot が生じないことを確認してください。アルテラでは、特定のアプリケーションに対する正しいドライブ強度設定を決定するために、IBIS または SPICE シミュレーションを実行することを推奨しています。規格および設定の一覧は、「Stratix IV デバイス・ハンドブック」の「I/O Features in Stratix IV Devices」の章を参照してください。

表 2. Stratix IV の I/O 機能 ( 2 / 4 )

特長	使用方法	ガイドラインおよび詳細情報
プログラマブル・スルーレート・コントロール	低ノイズ性能または高速性能が得られるように、各ピンをコンフィギュレーションします。高速スルーレートを指定した場合は、高速転送が行われます。より高速なスルーレートを使用して、メモリ・インタフェース・アプリケーションで得られるタイミング・マージン、または出力ピンに高い容量性負荷がある場合のタイミング・マージンを改善することができます。低速スルーレートを指定した場合、システム・ノイズの低減には役立ちますが、立ち上がりおよび立ち下がりエッジに一定の遅延が追加されます。スルーレートを使用して、SSN を低減することができます。	低速スルーレートを使用する場合は、インタフェースが性能要件を満たしていることを確認してください。アルテラでは、特定のアプリケーションに対する正しいスルーレート設定を決定するために、IBIS または SPICE シミュレーションを実行することを推奨しています。
プログラマブル IOE 遅延	プログラマブル IOE 遅延はゼロ・ホールド・タイムの維持、セットアップ・タイムの最小化、clock-to-output 時間の向上を実現できます。遅延をデスクュー回路として使用して、バスのすべてのビットが同じ遅延でデバイスに入出力されるすることができます。	この機能によってバスにおける信号間の不確実性が小さくなるため、リード・マージンおよびタイム・マージンを確保するのに役立ちます。 遅延の仕様については、「Stratix IV デバイス・ハンドブック Volume 2」の「DC and Switching Characteristics」の章を参照してください。
プログラマブル出力バッファ遅延	シングル・エンド出力バッファの遅延チェーンは、出力バッファの立ち上がりエッジおよび立ち下がりエッジ遅延を独立して制御することができます。	遅延を使用して、出力バッファのデューティ・サイクルを調整し、チャンネル間スキューを補正し、意図的にチャンネル間スキューを導入することによって SSO ノイズを低減し、高速メモリ・インタフェースのタイミング・マージンを改善することができます。
オープン・ドレイン出力	オープン・ドレインとしてコンフィギュレーションした場合、出力のロジック値は high-Z または 0 のいずれかです。システム内の複数のデバイスでアサートできるシステム・レベルのコントロール信号で使用されます。	一般に、ロジック High を供給するには外部プルアップ抵抗が必要です。
バス・ホールド	約 7 kΩ の公称抵抗値 (RBH) を持つ抵抗を使用して、次の入力信号が現れるまで I/O ピンの信号を最後にドライブされた状態にウィーク状態で保持します。この機能により、バスがトライ・ステートになったとき、信号レベルを保持するための外部プルアップ抵抗またはプルダウン抵抗が不要になります。バス・ホールド回路は、ノイズによって高周波数スイッチングが予定外に発生しそうな場合、ドライブされていないピンを入力スレッシュホールド電圧から離します。	バス・ホールド機能がイネーブルにされている場合、プログラマブル・プルアップ・オプションは使用することができません。I/O ピンが差動信号用にコンフィギュレーションされているときは、バス・ホールド機能をディセーブルにしてください。各 V <sub>CCIO</sub> 電圧レベルのための、この抵抗を通してドライブされる特定の持続電流、および次にドライブされる入力レベルの識別に使用されるオーバードライブ電流については、「Stratix IV デバイス・ハンドブック Volume 2」の「DC and Switching Characteristics」の章を参照してください。

表 2. Stratix IV の I/O 機能 ( 3 / 4 )

特長	使用方法	ガイドラインおよび詳細情報
プログラマブル・プルアップ抵抗	プルアップ抵抗 (通常 25 kW) は、ユーザー・モードのときに I/O を $V_{CCIO}$ レベルにウィーク状態で保持します。オープン・ドレイン出力と併用して、外部プルアップ抵抗を不要にすることができます。	プログラマブル・プルアップ・オプションがイネーブルされている場合、バス・ホールド機能は使用することができません。
PCI クランプ・ダイオード	PCI/PCI-X I/O 規格インタフェースでの過剰なオーバーシュート電圧からピンを保護するために使用できます。	カラム I/O ピンにのみ使用できます。
On-Chip Termination (OCT)	ドライバ・インピーダンス・マッチングは、I/O ドライバに伝送ラインのインピーダンスと厳密にマッチングする制御された出力インピーダンスを提供して、反射を大幅に低減します。OCT は、信号品質の維持、ボード・スペースの節約、外部コンポーネント・コストの低減を実現します。キャリブレーション付きまたはキャリブレーションなし直列 On-Chip Termination (チップ内終端) (RS)、キャリブレーション付き並列 On-Chip Termination (RT) シングル・エンド I/O 規格用のダイナミック直列および並列終端、差動 LVDS I/O 規格用の差動 On-Chip Termination (RD) に対するサポートが提供されています。	異なる I/O 規格が同じ $V_{CCIO}$ 電源電圧を使用する場合、それらの I/O 規格に対して、同じ I/O バンクで OCT RS および RT がサポートされます。I/O バンクの各 I/O は、OCT RS、プログラマブル・ドライブ強度、または OCT RT をサポートするために、独立してコンフィギュレーションすることができます。同じ I/O バッファに対して、OCT RS およびプログラマブル・ドライブ強度またはスルーレートの両方をコンフィギュレーションすることはできません。差動 On-Chip Termination RD は、ロウ I/O ピンおよび SERDES ブロック・クロック・ピン CLK 0、2、9、11 でサポートされています；カラム I/O ピン、高速クロック・ピン CLK 1、3、8、10、またはコーナー PLL クロック入力ではサポートされていません。この機能のサポートおよび実装について詳しくは、 <i>「Stratix IV デバイス・ハンドブック」の「I/O Features in Stratix IV Devices」</i> の章を参照してください。
プログラマブル・プリエンファシス	プリエンファシスは、出力信号の高周波成分の振幅を大きくして、伝送線路における周波数依存減衰を補償するのに役立ちます。	<i>「Stratix IV デバイス・ハンドブック Volume 1」の「High-Speed Differential I/O Interfaces and DPA in Stratix IV Devices」</i> の章を参照してください。

表 2. Stratix IV の I/O 機能 ( 4 / 4 )

特長	使用方法	ガイドラインおよび詳細情報
プログラマブル差動出力電圧	出力を精確に調整することによりトレース長および消費電力の最適化を可能にします。高い VOD スイングはレシーバ端の電圧マージンを向上させ、低い VOD スイングは消費電力を減少させます。	<i>「Stratix IV デバイス・ハンドブック Volume 1」の「High-Speed Differential I/O Interfaces and DPA in Stratix IV Devices」の章を参照してください。</i>
DPA およびソフト CDR サポートの専用差動 I/O SERDES 回路	Stratix IV GX デバイスおよび Stratix IV E デバイス両方のロウ I/O (左側と右側) には、150 Mbps ~ 1.6 Gbps のデータ・レートで高速 LVDS インタフェースをサポートする SERDES 回路が内蔵されています。ダイナミック・フェーズ・アライメント (DPA) 回路は、自動的に最適な位相を選択してソース・シンクロナス・クロックおよび受信したシリアル・データ間のスキューを補正します。ソフト CDR モードは、同期 / 非同期アプリケーションにチップ・ツー・チップを可能にして、ボード・ツー・ボード・アプリケーションに SGMII プロトコルをショート・リーチします。	DPA を使用する場合は、必ずこの機能をイネーブルして、デザインでデバイスの右側および左側の正しい PLL が使用されるようにします。(カラム入力バッファは真の LVDS バッファです。カラム出力はシングル・エンドであり、LVDS、mini-LVDS、および RSDS 規格をサポートするためには外部終端方法が必要です。) DPA の使用は高速差動チャネルの配置に何らかの制約を加えます。 <i>「Stratix IV デバイス・ハンドブック Volume 1」の「High-Speed Differential I/O Interfaces and DPA in Stratix IV Devices」の章での機能説明および配置ガイドラインを参照してください。</i>

次のチェックリストを考慮してください。詳細なガイドラインについては対応するドキュメントを参照してください。

- 82.  電流強度、スルーレート、I/O 遅延、オープン・ドレイン、バス・ホールド、プログラマブル・プルアップ抵抗、PCI クランプ・ダイオード、プログラマブル・プリエンファシス、VOD など、I/O インタフェースに役立つ利用可能なデバイス I/O 機能をチェック。
- 83.  ボード・スペースを節約するように On-Chip Termination (チップ内終端) の使用を考慮。
- 84.  必要な終端方法がすべてのピン位置でサポートされていることをチェック。
- 85.  DPA、non-DPA またはソフト CDR のモードから、高速 LVDS インタフェースに適切なモードを選択。
- 86.  DPA を使用する場合は、必ずこの機能をイネーブルして、デザインでデバイスの右側および左側の正しい PLL が使用されるようにして、そして DPA 配置ガイドラインに従う。

## クロックおよび PLL の選択

クロック方式のプランニングでの最初のステージは、システムのクロック要件を決定することです。デバイスの使用可能なクロック・リソースを理解し、それに応じてデザインのクロック方式をプランニングします。タイミング性能に関する要求、および特定のクロックによってドライブされるロジック量を考慮してください。

Stratix IV デバイスは、低スキュー、高ファンアウトの専用配線ネットワークを提供します。これらのネットワークは、デバイス内で最大 220 個の固有クロック・ドメインを提供し、デバイスの 1 つのエリアにつき最大 67 個の固有のクロック・ソースを許容する階層的なクロック構造で編成されています。デバイスごとに最大 12 個の PLL があり、PLL ごとに最大 10 個の個別にプログラム可能な出力があります。16 本の専用差動グローバル・クロック入力ピンまたは 32 本のシングル・エンド・クロック入力を使用することができます。

87.  クロックおよびグローバル・コントロール信号に、正しい専用クロック・ピンおよび配線信号を使用。

専用クロック・ピンはクロック・ネットワークを直接ドライブし、他の I/O ピンと比較して、スキューが確実に低減されます。ファンアウトの大きい信号のスキューを低減しながら遅延を予測可能なものするには、専用配線ネットワークを使用します。また、クロック・ピンとクロック・ネットワークを使用して、非同期リセットなどのコントロール信号をドライブすることも可能です。

88.  デバイスの PLL をクロック管理に使用。

特定のクロック入力は、特定の低スキュー配線ネットワークをドライブできる特定の PLL に接続します。各 PLL に対するグローバル・リソースの可用性と各クロック入力ピンに対する PLL の可用性を解析します。

以下の説明を使用して、デザインのクロック信号にどのクロック・ネットワークが適しているかを判断してください。

- グローバル・クロック (GCLK) ネットワークは、デバイス全体でドライブ可能であり、デバイス・ロジックの低スキュー・クロック・ソースとして働きます。このクロック領域は、他のクロック領域に比べて遅延が最大になりますが、デバイス内のすべてのディスティネーションに信号を配信することができます。このオプションは、グローバル・リセット / クリア信号の配線、またはデバイス全体のクロックの配線に適しています。
- リージョナル・クロック・ネットワーク (RCLK) はそれ自身がドライブするエリアにのみ属します。RCLK ネットワークは、デバイスの 1 つのエリア内に含まれるロジックに対して、最小のクロック遅延とスキューを実現します。
- I/O エlement (IOE) と内部ロジックは、GCLK および RCLK をドライブして、内部で生成されるグローバルまたはリージョナル・クロック、および同期クリアまたは非同期クリアやクロック・イネーブルなど、その他の高ファンアウト・コントロール信号を生成することもできます。
- PLL は、内部で生成された GCLK や RCLK からはドライブできません。PLL への入力クロックは、専用のクロック入力ピン、ピンまたは PLL から供給される GCLK/RCLK のみを使用する必要があります。
- ペリフェラル・クロック (PCLK) ネットワークは、Stratix IV デバイスの周辺からドライブされる個々のクロック・ネットワークの集合です。DPA ブロック、PLD トランシーバ・インタフェース、ロウ I/O ピン、および内部ロジックからのクロック出力により、PCLK ネットワークをドライブできます。これらの PCLK は、GCLK および RCLK ネットワークと比べるとスキューが高く、汎用配線の代わりに使用して、Stratix IV デバイスの内外に信号をドライブできます。

89.  各 PLL およびクロック・ピンの入力および出力配線接続を解析。PLL 入力専用クロック・ピンまたは別の PLL から供給されることを確認。

- これらの機能およびクロック接続について詳しくは、「*Stratix IV デバイス・ハンドブック*」の「*Clock Networks and PLLs in Stratix IV Devices*」の章を参照してください。

システムがターゲット・デバイスで使用可能な数を超えるクロック信号またはコントロール信号を必要とする場合は、専用クロック・リソースを節約することができるケースを検討します。特にクロック遅延およびクロック・スキューがデザインの性能に重大な影響を及ぼさない部分での、低ファンアウト信号および低周波数信号について検討してください。Quartus II Assignment Editor で **Global Signal** アサインメントを使用して、グローバル配線タイプを選択するか、アサインメントを **Off** に設定して、信号がいかなるグローバル配線リソースも使用しないように指定します。

## PLL 機能のガイドライン

システム要件に基づき、FPGA デザインに必要なクロック周波数と、FPGA で使用可能な入力周波数を定義します。これらの仕様を使用して、PLL 方式を決定します。Quartus II MegaWizard Plug-In Manager を使用して、ALTPLL メガファンクション用の設定を入力し、結果をチェックして特定の機能や入力 / 出力周波数を特定の PLL に実装できるかどうかを確認します。

90.  PLL 機能をイネーブルにし、MegaWizard Plug-In Manager の設定をチェック。

- PLL におけるタイミング制約の設定について詳しくは、「*AN 471:High-Performance FPGA PLL Analysis with TimeQuest*」を参照してください。

Stratix IV PLL は、デバイス・クロック管理、外部システム・クロック管理、および高速 I/O インタフェースのための強力なクロック管理および合成機能を提供します。Stratix IV デバイスの PLL は豊富な機能を備えており、クロック・スイッチオーバー、ダイナミック位相シフト、PLL リコンフィギュレーション、およびリコンフィギュレーション可能な帯域幅など、先進的な機能をサポートしています。Stratix IV の PLL は、外部フィードバック・モード、スペクトラム拡散トラッキング、およびポストスケール・カウンタのカスケード接続もサポートしています。Stratix IV のすべての PLL は、サポートされる機能が多少異なるだけの同じコア・アナログ構造を持っています。PLL デザインをプランニングするときは、以下の追加機能のいくつかを使用することができます。

- トップ / ボトムおよびサイド PLL の機能について詳しくは、「*Stratix IV デバイス・ハンドブック*」の「*Clock Networks and PLLs in Stratix IV Devices*」の章を参照してください。

- PLL の設計、および ALTPLL メガファンクションを使用して、この項で説明した機能を活用する方法については、「*Phase-Locked Loop (ALTPLL) Megafunction User Guide*」を参照してください。

## クロック・フィードバック・モード

Stratix IV の PLL は、最大 6 種類のクロック・フィードバック・モードをサポート：ソース同期モード、非補償モード、ノーマル・モード、ゼロ遅延バッファ（ZDB）モード、外部フィードバック・モード、および LVDS 補正。各モードは異なるクロック・ネットワークおよび遅延を補償しているため、クロックは異なる方法で揃えられます。アプリケーションに合わせて正しいフィードバック・モードを選択してください。

91.  正しい PLL フィードバック補正モードを選択することを確認。

## クロック出力

クロック出力を専用クロック出力ピンまたは専用クロック・ネットワークに接続することができます。デバイスのトップおよびボトム の PLL は、レフトおよびライト PLL よりも多くの専用クロック出力を提供します。

92.  PLL が必要なクロック出力数を提供し、専用クロック出力ピンを使用していることをチェック。


## クロック・スイッチオーバー

クロック・スイッチオーバー機能により、PLL は 2 つの基準入力クロックを切り換えることができます。この機能はクロック冗長性の目的で、あるいは前のクロックが停止した場合に冗長クロックがオンになるシステムのようなデュアル・クロック・ドメイン・アプリケーションに使用します。クロックがトグルしていないとき、またはユーザー・コントロール信号（clkswitch）をベースにしている場合、デザインはクロック・スイッチオーバーを自動的に実行できます。

## ダイナミック・リコンフィギュレーション

PLL 設定をリコンフィギュレーションして、Stratix IV デバイス全体をリコンフィギュレーションしないで、出力クロック周波数と PLL 帯域幅を更新し、リアルタイムで位相シフトできます。PLL をリアルタイムでリコンフィギュレーションする機能は、複数の周波数で動作するアプリケーションで有用です。またプロトタイプ環境でも、PLL の出力周波数をスイープし、出力クロック位相をダイナミックに調整できるために有益です。また、この機能を使用すると、PLL 出力クロック位相シフトを変更して、クロック出力（ $t_{CO}$ ）遅延を調整することも可能です。この手法により、新しい PLL 設定でコンフィギュレーション・ファイルを再生成する必要がなくなります。

ALTPLL メガファンクションで、ダイナミック・リコンフィギュレーション機能を有効にします。次に、ALTPLL\_RECONFIG メガファンクションをインスタンス化することで、この機能をより使いやすくすることができます。

-  ALTPLL\_RECONFIG メガファンクションについて詳しくは、「*Phase-Locked Loops Reconfiguration (ALTPLL\_RECONFIG) Megafunction User Guide*」を参照してください。



## クロック・コントロール・ブロック

グローバルおよびリージョナル・クロック・ネットワークごとに、専用のクロック・コントロール・ブロックがあります。コントロール・ブロックは、以下の機能をサポートしています。

- クロック・ソースの選択（グローバル・クロックに対してはダイナミック選択）
- グローバル・クロックのマルチプレキシング
- クロックのパワーダウン（スタティックまたはダイナミック・クロック・イネーブルまたはディセーブル付き）

デザインで組み合わせロジックを使用せずに、異なるクロック入力信号またはパワーダウン・クロック・ネットワークを選択して消費電力を低減する場合は、これらの機能を使用します。Stratix IV デバイスでは、クロック・イネーブル信号は PLL 出力カウンタ・レベルではなく、クロック・ネットワーク・レベルでサポートされているので、PLL が使用されていないときでもクロックをオフにすることができます。

93.  クロックの選択とパワーダウンにクロック・コントロール・ブロックを使用。

 **ALTCLKCTRL** メガファンクションを使用したクロック・コントロール・ブロックの設定方法については、[「altclkctrl Megafunction User Guide」](#)を参照してください。

## 同時スイッチング・ノイズ

SSN は、同時に電圧レベルを変化させるピン（近接して）が多すぎると問題になります。I/O 接続およびクロック接続をプランニングする際、次のチェックリストを検討してください。

94.  デザインを解析して、同時スイッチング・ノイズ問題が発生する可能性があるかどうか調べる。
95.  可能であれば同時に電圧を切り換えるピンの数を減らす。
96.  スwitching速度が高い I/O には、差動 I/O 規格と低電圧規格を使用。
97.  スwitching速度が高い I/O には低いドライブ強度を使用します。デフォルトのドライブ強度設定は、デザインで要求されるドライブ強度設定よりも高い場合がある。
98.  各バンク内の同時スイッチング出力ピン数を減らす。可能であれば、出力ピンを複数のバンクに分散させる。
99.  スwitching I/O をバンク全体に均等に分散させて領域内のアグレッサの数を減らして、SSN を低減。（バンク使用率が 100% を十分に下回っている場合）
100.  同時にスイッチングするピンを、SSN に敏感な入力ピンから分離する。
101.  重要なクロック・コントロール信号および非同期コントロール信号は、大きなスイッチング・バスから離して、グラウンド信号の近くに配置。
102.  PLL 電源ピンから 1 本または 2 本分離した I/O ピンを、スイッチング速度が速い、またはドライブ強度が高いピンに使用しないようにする。
103.  スタッガード出力遅延を使用して出力信号を経時的にシフト、または調整可能なスレート設定を使用。

使用可能な機能については、33 ページの「Stratix IV デバイスの I/O 機能」を参照してください。

## デザイン・エントリ

複雑な FPGA デザインの開発では、適切なデザイン手法およびコーディング・スタイルが、デバイスのタイミング性能、ロジック使用率、およびシステムの信頼性にきわめて大きな影響を与えます。また、デザインのプランや作成のほかに、階層またはチーム・ベースに基づくデザインを計画し、デザインの生産率を向上させます。

### デザインの推奨事項

同期デザインでは、クロック信号がすべてのイベントをトリガします。すべてのレジスタのタイミング要件が満たされていると、同期デザインはすべてのプロセス、電圧、および温度 (PVT) 条件で、予測可能かつ信頼性の高い方法で動作します。同期デザインでは、簡単に異なるデバイス・ファミリーやスピード・グレードをターゲットにすることができます。

104.  同期デザイン手法を使用。クロック信号に注意。

非同期デザイン手法に関する問題としては、デバイスにおける伝播遅延への依存、不完全なタイミング解析、およびグリッチが発生する可能性があります。

クロック信号は、デザインのタイミング精度、性能、および信頼性に大きな影響を及ぼすので、特に注意してください。クロック信号に関連する問題は、デザインにおいて機能上の問題およびタイミング問題を引き起こす可能性があります。最良の結果を得るために、専用クロック・ピンと専用クロック配線を使用します。クロックの反転、逡倍、および分周には、デバイスの PLL を使用します。クロックの多重化およびゲーティングには、組み合わせロジックの代わりに専用のクロック・コントロール・ブロック、または PLL クロック・スイッチオーバー機能を使用します。20 ページの「PLL ボード・デザイン・ガイドライン」を参照してください。内部生成クロック信号を使用する必要がある場合は、グリッチを低減するためにコントロール信号として使用される組み合わせロジックの出力をラッチします。例えば、組み合わせロジックを使用してクロックを分周する場合、ディバイダ回路をクロックするのに使用したクロック信号で最終ステージをクロックします。

105.  Quartus II Design Assistant を使用して、デザインの信頼性をチェック。

Quartus II ソフトウェアのデザイン・アシスタントは、デザイン・フローの早期におけるデザイン問題のチェックを可能にするデザイン・ルール・チェック・ツールです。デザイン・アシスタントは、デザインがアルテラ推奨のデザイン・ガイドラインまたはデザイン・ルールを順守しているかどうかをチェックします。デザイン・アシスタントを実行するには、Processing メニューで **Start** をポイントして、**Start Design Assistant** をクリックします。デザイン・アシスタントがコンパイル時に自動的に実行されるように設定するには、**Settings** ダイアログ・ボックスで **Run Design Assistant during compilation** をオンにします。また、サードパーティの「lint」ツールを使用してコーディング・スタイルをチェックすることもできます。



デザインの推奨事項および Design Assistant の使用については、「*Quartus II* ハンドブック Volume 1」の「*Design Recommendations for Altera Devices*」および「*Quartus II Design Assistant*」の章を参照してください。業界紙を参照して、複数のクロック・デザインに関する詳しい情報を入手することもできます。適切な解析を行うには、次のリンクを参照してください。 [www.sunburst-design.com](http://www.sunburst-design.com)

## メガファンクションの使用

アルテラは、アルテラのデバイス・アーキテクチャ用に最適化された、パラメータ化可能なメガファンクションを提供しています。独自のロジック・コード作成の代わりにメガファンクションを使用することで、デザインの作業時間を節約することができます。さらに、アルテラが提供するメガファンクションは、より効果的なロジック合成およびデバイス実装を提供できます。メガファンクションのサイズを拡大/縮小し、パラメータでさまざまなオプションを設定することができます。メガファンクションには、LPM (Library of Parameterized Modules) メガファンクションおよびアルテラ・デバイス特有のメガファンクションが含まれます。2 ページの「IP の選択」で説明したように、アルテラおよびサードパーティの IP およびリファレンス・デザインを活用して、デザイン時間を節約することもできます。

Quartus II MegaWizard Plug-In Manager は、メガファンクションをカスタマイズするためのユーザー・インタフェースを備えています。すべてのポートとパラメータを正しく設定するために、MegaWizard Plug-In Manager を使用してメガファンクションのパラメータを構築または変更する必要があります。

106.  MegaWizard Plug-In Manager でメガファンクションを使用。



メガファンクションについて詳しくは、Quartus II Help またはアルテラ・ウェブサイトの「[オンライン資料：メガファンクション](#)」ページのメガファンクション・ユーザーガイドを参照してください。

## 推奨 HDL コーディング・スタイル

HDL コーディング・スタイルは、プログラマブル・ロジック・デザインの結果の品質 (QoR) に大きな影響を与えることがあります。最適な合成結果が得られるために、アルテラの推奨コーディング・スタイルを使用してください。メモリ・ファンクションおよびデジタル・システム処理 (DSP) ファンクションを設計する場合、デバイスのアーキテクチャを理解すれば、専用のロジック・ブロックのサイズやコンフィギュレーションを活用できます。

107.  メモリ・ブロックや DSP ブロックなどのデバイス専用ロジックを推測する場合は、推奨コーディング・スタイルに従う。



具体的な HDL コーディング例と推奨事項については、「*Quartus II* ハンドブック Volume 1」の「*Recommended HDL Coding Styles*」の章を参照してください。その他のツール特有のガイドラインについては、合成ツールのドキュメントを参照してください。Quartus II ソフトウェアでは、テキスト・エディタの右クリック・メニューから選択できる Language Templates の HDL の例を使用できます。


## レジスタ・パワーアップ・レベルとコントロール信号

Stratix IV デバイスはオプションのチップ・ワイドのリセットをサポートしており、このリセットによってメモリ・ブロックのレジスタを含む (ただし、メモリ内容そのものは含まない)、デバイスのすべてのレジスタのクリアをすべて無効にすることができます。この DEV\_CLRn ピンが Low にドライブされると、すべてのレジスタがクリアされ、0 にリセットされます。レジスタ・コントロール信号が原因で、合成により NOT-gate push-back と呼ばれる最適化が実行された場合、影響を受けたレジスタは、DEV\_CLRn が Low にドライブされる時に High にプリセットされているよ


うに動作します。DEV\_CLRn ピンが High にドライブされると、すべてのレジスタはプログラムされたとおりに動作します。このチップ・ワイドのリセットを使用するには、デザインをコンパイルする前に、Quartus II ソフトウェアで、**Device & Pin Options** ダイアログ・ボックスの **General** タブでの **Enable device-wide reset (DEV\_CLRn)** をオンにします。

108. □ 必要に応じて、すべてのレジスタをクリアするためにチップ・ワイド・リセットを使用。

Stratix IV の各ロジック・アレイ・ブロック (LAB) には、各 ALM に対するレジスタ・コントロール信号をドライブするための専用ロジックも内蔵されています。このコントロール信号には、3 本のクロック、3 本のクロック・イネーブル、2 本の非同期クリア、同期クリア、および同期ロードが含まれます。LAB 内で信号が共有されるため、レジスタ・コントロール信号によりレジスタを LAB 内に実装する方法が制限されます。コントロール信号がデバイス・アーキテクチャ内の専用コントロール信号を使用することが重要です。したがって、場合によっては、デザインで使用する異なるコントロール信号の数を制限する必要があります。

 LAB および ALM アーキテクチャについて詳しくは、「Stratix IV デバイス・ハンドブック」の「Stratix IV デバイスのロジック・アレイ・ブロックおよびアダプティブ・ロジック・モジュール」の章を参照してください。

リセットがアサートされたときにコントロール信号が使用できない場合は、通常非同期リセットを使用してロジックをリセットします。推奨されたリセット・アーキテクチャでは、リセット信号を非同期でアサートし、かつ同期してディアサートすることができます。リセット信号のソースは、グローバル配線リソースに直接接続できるレジスタの非同期ポートに接続されます。同期ディアサーションにより、すべてのステート・マシンとレジスタを同時に起動することができます。同期ディアサーションは、フリップ・フロップのアクティブ・クロック・エッジまたはその付近で非同期リセット信号がリリースされて、フリップ・フロップの出力が準安定の不定状態になる可能性も回避します。


 業界紙を参照して、リセット・デザインに関する詳しい情報を入手することができます。リセット・アーキテクチャの適切な解析を行うには、次のリンクを参照してください。 [www.sunburst-design.com](http://www.sunburst-design.com)

デフォルトでは、Quartus II の合成は **Power-Up Don't Care** と呼ばれるロジック・オプションをイネーブルします。このオプションでは、デザインがデバイス・アーキテクチャのパワーアップ状態に依存しないとみなして、ソフトウェアが High にスタックしたレジスタを削除することができます。他の合成ツールが同様の仮定を使用することもあります。

設計者は通常デザインには、必ずしもパワーアップ時ではなく、リセット後にすべてのレジスタを適切な値に強制する明示的なリセット信号を使用します。非同期リセットによってボードが安全な状態で動作できるようデザインを作成できます。その後で、リセットをアクティブにしてデザインを立ち上げることができます。こうすれば、デバイスのパワーアップ状態に依存する必要はありません。

デザインに特定のパワーアップ条件を強制する場合は、合成ツールで使用可能な合成オプションを使用します。

合成ツールによっては、ソース・コードでラッチされた信号のデフォルト値または初期値を読み出し、この動作をデバイスに実装することも可能です。例えば、Quartus II 合成機能は、レジスタにラッチされた信号の HDL デフォルト値および初期値を Power-Up Level 設定に変換します。このようにすれば、合成された動作は、機能シミュレーション中に HDL コードのパワーアップ状態に適合します。

 パワーアップ条件の設定用の **Power-Up Level** オプションおよび altera\_attribute アサインメントについては、「*Quartus II* ハンドブック Volume 1」の「*Quartus II Integrated Synthesis*」の章で説明されています。

デバイス・コア内のレジスタは、物理的なデバイス・アーキテクチャにおいて常に **Low (0)** ロジック・レベルでパワーアップします。**High** のパワーアップ・レベルすなわち 0 以外のリセット値（プリセット信号と呼ばれることが多い）を指定した場合、合成ツールは通常、レジスタで使用可能なクリア信号を使用し、**NOT-gate push-back** と呼ぶ最適化を実行します。

**Low** にリセットされたレジスタに対して **High** のパワーアップ・レベルを割り当てた場合、または **High** にプリセットされたレジスタに対して低いパワーアップ・レベルを割り当てた場合、合成ツールは **NOT-gate push back** 最適化手法を使用することができず、パワーアップ条件を無視する可能性があります。


109. □ レジスタ・パワーアップおよびコントロール信号に使用できるリソースを検討する。リセット信号とプリセット信号の両方を 1 個のレジスタに適用しない。

リセット信号とプリセット信号を同じレジスタに実装するために、合成ツールはレジスタへの異なるパス間で遅延が異なるため、グリッチを発生しやすいロジックとラッチでコントロールをエミュレートします。また、これらのレジスタに対するパワーアップ値は未定義です。


 リセット・ロジックおよびパワーアップ条件について詳しくは、「*Quartus II* ハンドブック Volume 1」の「*Recommended HDL Coding Styles*」の章を参照してください。

## 階層およびチーム・ベース・デザインのプランニング

Quartus II のインクリメンタル・コンパイル機能は、デザインのロジックを変更した場合、変更されていないロジックの結果と性能を維持するため、ユーザーはより多くのデザインの繰り返しを実行し、より効率的にタイミング・クロージャを達成することができます。インクリメンタル・コンパイル・フローでは、システム開発者は大規模なデザインを個別に設計可能な小さなパーティションに分割します。チーム・デザイン環境では、チーム・メンバが個々にパーティションで作業を行うことができるため、デザイン・プロセスが簡素化され、コンパイル時間が短縮されます。デザインの分割はオプションですが、大規模な Stratix IV デザインにとってこれらの利点は重要です。

 **HardCopy** マイグレーションでは、ボトムアップ・デザイン・フローがサポートされていません。**HardCopy IV ASIC** に移行する場合は、同じアサインメントが **HardCopy** リビジョンにおいて再作成できるために、すべてのデザイン・ブロックに一貫したグローバル・アサインメントを使用してトップダウン・インクリメンタル・コンパイル手法を行います。

Quartus II インクリメンタル・コンパイルでのコンパイル時間の節約と性能の維持を活用する場合は、デザイン・サイクルの最初からインクリメンタル・コンパイル・フローをプランニングします。適切な分割とフロアプラン・デザインは、低いレベルのデザイン・ブロックがトップレベルのデザイン要件を満たすのに役立つ、トップレベル・デザインの統合とタイミングの検証に費やされる時間を短縮します。

-  Quartus II ソフトウェアでのインクリメンタル・コンパイル・フローの使用について詳しくは、「*Quartus II* ハンドブック Volume 1」の「*Quartus II Incremental Compilation for Hierarchical and Team-Based Design*」の章を参照してください。


### デザイン・パーティションのプランニング

FPGA のデザインを分割するには、パーティションが統合されたときに最良の結果が得られるよう、また各パーティションがデバイス内の他のパーティションに対して適切に配置されるようにプランニングする必要があります。

デザイン・パーティションを作成して全体的な結果の品質を改善するには、アルテラの推奨事項を順守してください。例えば、パーティションの I/O 境界をレジスタで受けることにより、クリティカル・タイミング・パスを個別に最適化可能な 1 つのパーティション内に維持できます。

各デザイン・ファイルが個別のファイルで定義されるようにソース・コードをプランニングして、ソフトウェアが別々で各ブロックの変更を自動的に検出できるようにします。デザインに階層を使用することにより、パーティション作成時により多くの柔軟性を提供します。デザイン・ロジックを階層ツリーの「葉」として扱います；すなわち、階層のトップ・レベルではロジックの数を最小にして、ロジックは低いレベルのデザイン・ブロックに含まれるべきです。

- 110. □ インクリメンタル・コンパイル実行のために、ソース・コードのセットアップおよびデザインの分割に関する推奨事項に従う；デザイン・フローの早期段階でプランニング。

-  デザイン・パーティションの作成について詳しくは、「*Quartus II* ハンドブック Volume 1」の「*Best Practices for Incremental Compilation Partitions and Floorplan Assignments*」を参照してください。

### ボトムアップおよびチーム・ベース・フローにおけるプランニング

デザインが複数の Quartus II プロジェクトによって作成される場合、システム開発者が下位レベルのブロックの設計者に対して、各パーティションが適切なデバイス・リソースを使用するように指導することが重要です。デザインが個別に開発されるため、各下位レベルの設計者は、全体的なデザインまたは各自のパーティションが他のパーティションとどのように接続されるのかについて情報を持っていません。このような情報の欠如は、システム統合時に問題を引き起こす可能性があります。下位レベル・パーティションの設計者がデザインに着手する前に、ピン位置、物理的制約、およびタイミング要求を含むトップレベル・プロジェクト情報を設計者に伝達する必要があります。

- 111. □ 特にチーム・ベース・フローで、最高の結果を達成するためにパーティション間でタイミング・バジェットの作成とリソース・バランスを実行。


システム開発者は、トップレベルでデザイン・パーティションをプランニングし、そして Quartus II ソフトウェアでの **Generate bottom-up design partition scripts** オプションを使用して、トップレベル・プロジェクト情報の下位レベル・モジュールへの転送プロセスを自動化します。

## デザイン・フロアプランの作成

インクリメンタル・コンパイルをフルに活用するために、デザイン・フロアプランを作成してデザイン・パーティション間の競合を回避し、各パーティションが他のパーティションに対して適切に配置されるようにすることができます。各パーティションに対して異なるロケーション・アサインメントを作成した場合、ロケーションの競合は発生しません。また、デザイン・フロアプランは、ほとんどのリソースが使用済みであるデバイス・エリアで、Fitter にデザインのの一部を配置または再配置するよう指示する状況を回避するのに役立ちます。トップダウン・フローにおけるタイミング・クリティカルなパーティションに対しては、フロアプラン・アサインメントが推奨されています。

112. □ デザイン・フローに必要な場合、インクリメンタル・コンパイル・パーティションにデザイン・フロアプランを作成。

Quartus II Chip Planner を使って、各デザイン・パーティションに対する LogicLock 領域アサインメントを使用したデザイン・フロアプランを作成することができます。トップレベル・デザインの基本的なデザインの枠組みがあれば、領域間の接続を表示し、チップ上のフィジカル・タイミング遅延を見積もり、デザイン・フロアプランで領域を移動させることができます。完全なデザインをコンパイル済みの場合は、ロジック配置を表示し、配線が密集する領域を特定してフロアプラン・アサインメントを改善することもできます。

 デザイン・フロアプラン作成のガイドラインについては、「*Quartus II* ハンドブック Volume 1」の「*Best Practices for Incremental Compilation Partitions and Floorplan Assignments*」の章を参照してください。フロアプランでの配置アサインメントの作成について詳しくは、「*Quartus II* ハンドブック Volume 2」の「デザイン・フロアプランの解析および最適化」の章を参照してください。

## デザインの実装、解析、最適化、および検証

デザインのソース・コードを作成し、デバイスの選択およびタイミング要求を含む制約を適用した後、合成ツールでコードを処理し、それをデバイス・アーキテクチャのエレメントにマップします。次に、Quartus II Fitter は、配置配線を実行して、特定のデバイス・リソース内にデザイン・エレメントを実装します。必要に応じて、Quartus II ソフトウェアを使用して、デザインのリソース使用率を最適化してタイミング・クロージャを達成し、変更されていないデザイン・ブロックの性能を維持し、コンパイル時間を短縮して将来の繰返しに備えることができます。また、シミュレーションまたはフォーマル検証によってデザインの機能性を検証することもできます。この項では、コンパイル・フローのこれらのステージに関するガイドラインを提供します。

## 合成ツールの選択

Quartus II ソフトウェアは、アルテラ・ハードウェア記述言語 (AHDL) や回路図によるデザイン入力だけでなく Verilog HDL および VHDL も完全にサポートする、高度な使いやすい合成機能を備えています。また、業界をリードするサードパーティ EDA 合成ツールを使用して、Verilog HDL または VHDL デザインを合成し、次に結果として得られる出力ネットリスト・ファイルを Quartus II ソフトウェアでコンパイルすることもできます。New Project Wizard または Settings ダイアログ・ボックスの EDA Tools Settings ページでサードパーティ合成ツールを指定して、合成ネットリストに適した Library Mapping ファイルを使用します。

ツール・ベンダは絶えず新機能を追加し、ツールの問題を修正し、アルテラ・デバイスに対する性能を向上させているため、最新バージョンのサードパーティ合成ツールを使用するようにしてください。

113. □ サードパーティ合成ツールを指定し、サポートされている正しいバージョンを使用。

合成ツールが異なると、得られる結果が異なる可能性があります。アプリケーションに対して最高の性能を発揮するツールを選択したい場合は、アプリケーションおよびコーディング・スタイルに対応した標準的なデザインを合成し、結果を比較することによってツールを実験することができます。正確なタイミング解析およびロジック使用率の結果を得るために、必ず Quartus II ソフトウェアで配置配線を実行してください。

合成ツールによっては、Quartus II プロジェクトを作成し、EDA ツールの設定、デバイスの選択、および合成プロジェクトで指定したタイミング要求などの制約を渡す機能を提供するものもあります。配置配線のために Quartus II プロジェクトを設定するときに、この機能を使用して時間を節約することができます。



サポートされている合成ツールについては、「*Quartus II* ハンドブック *Volume 1*」の「*Synthesis*」セクションの該当する章を参照してください。Quartus II リリース・ノートには、Quartus II ソフトウェアの当該バージョンで正式にサポートされている各合成ツールのバージョンが記載されています。

## デバイスのリソース使用率レポート

Quartus II ソフトウェアでコンパイルした後、デバイスのリソース使用率情報をレビューし、将来ロジックを追加したり、その他のデザインの変更を行うことにより、フィッティングに支障を来す恐れがあるか否かを判断します。コンパイルの結果、no-fit エラーが生じた場合、リソース使用率情報は、デザインのフィッティングの問題の解析を可能にするために重要です。

リソース使用量を求めるために、既存の接続またはロジックの使用により使用不可能なリソースの見積りを含めた総ロジック使用率を示すコンパイル・レポートの **Flow Summary** の項を参照してください。

Stratix IV デバイスに関しては、ロジック使用率が低いデバイスの ALM 使用率が考えられる最低の ALM 使用率であるわけではありません。また、ほぼ 100% とレポートされたデザインでも、スペースが残されており、追加のロジックを収容できる場合もあります。フィッタは、ロジックを 1 個の ALM 内に配置できる場合でも、異なる ALM 内の ALUT を使用し、それにより最良のタイミングおよび配線性の結果を達成することができます。これらの結果が達成される場合、ロジックがデバイス全体に分散されている場合があります。デバイスの使用率が高くなると、フィッタは 1 個の ALM 内に一緒に配置できるロジックを自動的にサーチします。

Compilation レポートの **Fitter** セクションの **Resource Section** の下にあるレポートを表示すると、詳細なリソース情報を入手できます。 **Fitter Resource Usage Summary** レポートは、ロジック使用率情報を分析し、完全に使用されている ALM および部分的に使用されている ALM の数を表示し、各タイプのメモリ・ブロック内のビット数を含むその他のリソース情報を提供します。また、コンパイル中に実行された一部の最適化について説明するレポートもあります。例えば、Quartus II の統合



合成機能を使用している場合、**Analysis & Synthesis** セクションの **Optimization Results** フォルダの下にあるレポートは、合成中に削除されたレジスタを含む情報について説明します。このレポートを使用して、部分的に完成したデザインについてデバイスのリソース使用率を見積り、デザインの他の部分との接続の欠落が原因でレジスタが削除されていないことを確認します。

114.  コンパイル後にリソース使用率に関するレポートを確認。

## Quartus II Messages

コンパイル・フローの各ステージで、情報メモ、ワーニング、クリティカル・ワーニングを含むメッセージが生成されます。これらのメッセージに目を通して、デザインの問題がないかチェックします。あらゆるワーニング・メッセージの意味を確実に理解し、必要に応じてデザインまたは設定を変更してください。Quartus II のユーザー・インタフェースでは、メッセージ・ウィンドウのタブを使用して特定のタイプのメッセージのみを見ることができ、ユーザーは、あるメッセージがユーザーからのアクションを必要としないと判断した場合、そのメッセージを抑制することができます。

115.  すべての Quartus II メッセージ、特にワーニング・メッセージまたはエラー・メッセージを確認。



メッセージおよびメッセージの抑制について詳しくは、「*Quartus II* ハンドブック Volume 2」の「*Managing Quartus II Projects*」の章を参照してください。

## タイミング制約およびタイミング解析

FPGA デザイン・フローでは、正確なタイミング制約により、タイミング・ドリブン・シンセシス・ソフトウェアと配置配線ソフトウェアは最適な結果を得ることができます。タイミング制約は、デザインが確実にタイミング要件（デバイスが正しく動作するための実際のデザイン要件）を満たすことに重要です。Quartus II ソフトウェアは、スピード・グレードごとに異なるタイミング・モデルを使用してデザインを最適化および解析するため、正しいスピード・グレードを求めるためにタイミング解析を実行する必要があります。最終的なプログラム済みのデバイスは、タイミング・パスが十分に制約、解析および検証されて要件が満足されない限り、予測と異なる動作をする可能性があります。


Quartus II ソフトウェアには、デザインのすべてのロジックのタイミング性能を検証する強力な ASIC スタイルのタイミング解析ツールである TimeQuest タイミング・アナライザが含まれています。TimeQuest タイミング・アナライザは、業界標準の Synopsys Design Constraints (SDC) フォーマットのタイミング制約をサポートし、インタラクティブなタイミング・レポート付きの使いやすい GUI を備えています。TimeQuest タイミング・アナライザは、高速ソース・シンクロナス・インタフェースおよびクロック多重化デザイン構造を制約するのに理想的です。(Quartus II ソフトウェアには、レガシー・デザイン用に、異なるデザイン制約とレポートを使用するクラシック・タイミング・アナライザも含まれています。Stratix IV および HardCopy IV デザインには、TimeQuest タイミング・アナライザを使用します。)

このソフトウェアは、業界標準の Synopsys 社の PrimeTime ソフトウェアでのスタティック・タイミング解析もサポートします。New Project Wizard または Settings ダイアログ・ボックスの **EDA Tools Settings** ページでツールを指定して、必要なタイミング・ネットリストを生成します。

包括的なスタティック・タイミング解析には、レジスタ間パス、I/O パス、および非同期リセット・パスの解析が含まれます。デザイン内のすべてのクロックの周波数と関係を指定することが重要です。外部デバイスまたは外部ボードのタイミング・パラメータを指定するには、入力および出力遅延制約を使用します。システムの意図が正確に反映されるように、外部インタフェース用コンポーネントに対する正確なタイミング要求を指定します。タイミング・アナライザは、システム全体に対してスタティック・タイミング解析を実行し、データ要求時間、データ到達時間、およびクロック到達時間を使用して、回路性能を検証し、発生する可能性があるタイミング違反を検出します。タイミング・アナライザは、デザインが正しく機能するために満足する必要があるタイミング関係を決定します。

report\_datasheet コマンドを使用して、デザイン全体の I/O タイミング特性を要約したデータシート・レポートを生成することができます。

- 116.  すべてのクロック信号および I/O 遅延を含めて、タイミング制約が完全かつ正確であることを確認。
- 117.  コンパイル後に TimeQuest タイミング・アナライザ・レポートを調べて、タイミング違反がないことを確認。
- 118.  Stratix IV デバイスにデータが提供される時に、入力 I/O タイムに違反していないことを確認。

 タイミング解析について詳しくは、「Quartus II ハンドブック Volume 3」の「The Quartus II TimeQuest Timing Analyzer」および「Synopsys PrimeTime Support」の章を参照してください。

### 推奨されるタイミング最適化およびタイミング解析のアサインメント

この項で説明するアサインメントと設定は Stratix IV デバイスのデザインのような大規模なデザインにとって重要です。

- 119.  **Settings** ダイアログ・ボックスの **Fitter Settings** ページで、**Optimize fast-corner timing** をオンにする。

このオプションがオンのとき、デザインは **Fast Timing** プロセス・コーナーおよび動作条件、そして **Slow Timing** コーナーにおけるタイミング要求を満足するように最適化されます。したがって、このオプションをオンにすると、プロセス、温度、および電圧のばらつきに対してより堅牢なデザイン実装を作成するのに役立ちます。

TimeQuest .sdc 制約ファイルでは、デザインに適用可能であれば、以下の推奨される制約を使用してください。

- 120.  create\_clock、create\_generated\_clock を使用してデザイン内のすべてのクロックの周波数と関係を指定。
- 121.  set\_input\_delay、set\_output\_delay を使用して、外部デバイスまたは外部ボードのタイミング・パラメータを指定。
- 122.  derive\_pll\_clocks を使用して PLL メガファンクションでの設定に従って、すべての PLL 出力に対して生成されるクロックを作成します。LVDS トランスミッタまたはレシーバの平行変換係数に対して、マルチサイクル関係を指定。
- 123.  derive\_clock\_uncertainty を使用して、インター・クロック、イントラ・クロック、および I/O インタフェースの不確実性を自動的に適用。
- 124.  check\_timing を使用して、制約の欠落を含め、デザインまたは適用された制約に関する問題に関するレポートを生成。

- タイミング制約のガイドラインについては、「*Quartus II* ハンドブック *Volume 3*」の「*Best Practices for the Quartus II TimeQuest Timing Analyzer*」の章を参照してください。

## 面積およびタイミングの最適化

この項では、面積（またはリソース使用率）およびタイミング性能の最適化を支援するために Quartus II ソフトウェアで提供される機能のいくつかを点的に説明します。タイミング解析でデザイン要件に適合しなかったことがレポートされた場合は、タイミング・クロージャを達成するようにデザインまたは設定を変更して、デザインを再コンパイルする必要があります。コンパイルの結果、no-fit メッセージが生成された場合は、配置配線を成功させるために変更を行う必要があります。

- 追加の最適化機能については、「*Quartus II* ハンドブック *Volume 2*」の「*Area and Timing Optimization*」の章を参照してください。

Early Timing Estimation 機能を使用して、ソフトウェアが完全な配置配線を実行する前に、デザインのタイミング結果を見積もることができます。解析合成を実行した後、Processing メニューで **Start** をポイントし、**Start Early Timing Estimate** をクリックして、最初のコンパイル結果を生成します。

125. □ フル・コンパイル実行前にタイミングの見積もりが必要な場合は、Early Timing Estimation を実行。

フィジカル・シンセシス最適化によって、ネットリストに対して配置固有の変更が行われ、特定のアルテラ・デバイスの結果が改善されます。**Physical synthesis for performance** オプションまたは **Physical synthesis for fitting** オプションを指定することができます。これらのオプションを指定すると通常、コンパイル時間は大幅に増えますが、プッシュ・ボタン最適化によって QoR が大きく改善されます。これらのオプションをオンにした場合は、デザイン結果が改善されたことを確認してください。デザインのタイミング要求を満足するのにこれらのオプションが必要ない場合は、これらをオフにしてコンパイル時間を短縮します。

- 詳細は、「*Quartus II* ハンドブック *Volume 2*」の「*Netlist Optimizations and Physical Synthesis*」の章を参照してください。

Design Space Explorer (DSE) は、デザインに最適な Quartus II ソフトウェア設定の集合を検索するプロセスを自動化するユーティリティです。**Exploration Settings** の下にある **Search for Best Performance** および **Search for Best Area** オプションでは、複数のコンパイルと併せて、デザインの性能または面積の改善を目標とする定義済み Exploration Space を使用します。さらに、DSE ウィンドウの **Advanced** タブを使用して、**Optimization Goal** を **Optimize for Speed** または **Optimize for Area** に設定することもできます。消費電力の最適化に関心がある場合は、55 ページの「消費電力の最適化」を参照してください。

- 詳細は、「*Quartus II* ハンドブック *Volume 2*」の「*Design Space Explorer*」の章を参照してください。

Optimization Advisor は、デザインを最適化する設定を作成するためのガイドを提供します。Tools メニューで **Advisors** をポイントし、**Resource Optimization Advisor** 又は **Timing Optimization Advisor** をクリックします。オプションを評価し、要件に最も適した設定を選択します。

- 126.  タイミング・クロージャを達成したり、リソース利用を改善するために Quartus II の最適化機能を使用。
- 127.  Timing and Area Optimization Advisors を使用して最適な設定を提案。

## 性能の維持およびコンパイル時間の短縮

インクリメンタル・コンパイル機能を使用して、ロジックをデザインの変更されていない部分に維持し、それによって性能を維持すると共に、より効率的にタイミング・クロージャに達成することができます。インクリメンタル・コンパイル機能を使ってデザインを変更するときは、デザインのイタレーション時間を平均 60% 短縮できます。

- 128.  デザインで変更されていないブロックの性能を保持し、コンパイル時間を短縮するためにインクリメンタル・コンパイルを使用。

ガイドラインおよび参考文献については、45 ページの「階層およびチーム・ベース・デザインのプランニング」を参照してください。

- 129.  コンパイルに複数のプロセッサを使用できる場合は、パラレル・コンパイルがイネーブルされることを確認。

デザインをコンパイルするのに複数のプロセッサを使用できる場合、Quartus II ソフトウェアは、複数のアルゴリズムをパラレルに実行して、複数のプロセッサを活用してコンパイル時間を短縮することができます。**Settings** ダイアログ・ボックスの **Compilation Process Settings** ページでの **Parallel compilation** オプション、または Tools メニューでの **Options for Processing** のデフォルト設定を設定します。

- 130.  Compilation Time Advisor を使用してコンパイル時間を短縮する設定を提案。

Compilation Time Advisor は、デザインのコンパイル時間を短縮する設定を作成するためのガイドを提供します。Tools メニューで **Advisors** をポイントし、**Compilation Time Advisor** をクリックします。これらの手法のいくつかを使ってコンパイル時間を短縮すると、結果の総合的な品質が低下する可能性があります。



詳細は、「Quartus II ハンドブック Volume 2」の「Area and Timing Optimization」の章を参照してください。

## シミュレーション

Quartus II ソフトウェアは、機能シミュレーションとゲート・レベルのタイミング・シミュレーションの両方をサポートします。デザイン・フローの初めに機能シミュレーションを実行して、各デザイン・ブロックのデザイン機能性または論理動作をチェックします。デザインを完全にコンパイルする必要はなく、タイミング情報が含まれていない機能シミュレーション・ネットリストを生成することができます。タイミング・シミュレーションは、TimeQuest タイミング・アナライザで生成された、異なるデバイス・ブロックの遅延や配置配線情報を含むタイミング・ネットリストを使用します。デザインがターゲット・デバイスで確実に動作するように、デザイン・フローの最後にトップレベル・デザインに対してタイミング・シミュレーションを実行することができます。

アルテラは、ModelSim-Altera シミュレータ Starter Edition を提供し、また、最先端のテストベンチ機能およびその他の機能を活用することができる ModelSim-Altera Edition も用意されています。さらに、Quartus II EDA Netlist Writer は、Synopsys 社の VCS や Cadence 社の NC-Sim、Aldec 社の Active-HDL などの他のサードパーティ・シミュレーション・ツールをサポートするためのタイミング・ネットリスト・ファイルを生成できます。Settings ダイアログ・ボックスの EDA Tools Settings ページでシミュレーション・ツールを指定して、適切な出力シミュレーション・ネットリストを生成します。また、このソフトウェアはスクリプトを生成して、NativeLink インテグレーションによってツールにおけるライブラリをセットアップすることに役立ちます。

131. □ サードパーティ・シミュレーション・ツールを指定し、サポートされている正しいバージョンとシミュレーション・モデルを使用。

サードパーティ製シミュレーション・ツールを使用する場合は、Quartus II ソフトウェア・バージョンでサポートされているソフトウェア・バージョンを使用してください。Quartus II リリース・ノートには、Quartus II ソフトウェアの特定のバージョンで正式にサポートされている各シミュレーション・ツールのバージョンが記載されています。ライブラリはバージョンによって異なることがあり、使用するシミュレーション・ネットリストとの間に不一致が生じる可能性があるため、使用中の Quartus II ソフトウェアに付属しているモデル・ライブラリを使用してください。テストベンチを生成するには、Processing メニューで **Start** をポイントし、**Start Testbench Template Writer** をクリックします。




シミュレーション・ツールのフローについて詳しくは、「*Quartus II* ハンドブック Volume 3」の「*Simulation*」セクションの該当する章を参照してください。

## フォーマル検証

Quartus II ソフトウェアは、フォーマル検証フローをサポートしています。フォーマル検証フローを使用すると、レジスタのリタイミングなどの特定のロジック最適化をオフにし、階層ブロックが強制的に維持され、それによって最適化が制約されるので、性能結果に影響を及ぼす可能性があります。デザインが制限されるその他の制約もあります。詳しくは、ドキュメントを参照してください。デザインにフォーマル検証が重要な場合はデザイン・フローの初期段階で制限と制約をプランニングする方が、後半で変更を行うよりも簡単です。

Quartus II リリース・ノートには、Quartus II ソフトウェアの特定のバージョンで正式にサポートされている各フォーマル検証ツールのバージョンが記載されています。**Settings** ダイアログ・ボックスの **EDA Tools Settings** ページでフォーマル検証ツールを指定して、適切な出力ネットリストを生成します。

- 132.  サードパーティ・フォーマル検証ツールを指定し、サポートされている正しいバージョンを使用。
- 133.  フォーマル検証を使用する場合、サポートおよびデザインの制限を確認。

 フォーマル検証のフローについて詳しくは、「*Quartus II* ハンドブック Volume 3」の「*Formal Verification*」セクションの該当する章を参照してください。

## 消費電力の解析

デザインの完成前に、8 ページの「**早期消費電力見積り**」の説明に従って、スプレッドシートを使用して消費電力を見積もります。デザインをコンパイルしたら、**Quartus II PowerPlay Power Analyzer** を使用して消費電力と放熱性を解析し、デザインが電源バジェットおよび熱バジェットに違反していないことを確認します。


- 134.  コンパイル終了後、**PowerPlay Power Analyzer** で消費電力および放熱性を解析。
- 135.  正確な消費電力解析結果を得るために、できればゲート・レベル・シミュレーション **.vcd** ファイルで正確な標準シグナル・アクティビティを提供。

**PowerPlay Power Analyzer** を使用するには、デザインをコンパイルし（デザイン・リソース、配置配線、および I/O 規格に関する情報を提供するため）、シグナル・アクティビティ・データ（トグル・レートおよびスタティック確率）を提供する必要があります。シグナル・アクティビティ・データはシミュレーション結果、またはユーザー定義のデフォルト・トグル・レートおよびベクタなし見積もりから得られます。解析に使用されるシグナル・アクティビティは、実際の動作を反映したものでなければなりません。消費電力を最も正確に見積もるには、ゲート・レベル・シミュレーションの結果を、サードパーティ・シミュレーション・ツールの **.vcd** 出力ファイルで使用します。シミュレーション動作には、機能検証で頻繁に使用される例外的なケースではなく、実際の期間における標準的な入力ベクタを含める必要があります。良い結果を得るには、シミュレータの推奨設定（グリッチ・フィルタリングなど）を使用します。サードパーティ・シミュレータについて詳しくは、53 ページの「**シミュレーション**」を参照してください。

- 136.  電力解析の正しい動作条件を指定。

また、コア電圧、デバイスの電力特性、周囲温度、ジャンクション温度、冷却ソリューション、およびボードの熱モデルなどの動作条件も指定する必要があります。**Settings** ダイアログ・ボックスの **Operating Conditions** ページで適切な設定を選択します。

ダイナミック消費電力、スタティック消費電力、および I/O 熱消費電力を計算するには、**Processing** メニューで、**PowerPlay Power Analyzer Tool** をクリックします。このツールでは、解析に使用されるシグナル・アクティビティの集計、そしてシグナル・アクティビティのためのデータ・ソースの総合的な品質を反映する信頼性指標も提供されます。

 レポートは、提供されるデータに基づく消費電力の見積もりであり、電力仕様ではありません。常にデバイスのデータ・シートを参照してください。

- 消費電力解析、シグナル・アクティビティ情報を作成するためのシミュレーション設定の推奨事項については、「*Quartus II* ハンドブック *Volume 3*」の「*PowerPlay Power Analyzer*」の章を参照してください。消費電力スプレッドシートの作成を含む消費電力管理システム・デザインの推奨事項およびガイドラインについては、「*AN 448: Stratix III の消費電力管理デザイン・ガイド*」を参照してください。

## 消費電力の最適化

Stratix IV デバイスは、最先端のプロセスと回路技術を主要回路およびアーキテクチャ技術革新と併用して、低消費電力と高性能を達成しています。プログラマブル・パワー・テクノロジ機能により、デザイン要件に応じて各プログラマブル LAB、DSP ブロック、およびメモリ・ブロックで高速また低消費電力を達成することができます。Quartus II ソフトウェアは、非クリティカル・デザイン・パス上の過度の Slack を自動的に活用して、クリティカル・パスの高性能を維持したまま消費電力を最小限に抑えます。

- 消費電力の低減に役立つアーキテクチャ機能、およびデザインの最適化手法については、アプリケーション・ノート「*AN 437: Power Optimization in Stratix III FPGAs*」を参照してください。

Stratix IV デバイスのダイナミック消費電力を削減するために、さまざまなデザインおよびソフトウェア手法を使用してデザインを最適化することができます。

Quartus II ソフトウェアの消費電力最適化は、正確な電力解析の結果に依存します。前項のガイドラインを使用して、Quartus II ソフトウェアがデザインの動作および条件に対して正しく電力利用を最適化するようにします。

### デバイスおよびデザインの消費電力最適化手法

この項では、消費電力を低減可能ないくつかのデザイン手法について説明します。これらの手法の結果はデザインごとに異なります。

- 必要に応じて、デザインの消費電力を最適化するために、推奨デザイン手法および Quartus II オプションを使用。
- Power Optimization Advisor を使用して最適化設定を提案。

- 消費電力を低減するための詳細および追加デザイン手法については、「*Quartus II* ハンドブック *Volume 2*」の「*Power Optimization*」の章、および「*AN 437: Power Optimization in Stratix III FPGAs*」を参照してください。

### デバイスのスピード・グレード

デザインに高性能モードを必要とする多数のクリティカル・タイミング・パスが含まれているときには、より高速なスピード・グレード・デバイス（利用可能な場合）を使用して消費電力を低減することができます。高速デバイスでは、ソフトウェアでより多くのデバイス・タイルが低消費電力モードを使用するように設定できます。

## クロック消費電力管理

クロックは、高いスイッチング動作と長いパスのため、ダイナミック消費電力の大きな部分に関係します。Quartus II ソフトウェアは、ダウンストリームのレジスタに供給する必要があるクロック・ネットワーク部のみをイネーブルにすることによって、クロック配線の消費電力を自動的に最適化します。また、クロック・コントロール・ブロックを使用してクロック・ネットワークをダイナミックにイネーブルまたはディセーブルすることもできます。クロック・ネットワークがパワーダウンすると、そのクロック・ネットワークで供給されるすべてのロジックはトグルしないため、デバイスの全体的な消費電力が減少します。



クロック・コントロール・ブロックの使用方法については、[「altclkctrl Megafunction User Guide」](#)を参照してください。

クロック・ツリー全体をディセーブルしないで LAB ワイド・クロックの消費電力を低減するには、LAB ワイド・クロック・イネーブル信号を使用して LAB ワイド・クロックをゲートします。Quartus II ソフトウェアは、レジスタ・レベルのクロック・イネーブル信号を自動的に LAB レベルに昇格させます

## メモリの低消費電力化

メモリの消費電力を低減する鍵は、メモリ・クロッキング・イベント数を低減することです。56 ページの「[クロック消費電力管理](#)」で説明するクロック・ゲーティングまたはメモリ・ポートのクロック・イネーブル信号を使用することができます。

## I/O 消費電力のガイドライン

I/O バッファのダイナミック消費電力は、合計負荷キャパシタンスに比例するため、キャパシタンスが低いと消費電力が減少します。

LVTTTL や LVCMOS などの非終端 I/O 規格のレール・トゥ・レール出力振幅は、 $V_{CCIO}$  電源電圧と同じです。ダイナミック消費電力は電圧を 2 乗した値に比例するため、低電圧 I/O 規格を使用してダイナミック消費電力を低減します。これらの I/O 規格は、ほとんどスタティック電力を消費しません。

ダイナミック消費電力は出力遷移周波数にも比例するため、高周波数アプリケーションの場合は、SSTL などの抵抗終端 I/O 規格を使用します。出力負荷電圧振幅は、バイアス・ポイント周辺では  $V_{CCIO}$  より小さいため、ダイナミック消費電力は同様の条件下では非終端 I/O の場合よりも少なくなります。

抵抗終端 I/O 規格では、電流が継続的に終端ネットワークにドライブされるため、多くのスタティック電力が消費されます。抵抗終端された I/O 規格を使用する場合は、スタティック消費電力を低減するために、速度および波形要件を満たす最小ドライブ強度を使用してください。




外部デバイスで使われる電力は PowerPlay での計算には含まれないため、別にシステム消費電力の計算に含める必要があります。

## Quartus II の消費電力の最適化のテクニック

Quartus II ソフトウェアは、コア・ダイナミック消費電力を低減する消費電力が最適化された合成とフィッティングを提供します。パワー・ドリブン・コンパイルは、Stratix IV シリコンのプログラマブル・パワー・テクノロジーと連携して動作します。




また、使用するロジック・ブロック数が減少すると通常、スイッチング動作も減少するため、デザインの面積を最適化すれば消費電力が減少します。デザイン・ソース・コードを修正して性能を最適化すると、多くのデザインが高性能モードの代わりに、低消費電力タイルで配置できるので、消費電力の低減も実現できます。DSE および **Power Optimization Advisor** を使用して、消費電力を低減するための追加推奨事項を提供することができます。

 パワー・ドリブン・コンパイルおよび **Power Optimization Advisor** について詳しくは、「*Quartus II* ハンドブック *Volume 2*」の「*Power Optimization*」の章を参照してください。

### DSE

DSE は、デザインに最適な **Quartus II** ソフトウェア設定の集合を検索するプロセスを自動化にするユーティリティです。複数のコンパイルを使用してデザインの全体的な消費電力の改善を目指すことができます。

 詳細は、「*Quartus II* ハンドブック *Volume 2*」の「*Design Space Explorer*」の章を参照してください。

### Power Optimization Advisor

**Quartus II** ソフトウェアには、現在のデザイン・プロジェクトの設定およびアサインメントに基づく、消費電力の最適化に関する具体的なアドバイスや推奨事項を提供する **Power Optimization Advisor** 機能があります。Tools メニューで **Advisors** をポイントし、**Power Optimization Advisor** をクリックします。推奨される変更のいずれかを行った後、デザインを再コンパイルし、**Power Play Power Analyzer** を実行して消費電力の変化をチェックします。

## 結論

このアプリケーション・ノートに記載されたデザイン・ガイドラインでは、高集積、高性能 **Stratix IV** デザインで考慮すべき重要な要素について説明します。良好な結果を達成し、一般的な問題を回避してデザインの生産性を向上させるには、デザイン・プロセス全体を通じてアルテラの推奨事項に従うことが重要です。61 ページの「*デザイン・チェックリスト*」では、本資料で述べたチェックリスト条項をまとめます。このチェックリストを使用して、**Stratix IV** デザインを完成させる前に、すべてのガイドラインを再検討したことを確認することができます。

## 参考資料

このアプリケーション・ノートでは、以下のドキュメントを参照しています。

- *AN 370: Using the Serial FlashLoader with the Quartus II Software*
- *AN 386: Using the Parallel Flash Loader with the Quartus II Software*
- *AN 418: SRunner: An Embedded Solution for Serial Configuration Device Programming*
- *AN 437: Power Optimization in Stratix IV FPGAs*
- *AN 448: Stratix IV Power Management Design Guide*
- *AN 471: High-Performance FPGA PLL Analysis with TimeQuest*
- *AN 528: PCB Dielectric Material Selection and Fiber Weave Effect on High-Speed Channel Routing*
- *AN 529: Via Optimization Techniques for High-Speed Channel Designs*
- *AN 530: Optimizing Impedance Discontinuity Caused by Surface Mount Pads for High-Speed Channel Designs*
- *AN 557: SIII to SIV Migration Design Guidelines*
- 「Quartus II ハンドブック Volume 2」の「Analyzing and Optimizing the Design Floorplan」の章
- 「Quartus II ハンドブック Volume 2」の「Area and Timing Optimization」の章
- 「Quartus II ハンドブック Volume 1」の「Best Practices for Incremental Compilation Partitions and Floorplan Assignments」の章
- 「Quartus II ハンドブック Volume 3」の「Best Practices for Quartus II TimeQuest Timing Analyzer」の章
- *ByteBlaster II Download Cable User Guide*
- *Clock Control Block Megafunction User Guide (ALTCLKCTRL)*
- 「Stratix IV デバイス・ハンドブック Volume 1」の「Clock Networks and PLLs in Stratix IV Devices」の章
- 「Stratix IV デバイス・ハンドブック Volume 1」の「Configuration, Design Security, Remote System Upgrades with Stratix IV Devices」の章
- 「Stratix IV デバイス・ハンドブック Volume 4」の「DC and Switching Characteristics」の章
- 「Quartus II ハンドブック Volume 1」の「Design Recommendations for Altera Devices and the Quartus II Design Assistant」の章
- 「Quartus II ハンドブック Volume 2」の「Design Space Explorer」の章
- *EthernetBlaster Download Cable User Guide*
- *External DDR Memory PHY Interface Megafunction User Guide (ALTMEMPHY)*
- 「Stratix IV デバイス・ハンドブック Volume 1」の「External Memory Interfaces in Stratix IV Devices」の章
- 「Stratix IV デバイス・ハンドブック Volume 1」の「High-Speed Differential I/O Interface with DPA in Stratix IV Devices」の章

- 「Stratix IV デバイス・ハンドブック Volume 1」の「Stratix IV デバイスのホット・ソケットおよびパワー・オン・リセット」の章
- 「Stratix IV デバイス・ハンドブック Volume 1」の「I/O Features in Stratix IV Devices」の章
- 「Quartus II ハンドブック Volume 2」の「I/O Management」の章
- 「Stratix IV デバイス・ハンドブック」の「Stratix IV デバイスの JTAG バウンダリ・スキャン・テスト」の章
- 「Stratix IV デバイス・ハンドブック Volume 1」の「Stratix IV デバイスのロジック・アレイ・ブロックおよびアダプティブ・ロジック・モジュール」の章
- 「Quartus II ハンドブック Volume 2」の「Managing Quartus II Projects」の章
- 「Quartus II ハンドブック Volume 2」の「Mentor Graphics PCB Design Tools Support」および「Cadence PCB Design Tools Support」の章
- 「Quartus II ハンドブック Volume 2」の「Netlist Optimizations and Physical Synthesis」の章
- Phase-Locked Loops Megafunction User Guide (ALTPLL)
- Phase-Locked Loops Reconfiguration (ALTPLL\_RECONFIG) Megafunction User Guide
- Stratix IV デバイス用電源供給ネットワーク (PDN) ツール・ユーザーガイド
- 「Stratix IV デバイス・ハンドブック Volume 1」の「Stratix IV デバイス消費電力管理」の章
- 「Quartus II ハンドブック Volume 2」の「Power Optimization」の章
- PowerPlay Early Power Estimator User Guide For Stratix III and Stratix IV FPGAs
- 「Quartus II ハンドブック Volume 3」の「PowerPlay Power Analysis」の章
- 「Quartus II ハンドブック Volume 1」の「Quartus II Incremental Compilation for Hierarchical and Team-Based Design」の章
- 「Quartus II ハンドブック Volume 1」の「Quartus II Integrated Synthesis」の章
- Quartus II リリース・ノート
- 「Quartus II ハンドブック Volume 3」の「The Quartus II TimeQuest Timing Analyzer」の章
- 「Quartus II ハンドブック Volume 1」の「Recommended HDL Coding Styles」の章
- Remote Update Circuitry Megafunction User Guide (ALTREMOTE\_UPDATE)
- 「Quartus II ハンドブック Volume 3」の「Simulation」セクション
- 「Quartus II ハンドブック Volume 1」の「Synthesis」セクション
- 「Quartus II ハンドブック Volume 3」の「In-System Design Debugging」セクション
- 「Quartus II ハンドブック Volume 3」の「Formal Verification」セクション
- 「コンフィギュレーション・ハンドブック Volume 2」の「Serial Configuration Devices (EPCS1, EPCS4, EPCS16, EPCS64, and EPCS128) Data Sheet」の章

- 「Stratix IV デバイス・ハンドブック Volume 1」の「SEU Mitigation in Stratix IV Devices」の章
- 「Quartus II ハンドブック Volume 3」の「Signal Integrity with Third-Party Tools」の章
- sld\_virtual\_jtag Megafunction User Guide
- 「Stratix IV デバイス・ハンドブック Volume 1」の「Stratix IV Device Family Overview」の章
- Stratix IV GT ESI Errata Sheet
- Stratix IV GX ES Errata Sheet
- Stratix IV GX Device Family Pin Connection Guidelines
- 「Stratix IV デバイス・ハンドブック Volume 2」の「Stratix IV Transceiver Architecture」の章
- 「Quartus II ハンドブック Volume 3」の「Synopsys PrimeTime Support」の章
- Technical Brief 92: Power Distribution Network (High-Speed Board Design Advisor)
- 「Stratix IV デバイス・ハンドブック Volume 2」の「Section I. Transceiver Architecture」
- 「Stratix IV デバイス・ハンドブック Volume 3」の「Section I. Transceiver Configuration Guide」
- USB-Blaster ダウンロード・ケーブル・ユーザーガイド
- 「Quartus II ハンドブック」の「Volume 4: SOPC Builder」

## 改訂履歴

表 3 に、このアプリケーション・ノートの改訂履歴を示します。

表 3. 改訂履歴

日付およびバージョン	変更内容	概要
2009 年 5 月 v1.1	<ul style="list-style-type: none"> <li>■ 4 ページの「デバイス・ファミリの種類および高速トランシーバ」を更新。</li> <li>■ 17 ページの「デバイスのパワーアップ」</li> <li>■ 19 ページの「電源ピンの接続および電源」</li> <li>■ 25 ページの「高速ボードのデザイン」を追加。</li> <li>■ 3 ページの「SOPC Builder」を更新。</li> <li>■ 60 ページの「改訂履歴」を更新。</li> </ul>	誤った Quartus II シミュレータ・サポートのリファレンスを削除。参考資料を更新、ドキュメントを追加。誤った JTAG ピンの 3.3 V V <sub>CCPD</sub> に関するリファレンスを削除。ピンのリーク電流に関する情報を更新。デバイス・ファミリの種類を更新。
2008 年 8 月 v1.0	初版	—

## デザイン・チェックリスト

このチェックリストは、本資料で説明したガイドラインの要約を提供します。このチェックリストを使用して、デザインの各ステージでガイドラインに従っていることを確認してください。

### Done N/A

1.   詳細なデザイン仕様を作成し、また、該当する場合はテスト・プランも作成。
2.   ブロック図を用いて、早期にクロック・ドメイン、クロック・リソース、および I/O インタフェースを計画。
3.   システム・デザイン、特に I/O インタフェースに影響を与える IP を選択。
4.   IP に Open Core PlusTethered モードを使用する場合は、ボード・デザインでこの動作モードがサポートされていることを確認。
5.   システム・デザインおよびプロセッサ・デザインに SOPC Builder を活用。
6.   トランシーバ、I/O ピン数、LVDS チャネル、パッケージの種類、ロジック / メモリ / 乗算器の集積度、PLL、クロック配線、およびスピード・グレードに基づいて、デバイスを選択。
7.   将来の開発およびデバッグ作業のために、予備リソースを保留。
8.   バーティカル・デバイス・マイグレーションの可用性および要件を検討。
9.   HardCopy IV ASIC に移行したい場合、適切なデザイン検討事項を参照。
10.   ロジック・デザインが完成する前に冷却ソリューションと電源をプランニングするために、Early Power Estimator スプレッドシートを使用して消費電力を見積もる。
11.   デザインで温度検知ダイオードを設定して、熱管理のためのデバイス・ジャンクション温度を測定。
12.   コンフィギュレーション手法を選択し、コンパニオン・デバイスとボード接続をプランニング。
13.   高いデザイン集積度に AS コンフィギュレーション・モードを使用する場合、ターゲット FPGA 集積度に十分に大きな使用可能コンフィギュレーション・デバイスがあることを確認。
14.   PFL にフラッシュ・デバイスを使用する場合は、サポートされているデバイスのリストをチェック。
15.   コンフィギュレーション手法とボードが、データの復元、デザイン・セキュリティ、リモート・アップグレード、SEU の緩和などの必要な機能をサポートしていることを確認。
16.   オプションのコンフィギュレーション・ピン CLKUSR および INIT\_DONE をサポートするようにボード・デザインを計画。
17.   Auto-restart after configuration error オプションを利用できるようにボード・デザインを計画。
18.   オン・チップ・デバッグ機能を活用して内部信号を解析し、高度なデバッグ手法を実行。
19.   メモリ要件、ロジック要件、I/O ピン接続、およびボード接続を計画するために、オン・チップ・デバッグ手法を早期段階で選択。

Done N/A

- 20.   SignalTap II エンベデッド・ロジック・アナライザ、ロジック・アナライザ・インタフェース、In-System Memory Content Editor および In-System Sources and Probes を使用する場合は、デバッグに使用可能な JTAG 接続が付いたようにシステムおよびボードをプランニング。
- 21.   JTAG デバッグ機能の JTAG ハブ・ロジックを実装するための少量の追加ロジック・リソースをプランニング。
- 22.   SignalTap II エンベデッド・ロジック・アナライザでデバッグ作業をする場合は、デバイス・メモリ・リソースを保留してシステム動作中にデータをキャプチャ。
- 23.   SignalProbe またはロジック・アナライザ・インタフェースでデバッグ用の I/O ピンを予約しておき、後でデバッグ信号に対応するためにデザインやボードを変更しなくて済むようにする。
- 24.   ボードは、デバッグ信号がシステムの動作に影響を与えないデバッグ・モードをサポートしていることを確認。
- 25.   外部ロジック・アナライザまたはミックスド・シグナル・オシロスコープに必要とするピン・ヘッダまたは Mictor コネクタを組み込む。
- 26.   デバッグ・ツールをインクリメントに使用し、コンパイル時間を減少させるために、デバッグ・ツールを修正するのにデザインを再コンパイルする必要がなくなるよう、インクリメンタル・コンパイルをオンにすることを確認。
- 27.   カスタム・デバッグ・アプリケーションに Virtual JTAG メガファンクションを使用する場合は、これをデザイン・プロセスの一部として HDL コードにインスタンス化。
- 28.   In-System Sources and Probes 機能が使用できるように、メガファンクションを HDL コードにインスタンス化。
- 29.   RAM や ROM ブロック、あるいは LPM\_CONSTANT メガファンクションに In-System Memory Content Editor を使用するには、MegaWizard Plug-In Manager でメモリ・ブロックを作成するときに、Allow In-System Memory Content Editor to capture and update content independently of the system clock オプションをオンにする。
- 30.   パワーアップを考慮してボードを設計 : Stratix IV の出力バッファは、デバイスがコンフィギュレーションされ、コンフィギュレーション・ピンがドライブ・アウトするまでトライステートになる。
- 31.   電圧電源のランプがモノトニックになるように設計。
- 32.   電源が安定するように POR 時間を設定。
- 33.   最高のデバイス信頼性が得られるように、パワー・シーケンスと電圧レギュレータを設計。電源を接続する前に、ボード間の GND を接続。
- 34.   すべての電源ピンを正しく接続 : 0.9 V コア、1.5 V、2.5 V、そして必要に応じるほかのピン
- 35.   各バンクの I/O 規格をサポートするために、V<sub>CCIO</sub> ピンおよび V<sub>REF</sub> ピンを接続。
- 36.   3.0 V V<sub>CCIO</sub> に対しては、V<sub>CCPD</sub> ピンを 3.0 V に接続し、より低い I/O 電圧に対しては 2.5 V に接続。
- 37.   ボード上の FPGA の電源ピンまたはその他の電源ピンの独自の要件を調べて、ボード上のどのデバイスが電源レールを共有できるかを判断。

## Done N/A

38.   リニア・レギュレータを使用して、アナログ回路 ( $V_{CCA\_PLL}$  および  $V_{CCPT}$ ) を駆動。デジタル電圧レールは、効率またはコストを検討した上で、リニア・レギュレータまたはスイッチング・レギュレータによって駆動することができる。
39.   「Stratix IV GX Device Family Pin Connection Guidelines」に記載する各ピンの具体的なガイドラインに従う。
40.   PDN ツールを使用して電源分配ネットリストおよびデカップリング・コンデンサをプランニング。
41.   ノイズを低減するために、デザインですべての PLL を使用しない場合でも、すべての PLL 電源ピンを接続： $V_{CCA\_PLL}$  を 2.5 V に、 $V_{CCD\_PLL}$  を 0.9 V に。
42.   電源から各  $V_{CCA\_PLL}$  ピンに厚い配線パターン (最低 20mil) を走らせる。
43.   すべての  $V_{CCD\_PLL}$  電源ピンをボード上で最もノイズの少ないデジタル電源に接続。
44.   フェライト・ビーズを使用して、PLL 電源をデジタル電源から絶縁。
45.   すべてのコンフィギュレーション・ピンおよびプルアップ / プルダウン抵抗はコンフィギュレーション手法に対して正しく設定されることを確認。
46.   コンフィギュレーション・ピンの DCLK および TCLK ピンにノイズが発生しないように設計。
47.   JTAG ピンが未使用の場合は、安定した電圧レベルに接続。
48.   JTAG ピンをダウンロード・ケーブルのヘッダに正しく接続。ピンの順番が逆にならないようにする。
49.   パワーアップ時に JTAG ステート・マシンをディセーブルするには、TCK ピンを 1 kW の抵抗によって Low にプルダウンして、TCK 上に予期しない立ち上がりエッジが発生しないようにする。
50.   10 kW 抵抗を介して、TMS および TDI を High にプルアップ。
51.   TRST を  $V_{CCPD}$  に直接接続 (ピンをグランドに接続すると、JTAG 回路がディセーブルされます)。
52.   ダウンロード・ケーブルはデバイスの JTAG ピンにインタフェースするため、ダウンロード・ケーブルの動作電圧と JTAG ピンの電圧が適合していることを確認。
53.   特にコネクタに対して、あるいはケーブルが 4 個以上のデバイスをドライブする場合は、推奨事項に従って JTAG 信号をバッファ。
54.   デバイスがコンフィギュレーション・チェーンにある場合は、チェーン内のすべてのデバイスが正しく接続されていることを確認。
55.   MSEL ピンをフローティング状態にしないで、コンフィギュレーション手法を選択するように接続する。テストまたはデバッグ作業中に各コンフィギュレーション・モードに切り換えす柔軟性を確保するために、各ピンを 0  $\Omega$  抵抗で  $V_{CCPGM}$  または GND に接続するようにボードをセットアップ。
56.   nIO\_PULLUP を正しく接続して、内部プルアップ抵抗を設定。

Done N/A

- 57.   nCE チップ・イネーブルを、コンフィギュレーション実行中、初期化中、およびユーザー・モードでは Low に保持。
- 58.   必要に応じて、デバイス・ワイド出力イネーブル・オプションをオンにする。
- 59.   未使用 I/O ピンの予約状態を指定。
- 60.   Quartus II ソフトウェアで生成された .pin ファイルで、ピン接続を慎重にチェックする。RESERVED ピンは接続しない。
- 61.   ノイズが発生しないように  $V_{REF}$  ピンを設計。
- 62.   ボード層上のデバイスに近い大きなバス信号を分割してクロストークを低減。
- 63.   2つの信号層が隣接している場合は、可能であれば配線パターンを直角に配線。配線パターン幅の 2 ~ 3 倍の間隔を使用。
- 64.   選択した I/O 規格、特に電圧リファレンス形式の規格の I/O 終端およびインピーダンス・マッチングをチェック。
- 65.   IBIS モデル（使用可能な場合）を使用して、ボード・レベルでシミュレーションを実行。
- 66.   Quartus II アドバンスド I/O タイミング解析のためのボード・トレース・モデルをコンフィギュレーションする。
- 67.   Quartus II Pin Planner を使用してピン・アサインメントを実施。
- 68.   Quartus II Fitter メッセージとレポートをピン・アサインメントのサイン・オフに使用。
- 69.   Quartus II ピン・アサインメントが回路図およびボード・レイアウト・ツールのアサインメントに適合することを検証。
- 70.   I/O Assignment Analysis を使用して、Create Top-Level Design File コマンドを使用して、デザインの完成前に I/O アサインメントをチェック。
- 71.   システム要件に応じて信号の種類をプランニング。
- 72.   ソフトウェアで差動ピン・ペアのネガティブ・ピンの位置を割り当てる。
- 73.   各 I/O ピンに最適な信号タイプおよび I/O 規格を選択。
- 74.   ターゲットの I/O バンクで適切な I/O 規格サポートがサポートされていることを確認。
- 75.   同じ電圧レベルを共有する I/O ピンを同じ I/O バンク内に配置。
- 76.   各 I/O バンクのすべての出力信号が、バンクの  $V_{CCIO}$  電圧レベルでドライブ・アウトするようになっていることを確認。
- 77.   各 I/O バンクのすべての電圧リファレンス形式の信号が、バンクの  $V_{REF}$  電圧レベルを使用するようになっていることを確認。
- 78.   I/O バンクの LVDS およびトランシーバ機能に対するサポートをチェック。



Done N/A

- 79.   各メモリ・インタフェースの **ALTMEMPHY** メガファンクション（または **IP コア**）を使用して、該当するドキュメントの接続ガイドラインや制約に従う。
- 80.   メモリ・インタフェースに専用 **DQ/DQS** ピンおよび **DQ** グループを使用。
- 81.   兼用ピンの設定を行い、これらのピンを通常の **I/O** として使用する際の制約をチェック。
- 82.   電流強度、スルーレート、**I/O** 遅延、オープン・ドレイン、バス・ホールド、プログラマブル・プルアップ抵抗、**PCI** クランプ・ダイオード、プログラマブル・プリエンファシス、**VOD** など、**I/O** インタフェースに役立つ利用可能なデバイス **I/O** 機能をチェック。
- 83.   ボード・スペースを節約するように **On-Chip Termination**（チップ内終端）の使用を考慮。
- 84.   必要な終端方法がすべてのピン位置でサポートされていることをチェック。
- 85.   **DPA**、**non-DPA** またはソフト **CDR** のモードから、高速 **LVDS** インタフェースに適切なモードを選択。
- 86.   **DPA** を使用する場合は、必ずこの機能をイネーブルして、デザインでデバイスの右側および左側の正しい **PLL** が使用されるようにして、そして **DPA** 配置ガイドラインに従う。
- 87.   クロックおよびグローバル・コントロール信号に、正しい専用クロック・ピンおよび配線信号を使用。
- 88.   デバイスの **PLL** をクロック管理に使用。
- 89.   各 **PLL** およびクロック・ピンの入力および出力配線接続を解析。**PLL** 入力が専用クロック・ピンまたは別の **PLL** から供給されることを確認。
- 90.   **PLL** 機能をイネーブルにし、**MegaWizard Plug-In Manager** の設定をチェック。
- 91.   正しい **PLL** フィードバック補正モードを選択することを確認。
- 92.   **PLL** が必要なクロック出力数を提供し、専用クロック出力ピンを使用していることをチェック。
- 93.   クロックの選択とパワーダウンにクロック・コントロール・ブロックを使用。
- 94.   デザインを解析して、同時スイッチング・ノイズ問題が発生する可能性があるかどうか調べる。
- 95.   可能であれば同時に電圧を切り換えるピンの数を減らす。
- 96.   スwitching速度が高い **I/O** には、差動 **I/O** 規格と低電圧規格を使用。
- 97.   スwitching速度が高い **I/O** には低いドライブ強度を使用します。デフォルトのドライブ強度設定は、デザインで要求されるドライブ強度設定よりも高い場合がある。
- 98.   各バンク内の同時スイッチング出力ピン数を減らす。可能であれば、出力ピンを複数のバンクに分散させる。
- 99.   スwitching **I/O** をバンク全体に均等に分散させて領域内のアグレッサの数を減らして、**SSN** を低減。（バンク使用率が **100%** を十分に下回っている場合）
- 100.   同時にスイッチングするピンを、**SSN** に敏感な入力ピンから分離する。

Done N/A

- 101.   重要なクロック・コントロール信号および非同期コントロール信号は、大きなスイッチング・バスから離して、グランド信号の近くに配置。
- 102.   PLL 電源ピンから 1 本または 2 本分離れた I/O ピンを、スイッチング速度が速い、またはドライブ強度が高いピンに使用しないようにする。
- 103.   スタッガード出力遅延を使用して出力信号を経時的にシフト、または調整可能なスルーレート設定を使用。
- 104.   同期デザイン手法を使用。クロック信号に注意。
- 105.   Quartus II Design Assistant を使用して、デザインの信頼性をチェック。
- 106.   MegaWizard Plug-In Manager でメガファンクションを使用。
- 107.   メモリ・ブロックや DSP ブロックなどのデバイス専用ロジックを推測する場合は、推奨コーディング・スタイルに従う。
- 108.   必要に応じて、すべてのレジスタをクリアするためにチップ・ワイド・リセットを使用。
- 109.   レジスタ・パワーアップおよびコントロール信号に使用できるリソースを検討する。リセット信号とプリセット信号の両方を 1 個のレジスタに適用しない。
- 110.   インクリメンタル・コンパイル実行のために、ソース・コードのセットアップおよびデザインの分割に関する推奨事項に従う；デザイン・フローの早期段階でプランニング。
- 111.   特にチーム・ベース・フローで、最高の結果を達成するためにパーティション間でタイミング・バジェットの作成とリソース・バランスングを実行。
- 112.   デザイン・フローに必要な場合、インクリメンタル・コンパイル・パーティションにデザイン・フロアプランを作成。
- 113.   サードパーティ合成ツールを指定し、サポートされている正しいバージョンを使用。
- 114.   コンパイル後にリソース使用率に関するレポートを確認。
- 115.   すべての Quartus II メッセージ、特にワーニング・メッセージまたはエラー・メッセージを確認。
- 116.   すべてのクロック信号および I/O 遅延を含めて、タイミング制約が完全かつ正確であることを確認。
- 117.   コンパイル後に TimeQuest タイミング・アナライザ・レポートを調べて、タイミング違反がないことを確認。
- 118.   Stratix IV デバイスにデータが提供されるときに、入力 I/O タイムに違反していないことを確認。
- 119.   Settings ダイアログ・ボックスの Fitter Settings ページで、Optimize fast-corner timing をオンにする。
- 120.   create\_clock、create\_generated\_clock を使用してデザイン内のすべてのクロックの周波数と関係を指定。

Done N/A

- 121.   `set_input_delay`、`set_output_delay` を使用して、外部デバイスまたは外部ボードのタイミング・パラメータを指定。
- 122.   `derive_pll_clocks` を使用して PLL メガファンクションでの設定に従って、すべての PLL 出力に対して生成されるクロックを作成します。LVDS トランスミッタまたはレシーバの平行変換係数に対して、マルチサイクル関係を指定。
- 123.   `derive_clock_uncertainty` を使用して、インター・クロック、イントラ・クロック、および I/O インタフェースの不確実性を自動的に適用。
- 124.   `check_timing` を使用して、制約の欠落を含め、デザインまたは適用された制約に関する問題に関するレポートを生成。
- 125.   フル・コンパイル実行前にタイミングの見積もりが必要な場合は、**Early Timing Estimation** を実行。
- 126.   タイミング・クロージャを達成したり、リソース利用を改善するために **Quartus II** の最適化機能を使用。
- 127.   **Timing and Area Optimization Advisors** を使用して最適な設定を提案。
- 128.   デザインで変更されていないブロックの性能を保持し、コンパイル時間を短縮するためにインクリメンタル・コンパイルを使用。
- 129.   コンパイルに複数のプロセッサを使用できる場合は、**Parallel Compile** がイネーブルされることを確認。
- 130.   **Compilation Time Advisor** を使用してコンパイル時間を短縮する設定を提案。
- 131.   サードパーティ・シミュレーション・ツールを指定し、サポートされている正しいバージョンとシミュレーション・モデルを使用。
- 132.   サードパーティ・フォーマル検証ツールを指定し、サポートされている正しいバージョンを使用。
- 133.   フォーマル検証を使用する場合、サポートおよびデザインの制限を確認。
- 134.   コンパイル終了後、**PowerPlay Power Analyzer** で消費電力および放熱性を解析。
- 135.   正確な消費電力解析結果を得るために、できればゲート・レベル・シミュレーション `.vcd` ファイルで正確な標準シグナル・アクティビティを提供。
- 136.   電力解析の正しい動作条件を指定。
- 137.   必要に応じて、デザインの消費電力を最適化するために、推奨デザイン手法および **Quartus II** オプションを使用。
- 138.   **Power Optimization Advisor** を使用して最適化設定を提案。



101 Innovation Drive  
San Jose, CA 95134  
[www.altera.com](http://www.altera.com)  
Technical Support  
[www.altera.com/support](http://www.altera.com/support)

Copyright © 2009 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



I.S. EN ISO 9001