

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

## はじめに

90nm および 65nm プロセス技術に基づく低コスト FPGA は、200MHz に達した DDR2 や最大 840Mbps の LVDS アプリケーションなどのようなシステム・クロックおよびインタフェースを有する高性能アプリケーションをサポートするために製造されます。このようなデバイスは高速なエッジ・レートによって設計されるため、システム性能の制限および回路動作の影響を起しうる同時スイッチング・ノイズ (SSN) などのシグナル・インテグリティ問題を誘発する可能性があります。データ・レートの高低にかかわらず、信号エッジ・レートは変化しないので、これらの問題は低データ・レートにおいても発生可能です。アルテラは、DDR2 インタフェースなどの高性能アプリケーションに対して、DQ および DQS 信号を事前に割り当て、SSN も考慮したうえで性能限界を設定します。他のアプリケーションの場合に、デザイナーは自分の判断次第でピン配置および I/O 設定を正確に決めて、性能を最適化します。デバイス設定、ピン配置の選択、および PCB デザインに関する簡単なガイドラインおよび最善な先例に従って、デザインにおける多くのシグナル・インテグリティ問題が避けられます。

このアプリケーション・ノートでは、SSN および SSN の起因について説明し、I/O 設定と適切な I/O 規格選択により Cyclone® III FPGA における SSN の緩和方法について記述し、そして一般的な高速デジタル・デザインに適切な PCB デザイン・ガイドラインを提供します。各推奨事項の効果を示すために、本資料では Cyclone III で測定された特性評価データが示されています。

## SSN 用語

本資料で使用される重要用語の定義

**ビクティム**：ビクティム・ピンは、SSN の測定が行われるところであり、SSN ノイズに影響されるピンです。

**アグレッサ**：アグレッサはビクティム・ピンに SSN ノイズを誘発するスイッチング I/O ピンです。

**Quiet Low (QL)**：ビクティム・ネットにおける Quiet Low 電圧レベルは、アグレッサ I/O がトグルしていない状態で、ロジック 0 (Low) にドライブされるビクティム・ネットの遠端で観測される電圧レベルです。

**Quiet Low ノイズ (QLN)**：Quiet Low ノイズは、スイッチング動作中のアグレッサと VCCIO/GND リターン・パスを共有し、Quiet Low にドライブされるビクティムに混入したノイズです。

**Quiet High (QH)**：ビクティム・ネットにおける Quiet High 電圧レベルは、アグレッサ I/O がトグルしていない状態で、ロジック 1 (High) にドライブされるビクティム・ネットの遠端で観測される電圧レベルです。

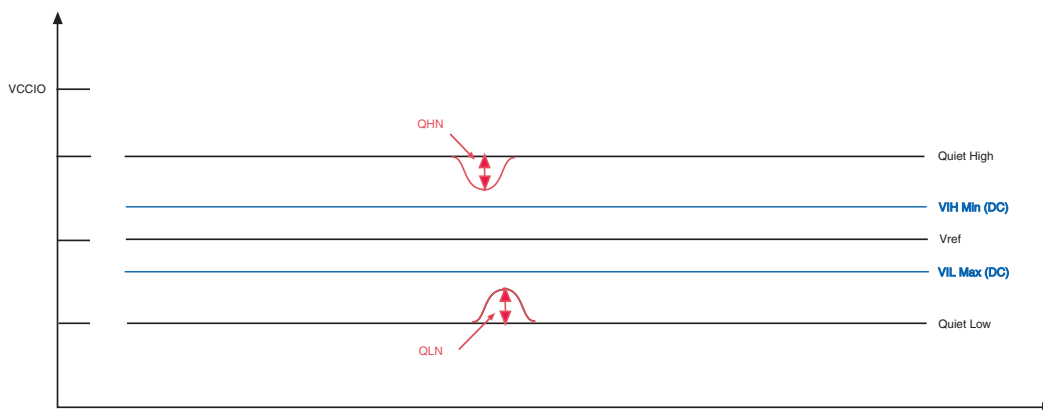
**Quiet High ノイズ (QHN)**：Quiet High ノイズは、スイッチング動作中のアグレッサと VCCIO/GND リターン・パスを共有し、Quiet High にドライブされるビクティムに混入したノイズです。

**VIL<sub>Max</sub>/VIH<sub>Min</sub> (DC):** レシーバでは、VIL/VIH (DC) は最終ロジック状態を明確的に決定する数値です。レシーバの入力がこれらの数値を超えると、レシーバのロジック状態が変わって、新しい値に維持します。

**di/dt:** di/dt は電流の経時変化率、または電流のスルーレートのことを指します。

図 1 には QH/QL、QHN/QLN、および VIL/VIH の定義を説明します。

図 1. QH/QL/QHN/QLN の定義



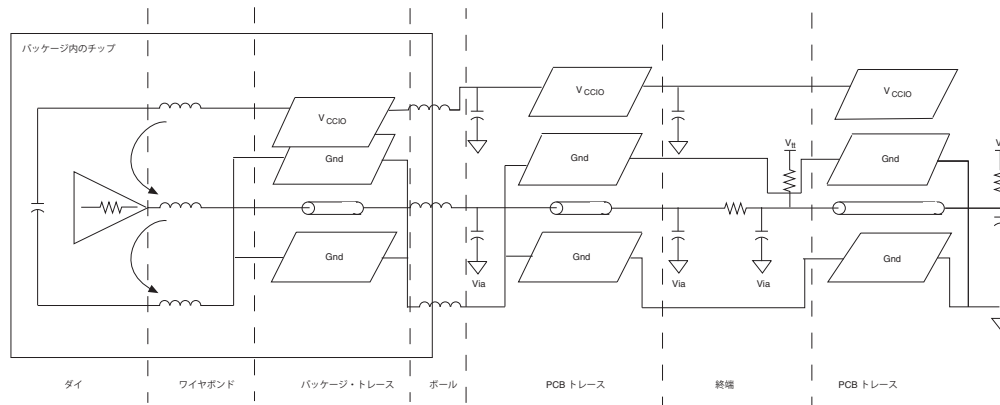
## SSN のメカニズムおよび指標

DDR メモリ・インタフェースの動作および高速シリアル・リンクでの通信を実行する FPGA には、高レベルなシグナル・インテグリティおよびパワー・インテグリティ性能が必要です。同時スイッチング・ノイズ (SSN) の性能目標は主要な基準となります。SSN の原因となる主要なメカニズムは誘導性クロストーク、delta-I ノイズ、および電源圧縮の 3 つがあります。

 シグナル・インテグリティおよびパワー・インテグリティについては、[「FPGA Design for Signal and Power Integrity」](#) を参照してください。

SSN ノイズは全部のドライバが同時にスイッチングする時に生成されます。アグレッサ信号からビクティムへの相互カップリングおよびパワー・パスとグランド・パスのインダクタンスを伴う delta-I ノイズは、アグレッサの立ち上がり / 立ち下がり時間でノイズを生成する主因です。アグレッサの di/dt 値はこのノイズに影響を与えます。水平構造体 (伝送線路と伝送平面) および垂直構造体 (ワイヤー、ボール、ビア) 両方も SSN クロストークの原因になります。図 2 に、SSN のメカニズムおよび得られた SSN の討論に関する重要な回路部品の例を示します。

図 2. FPGA および PCB 負荷トポロジを含む回路コンポーネント



従来、SSN はノイズの絶対電圧値によって定量化されました。この方法は個別の I/O 規格に適用します。ただし、FPGA はプログラム可能です。回路はどう使用されるかを予定するのは難しいです。I/O ドライバは、SSTL、HSTL、LVTTTL、CMOS や LVDS など異なる I/O 規格に使用される可能性があります。したがって、FPGA がドライブ可能なすべてのバス・インタフェースの性能目標を特定できる代替指標は必要です。本資料では、信号マージンのパーセンテージ、または必要時にノイズの絶対電圧値を使用して QHN および QLN を定量化します。

## 誘導性クロストーク

誘導性カップリングは常に SSN の主要メカニズムとなります。誘導性カップリングは、導体の電流が磁場を生成してほかの導体と結合し、電圧を生成してから発生します。その支配方程式は：

$$V = \frac{m \times di}{dt}$$

$m$  はアグレッサとビクティム間の相互インダクタンスです。ドライバ電流が定数の場合、誘導性カップリングは発生しません。誘導性カップリングは、電流が時間の関数として変化する時のみ発生します。アグレッサ・ドライバと関連する導体は信号波形の立ち上がり / 立ち下がり時間で磁場の変化を生成し、ビクティム導体にノイズ電圧を誘発します。誘導性カップリングの振幅はアグレッサ信号とビクティム信号間の平行距離に比例します。

## Delta-I ノイズ

Delta-I ノイズは大量な電流が少数の導体に介してパッケージを出入する時発生します。多くのドライバが high から low にスイッチングすると、信号電流は信号ピンに入り、そしてかならずグランド・ピンに出ます。同様、これらのドライバが low から high にスイッチングすると、電流はかならずパワー・ピンから入ります。その支配方程式は：

$$V = \frac{L \times di}{dt}$$

L は電流パスに関連付けられたインダクタンスで、通常はパワー・パスまたはグラウンド・パスの自己インダクタンスによって支配されます。信号遷移時のみ電流が時間の関数として変更するため、誘導性結合と同様に、Delta-I ノイズは信号遷移においてのみ発生します。ドライバ電流が定数の場合は、ノイズを生成する  $di/dt$  がいないため、Delta-I ノイズは発生しません。

## 電源圧縮

電源圧縮ノイズは、デバイス内のローカル・パワーおよびグラウンド間における電圧変動のことです。パワーとグラウンド間の電圧差は回路動作を可能にするため、その変動はシリコンの性能に影響を及ぼすことがあります。

出力バッファの論理状態が変わると、出力構造体は瞬時に電源レールからグラウンドに低インピーダンス・パスを構築します。この出力遷移によって出力が充電または放電するので、所要電圧レベルに達するには、出力負荷に即時に電流を供給しなければなりません。ローカル・キャパシタンスはこの過渡電流に必要な蓄積エネルギーを供給します。これによってローカル電圧を低減して、外部から電流を導入します。キャパシタンスを流れる電流は電圧変動を生成します。その支配方程式は：

$$V = \frac{1}{C} \times \int I dt$$

電源圧縮は即時に発生ではなく、ドライバが遷移したずっと後に、電流がキャパシタンスを流れる限り発生します。

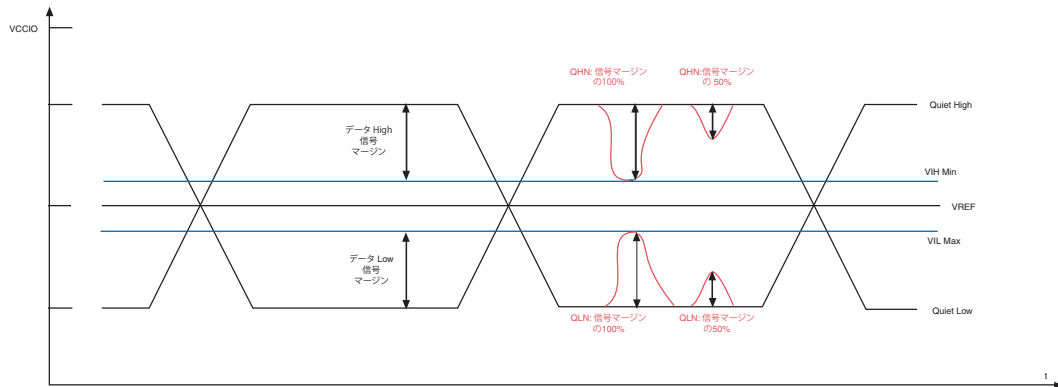
## 記述的 SSN 指標

SSN を定量化する伝統的な方法は「ノイズの mV」です。この方法は単一信号伝達技術には通用します。複数の異なる I/O 規格を使用する場合、絶対電圧はノイズが信号に対する影響程度を示すことができません。例えば、2.5V の LVTTTL バスは 1.8V SSTL バスより多くのノイズ mV が許容できます。

FPGA はプログラム可能です。デバイスをプログラムする前に、ドライバに使用可能な I/O インタフェースは予測できません。そのため、FPGA には異なるバス技術、電源電圧、およびドライブ強度に適用可能な SSN 指標が必要です。その方法の 1 つは SSN を信号マージンのパーセンテージとして定量化するのです。

信号マージンは Quiet High と VIH min の差 (QHN の場合)、または VIL max と Quiet Low の差 (QLN の場合) です。レシーバの入力ピンへの入力信号は、電圧が信号マージン範囲以内にあるとき、0 または 1 として解釈されることが保証されません。図 3 には、標準的な SSTL class II 信号の QLN/QHN を信号マージンのパーセンテージとして定量化される信号アイ・ダイアグラムを示します。システムは、SSN を考慮した後に他の要件に十分な信号マージンを保留するように設計されるべきです。

図 3. QLN/QHN を信号マージンのパーセンテージとして定量化されている信号アイ・ダイアグラム



### 同期信号、非同期信号および SSN グリッチ

同期信号にはサンプリング・ウィンドウと呼ばれる時間帯があり、通常、その時間帯はサンプリング・クロックのセットアップ・タイムおよびホールド・タイムであり、その時の入力信号が信号マージン範囲内になると、信号の安定が見込まれます。このサンプリング・ウィンドウでは、入力信号が信号マージンを越えたとき、動作エラーが発生することがあります。レシーバは、サンプリング・ウィンドウ範囲外の期間ではノイズ・グリッチに敏感しないため、サンプリング・ウィンドウ範囲外の SSN グリッチは機能障害を起こしません。

非同期信号にはサンプリング・ウィンドウがありません。信号に信号マージンを越えさせる SSN グリッチは、非同期信号にコントロールされる回路に影響することになります。非同期信号にコントロールされる回路の性能を保証するために、非同期信号を SSN グリッチから遮断するのは極めて重要です。

図 4 に、SSN グリッチが同期信号および非同期信号に対する影響を示します。

図 4. 同期信号、非同期信号および SSN グリッチ

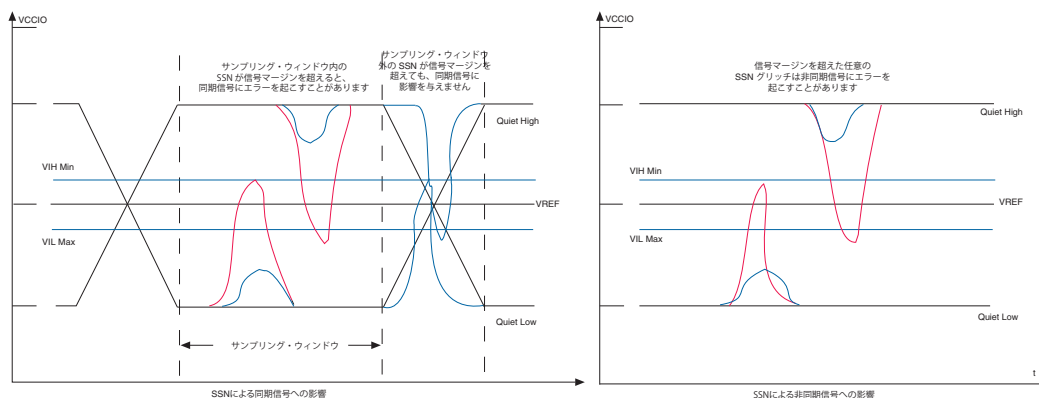
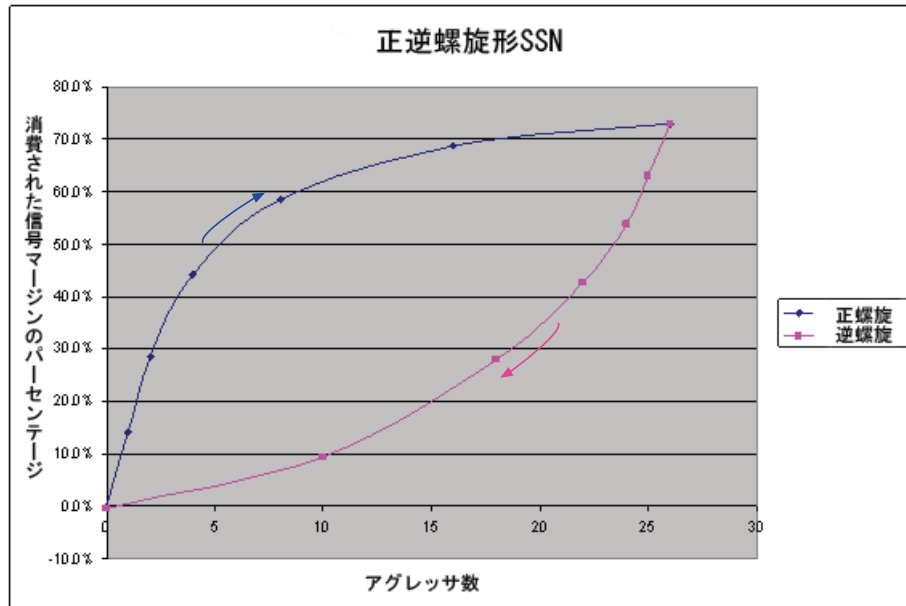




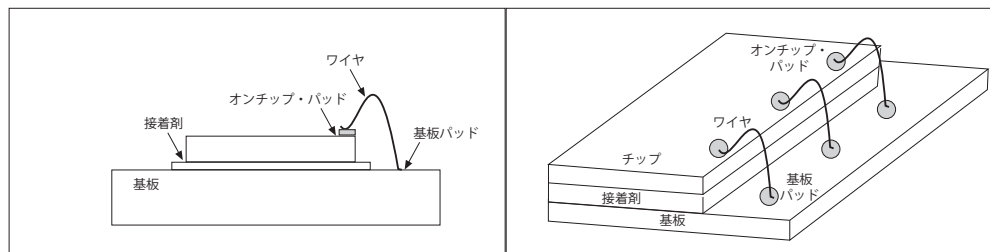
図 7. 信号マージンのパーセンテージとして表示される正逆螺旋形 SSN



## パッケージが SSN に対する影響

Cyclone III デバイス・ファミリーでは、ワイヤ・ボンディング・パッケージというごく普通の低コストなチップ - 基板間相互接続技術が使用されています。チップパッドと基板パッドを接続するワイヤは長くて、ワイヤ間のスペースは極めて小さいです。この結果、SSN の主因であるワイヤ自体の大きなインダクタンスおよびワイヤ間の大きな相互インダクタンスが生じます。そのため、クロストークおよび Delta-I ノイズは SSN の支配的な要因となり、電源圧縮は二次的な要因となります。図 8 に、ワイヤ・ボンディングの組み立ての典型的な断面図および側面図を示します。

図 8. ワイヤ・ボンディングの組み立ての断面図



## Cyclone III による SSN の緩和

SSN は増えつつあるデザイン関係の課題で、SSN を低減する方法がいくつかあります。パッケージの影響のため、誘導性カップリングおよび delta-I ノイズは Cyclone III デバイスにおける SSN の大部分を占めます。この項では、この 2 つのメカニズムにより生じた SSN を緩和するいくつかの方法を提供します。

誘導性カップリングおよび Delta-I ノイズは信号遷移時に発生し、 $di/dt$  が SSN の原因です。SSN の量は、自己インダクタンスおよび相互インダクタンスを含む有効インダクタンスによって決定されます。次の方程式を参照してください。

$$V = \sum_{k=1}^N L_k \times \frac{di_k}{dt}$$

説明：

- $V$  は SSN 電圧
- $N$  は有効アグレッサの数
- $L_k$  は第  $k$  のアグレッサによる有効インダクタンス (delta-I ノイズの場合は自己インダクタンス。クロストークの場合は相互インダクタンス)
- $di_k/dt$  は第  $k$  のアグレッサのスルーレート

従って、 $di/dt$ 、有効インダクタンスおよび  $N$  は、この 2 つのメカニズムによって発生する SSN にとって重視すべきポイントです。以下の項では、これらのポイントに対処して SSN を最小限にする方法について説明します。

### di/dt を低減

$di/dt$  は I/O 電流の経時的変化率で、ドライバ内の電流のスイッチング速度を表します。 $di/dt$  を低減するには、スイッチングする電流量 ( $di$ ) の減少、または遷移時間 ( $dt$ ) の増加、あるいはその両方を変更することによって実現できます。

#### より低いドライブ強度を選択

ドライブ強度の設定はドライバが引き出す電流量を決定します。ドライブ強度設定が高いほど、I/O がスイッチングする時の電流変化率も速くなります。そのため、ドライブ強度を制限することによって、I/O スwitching の電流変化を最小化して SSN を低減できます。

図 9 に、異なるドライブ強度 (4mA および 16mA) で LVTTTL 3.0V において測定された QLN および QHN 値を示します。16mA から 4mA に変更すると、QLN の信号マージン・パーセンテージが 60%、QHN の信号マージン・パーセンテージが 37% 得られます。



## 図 9. 異なるドライブ強度で LVTTTL 3.0V において測定された QLN および QHN

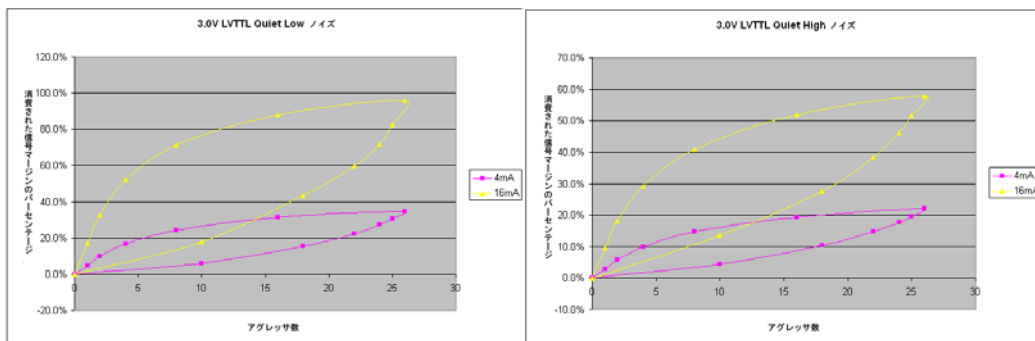


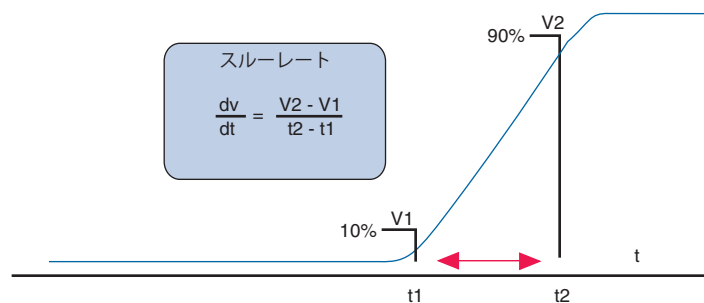
図 9 に、SSN がドライブ強度に敏感することを示します。ドライブ強度を低減することにより、ノイズを著しく減少させ、信号マージンを改善できます。

実際のデザインにおいては、通常、システム速度およびタイミング・マージンが最小ドライブ強度を決定します。I/O スwitchingでの電流変化を最小限に抑えるために、性能要件を満たす最低のドライブ強度を選択してください。

### プログラマブル・スルーレート・コントロールの設定を活用

スルーレートとは、出力における変化率、または最終値の 10% から 90% までにスイッチングするのに必要な時間です。図 10 に、スルーレートの定義を示します。

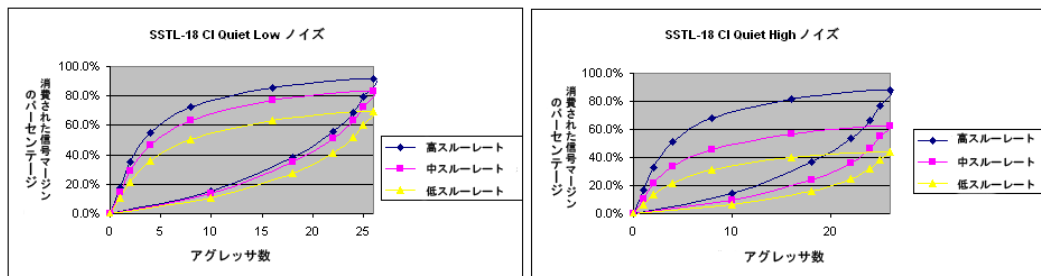
## 図 10. スルーレートの定義



Cyclone III デバイス・ファミリーは、プログラマブル・スルーレート・コントロールをサポートします。各 I/O ピンの出力バッファでは、サポートされる I/O 規格ごとに低、中、高の 3 つのスルーレート設定が提供されています。高速スルーレートは高性能システムに高速伝送を提供しますが、ノイズを誘発する可能性もあります。低速スルーレートはシステム・ノイズを低減しますが、立ち上がりおよび立ち下がりエッジに一定の遅延を追加します。

図 11 に、SSTL-18 CI 12mA における異なるスルーレートでの QLN および QHN を示します。スルーレートを高から低に切り替えすと、QLN の信号マージン・パーセンテージが 20%、QHN の信号マージン・パーセンテージが 40% 得られます。

図 11. SSTL-18 CI 12mA における異なるスルーレート（低、中、高）での QLN および QHN



各ピンに個別のスルーレート・コントロールが備えているため、デザイナーはピンごとにスルーレートを特定することができます。実際のデザインにおいてはシステムの数値要件を満たす最低のスルーレートを選択してください。

### 低電圧 I/O 規格を選択

低電圧の信号伝達規格により、幾多のアグレッサ・ピン付近における Quiet ビクティム・ピン上のノイズを低減することができます。下記の電流と出力電圧の関係を参照してください。

抵抗性負荷：

$$I = \frac{V_{OUT}}{R}$$

容量性負荷：

$$I = \frac{C_L \times dV_{OUT}}{dt}$$

アグレッサにおける出力電圧スイングを低減することにより、出力トランジスタ内に必要な電流を低減して、アグレッサの  $di/dt$  値を減少させ、ついにビクティム・ピンでの SSN 電圧を低減することができます。ただし、信号レベルの減少に伴って、電圧ノイズの-marginも減少します。

図 12 に、SSTL-18 CII 16mA および SSTL-2 CII 16mA での QLN 比較を示します。SSTL-2 CII から SSTL-18 CII に移行することで、絶対 QLN 電圧が 50mV 異なっても、得られた QLN の信号margin・パーセンテージは 5% 未満です。

図 12. SSTL-18 CII 16mA および SSTL-2 CII 16mA 間における QLN の差別

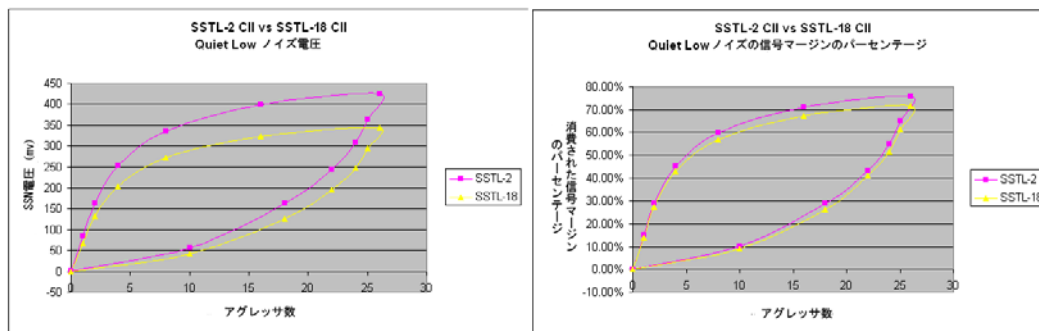
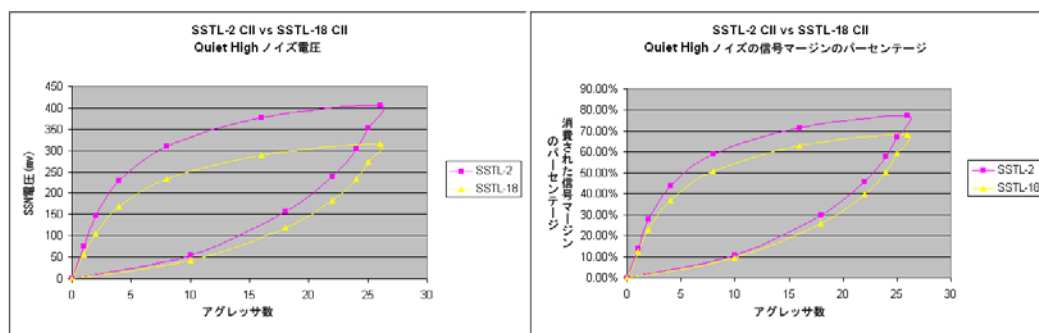


図 13 に、SSTL-18 CII 16mA および SSTL-2 CII 16mA での QHN 比較を示します。SSTL-2 CII から SSTL-18 CII に移行することで、絶対 QLN 電圧が約 100mV 異なっても、得られた QLN の信号マージン・パーセンテージは 9% 未満です。

図 13. SSTL-18 CII 16mA および SSTL-2 CII 16mA 間における QHN の差別



実際のデザインにおいては、システム・デザイナーが特定の I/O 規格に電圧を選択する前に、EMI/EMC 仕様を満たすなど設計基準を考慮する必要があります。

### 終端付 I/O 規格を選択

終端が付いた I/O 規格は反射を低減することによって、高速トレースにおける信号伝送の最適化に役立ちます。なお、直列終端抵抗は、ライン遠端での出力電圧スイングを減少させることにより、電流制限器としても働きます。

遠端並列終端は、ライン遠端で観測されたノイズの量を制限します。これらの終端がないと、伝送ラインに送り出すノイズはインピーダンスの不連続によって遠端で反射されます。終端がないと、多重反射により遠端で測定されるノイズ振幅が高くなります。図 14 に、1.8V LVTTTL 16mA および SSTL-18 CII 16mA 間における QLN および QHN の相違を示します。SSTL-18 CII において観測された QLN および QHN の信号マージン・パーセンテージは、1.8V LVTTTL に比べて 60% 改善されます。

図 14. SSTL-18 CII 16mA および 1.8V LVTTTL 16mA 間における QLN および QHN の差別

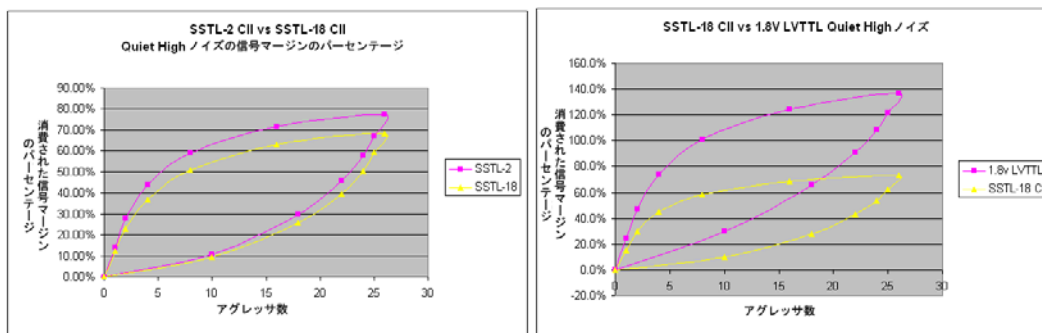


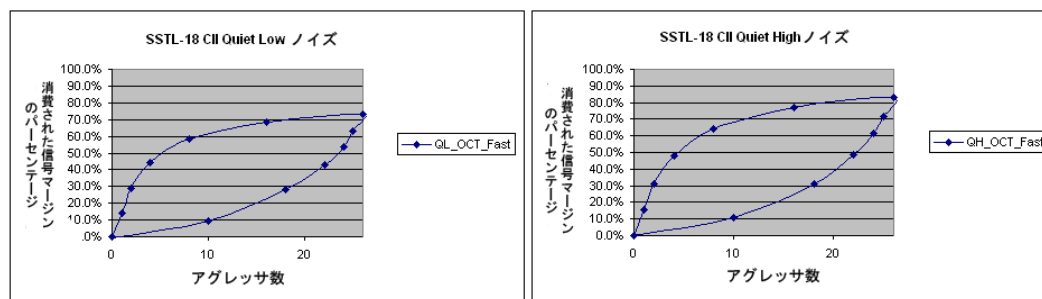
図 14 に示されたデータは、実際のデザインと比べてより高い SSN が起される遠端負荷なしの設定で測定されたものです。実際のシステムにおいては、遠端負荷あるいはレシーバ負荷はビクティム・ピンでのノイズをフィルターして SSN を低減することになります。

## SSO ピン数の制限により SSN を低減

SSN を低減するもう 1 つの方法は、特定のバンクで同時にスイッチングする有効アグレッサの数、 $N$  を制限することです。アグレッサが多いほど SSN が高くなります。したがって、 $N$  を制限して、アグレッサとビクティム間の総合的な有効インダクタンスを低減できます。これで、インダクタンス・ループ内の電流総量が低減され、総合  $di/dt$  の減少が実現されます。図 15 に、SSTL-18 CII の CIII で測定された QLN および QHN とアグレッサ I/O 数の間の関係を示します。SSO ピン数が増えると、QLN と QHN 両方も増加します。曲線の飽和は、SSO ピンを追加してもノイズに与える影響が無視できることを示します。


実際のデザインにおいて、頻繁にスイッチングする I/O を同一バンク内に配置するのは避けるべきです。それらを異なるバンクに分散してください。

図 15. SSTL-18 CII QLN および QHN vs. SSO ピン数



## 有効インダクタンスを低減

DDR/DDR2 など高速メモリ・インタフェースの実装時に、広いメモリ・バスおよび厳しいタイミング分配により、SSO 数低減上の柔軟性が制限されています。もう 1 つの選択肢は、バンク内の I/O 使用率が 100% を十分に下回っている場合は、スイッチング I/O をバンク全体に均等に分散させることです。スイッチング I/O を分散させることにより、可能なビクティム I/O の付近にはより少ないスイッチング・アグレッサ I/O が存在します。アグレッサ I/O とビクティム I/O 間の有効インダクタンスが減少し、SSN の減少が実現されます。

 Cyclone III デバイスにおいては、DDR/DDR2 を実装する時、DQ および DQS ピンは事前に割り当てられます。そのため、I/O の分散は DQ/DQS に適用しなく、命令信号およびコントロール信号にのみ適用します。

未使用 I/O がスイッチング I/O に散らばると、未使用 I/O の状態も SSN を影響します。これらの未使用 I/O をグランドまたはパワー・プレーンに配線することで、SSN を低減できます。

クリティカルな非同期コントロール信号、たとえば clock/reset/enable 信号は、システム性能に直接的な影響を与えるため、通常 SSN に弱いです。システム動作が SSN に干渉されないように、クリティカルな信号をアグレッサから遮断することが推奨されています。アグレッサがビクティム・ピンから離れるほど、アグレッサ I/O とビクティム I/O 間の有効インダクタンスが小さくなります。図 16 に、SSTL-2 CII (16mA、OCT がオン) における正螺旋および逆螺旋パターンでの SSN 測定値を示します。図 16 では、SSO ピンが同数の場合、正螺旋パターンの曲線が逆螺旋パターンの曲線より、ノイズのマーヅンが著しく高いです。10 本のアグレッサがスイッチングする時、信号マーヅン・パーセンテージは、正螺旋パターンでの QLN が逆螺旋パターンでの QLN より 50% 高いであり、QHN の場合には正螺旋パターンのほうが 65% より高いです。


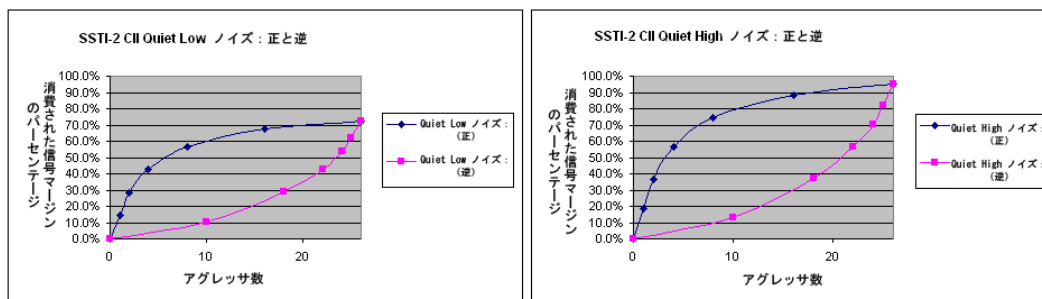

 アグレッサの数が同じの場合に、正螺旋パターンでのアグレッサは逆螺旋パターンよりビクティム・ピンに近いです。結論として、アグレッサがビクティム I/O に近いほど、SSN がひどくなります。それ故に、できるだけクリティカルなコントロール信号および非同期のコントロール信号をスイッチング I/O から離れて配置します。

図 16. SSTL-2 CII における正螺旋および逆螺旋パターンでの SSN



## 高速ボード・デザイン・ガイドライン

次の項では、若干の一般的な高速ボード・デザイン慣例に関する概要を提供します。PCB (プリント基板) デザインは、ビクティム・ピンで観測されるノイズ量に重要な役割を果たしています。制御されたインピーダンス・トレース、高速リターン・パス、および頑丈な電源供給ソリューションを備えて設計された PCB スタックアップは、ビクティム・ピンにおけるノイズを最小限に抑えることに役立ちます。

 スタックアップ・デザイン、信号ブレイクアウト、高速リターン・パス、および電源供給ネットワーク・デザインについては、「参考文献」を参照してください。

### スタックアップ・デザインおよび信号ブレイクアウト

スタックアップ・デザインとは、プリント基板のレイヤ配置を指します。PCB スタックアップでのパワー・プレーンおよびグランド・プレーンの配置 (レイヤの順序で決められる) は、ループ・インダクタンスおよびパワー・プレーンとグランド・プレーン間のプレーン間キャパシタンスに著しい影響があります。PCB 設計者は、デザイン・サイクルの初期段階でレイヤの順序を考慮する必要があります。FPGA デバイスが最上層に配置されることを想定すると、バイパスしにくいパワー・レールはスタックアップの上半部に、電流過度の低い電流レールはボードの中央から下半部までに配置します。

SSTL や HSTL など高い過度電流を持つ電源用のパワー・プレーンは、プレーンに接続されるピア・インダクタンスを低減するためにデバイスに接近して配置されるべきです。可能な限り、各パワー・プレーンの隣接でグランド層を配置して、ループ・インダクタンスを最小化にします。高周波な電流過度を持つパワー・プレーンおよびグランド・プレーンのピアは、低周波な電流過度を持つピアより優先します。PCB 設計者は、スタックアップを設計する際に、各ピアの優先度を確認する必要があります。

理想的な場合には、ボードのスタックアップは高速トレースを上下両方とも AC グランドに参照できるように配線されるべきです。より実際的な配置は、グランド・プレーンを上に、(信号の) VCCIO を下に配置すること、またはその逆です。プレーンのカットアウトは高速トレースに良好なリターン・パスを提供するように実行されるべきです。

### 高速リターン・パス

電流リターン・パスの物理的特性は信号トレースと同等な重要性を持っています。電流リターン・パスを考慮せず、信号トレースのインピーダンス制御のみ重視するのは、PCB デザインによくある間違いです。高周波数においては、出力バッファからトレースに発行された信号は、最低のインピーダンスを持つパス (多くの場合にそれも最低のインダクタンスを持つパスである) に経由してソースに戻ります。不連続について最も基本的な影響は直列インダクタンスの増加です。余分なインダクタンスは高周波コンポーネントを除去し、エッジレートを下げ、角を丸くすることがあります。もう 1 つの影響は、同じ間隔を横断するトレースの間に非常に高いカップリング係数が生じることです。

すべての高速プレーンに連続的なリファレンス・プレーンを提供するのは良いデザイン手法です。リファレンス・プレーン内の間隔を横断することが避けられない場合に、デカップリング・コンデンサを信号ラインの両側に配置し、間隔に AC ショットを提供して影響を軽減します。

リファレンス・プレーンの変更は、高速信号にとって常に避けるべきことです。これが発生している場合は、リターン電流パスのインピーダンスを最小にするようにレイヤ変更の近くに十分なデカップリングを提供する必要があります。

## 電源供給ネットワーク・デザインの概要

PDN (Power Delivery Network ; 電源供給ネットワーク) デザインの目的は、PCB 上すべてのデバイスに安定で均一な電圧を提供することです。リファレンス電圧または電源電圧の任意の変動は各製品のタイミングおよびシグナル・インテグリティに著しい影響を与えるため、安定した電源電圧が重要です。基本的に、PDN をデザインする際に考慮する必要がある電源供給は 2 レベルあります。電源供給システムの高周波コンポーネントは、デバイスに必須な瞬間電流を提供しなければなりません。これは、最大のオンチップ・キャパシタンスを提供することに加え、パッケージ上に、または PCB 上のデバイスの付近にコンデンサを配置することにより実現できます。デバイスの近くに配置された高周波コンデンサにチャージを補充するために、第 2 段階のデカップリングが必要とします。第 2 段階のコンデンサの帯域幅は、 $di/dt$  要件を完全に満たす必要はありません。デバイス付近の高周波コンデンサがデバイスに電流を供給する前に、その高周波コンデンサを補充できる程度の帯域幅をサポートすれば十分です。PDN の設計時に、デカップリング・コンデンサとデバイス (負荷) 間の誘導パスを最小限にしてください。

数段階のデカップリング・コンデンサを用意するのは、幅の広い周波数にわたって目標インピーダンスを満たすためです。最大過度電流および電源の電圧リップル最大パーセンテージが分かれば、目標インピーダンスは次の式で算出できます。

$$Z_{TARGET} = \left[ \frac{\text{電圧レール・リップルのパーセンテージ}}{\text{最大過度電流}} \right]$$

電圧レギュレータは低周波数にしか利かないので、周波数範囲内のパワー・インテグリティを維持するにはすべての電源レールの目標インピーダンスを算出する必要があります。PDN は、デカップリング・コンデンサおよびプレーン間キャパシタンス (ボード・スタックアップにおけるパワーとグランド間の挟み込みによるキャパシタンス) により電源レールの高 / 中 / 低周波数のデカップリングに依存します。

デカップリング・コンデンサの効果は、コンデンサの ESL (Equivalent Series Inductance ; 等価直列インダクタンス)、マウンティング・インダクタンスおよび水平インダクタンス (コンデンサとデバイス間の距離であり、スプレッディング・インダクタンスまたは配線インダクタンスとも呼ばれる) によって制限されます。ビア直径の選択、ビア位置、パワー・プレーンの距離、およびビアとパッド間の距離などレイアウト手法により、マウンティング・インダクタンスが最小限に抑えられます。

## 結論

このアプリケーション・ノートでは、誘導性カップリング、Delta-I ノイズ、および電源圧縮の 3 つの SSN メカニズムについて説明し、SSN を消費した信号マージンのパーセンテージとして記述する記述指標を記載しました。このアプリケーション・ノートでは主要な SSN メカニズムに基づいて、Cyclone III デザインにおける SSN を緩和する推奨事項を提供します。次はこれらの方法の要約です。

- $di/dt$  を低減
- システム速度およびタイミング・マージンを満たす最低のドライブ強度を選択
- システム速度要件を満たす最低のスルーレートを選択
- デザイン基準に適合する低電圧 I/O 規格を選択
- 終端付きの I/O 規格を選択
- SSO ピンの数を制限
- SSO ピンを分散して有効インダクタンスを低減

スタックアップ・デザイン、高速リターン・パス、および PDN デザインについて高速ボード・デザイン・ガイドラインも提供されます。

SSN の緩和方法および高速ボード・デザイン・ガイドラインに従うことにより、デザイン・サイクルの初期段階において SSN によるリスクを著しく低減できます。

## 参考文献

このアプリケーション・ノートでは、以下のドキュメントを参照しています。

- *FPGA Design for Signal and Power Integrity*
- *High-Speed Digital System Design*
- *Power Play Early Power Estimator User Guides*
- *RIGHT THE FIRST TIME, A Practical Handbook on High Speed PCB and System Design*

## 改訂履歴

表 1 に、本資料の改訂履歴を示します。

表 1. 改訂履歴

| 日付およびドキュメント・バージョン | 変更内容 | 概要 |
|-------------------|------|----|
| 2007 年 12 月 v1.0  | 初版   | —  |





101 Innovation Drive  
San Jose, CA 95134  
[www.altera.com](http://www.altera.com)  
Technical Support  
[www.altera.com/support](http://www.altera.com/support)

Copyright © 2009 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



I.S. EN ISO 9001