



この翻訳版ドキュメントのメンテナンスは終了しております。

この文書には、古いコンテンツや商標が含まれている場合があります。

最新情報につきましては、次のリンクから英語版の最新資料をご確認ください。

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

Please take note that this document is no longer being maintained. It may contain legacy content and trademarks which may be outdated.

Please refer to English version for latest update at

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

はじめに

本書では、アルテラの MAX® II CPLD を使用したモバイル SDRAM インタフェースの実装について説明します。

モバイル SDRAM

SDRAM は高集積度のストレージを低コストで提供します。モバイル SDRAM デバイスは、電源消費も少ないという点で他との違いがあります。これは、SDRAM が提供するその他の省電力機能、例えば次の機能により可能になっています。

- セルフ・リフレッシュの温度補償 (TCSR)
- パーシャル・アレイ・セルフ・リフレッシュ (PASR)
- 深いパワーダウン・モード

SDRAM は、デジタル・カメラ、携帯電話、医用装置、ホーム電子機器、その他のデバイスなどの広範囲なポータブル電子機器で使用されています。このアプリケーション・ノートでは、マイクロプロセッサとモバイル SDRAM デバイスとの間の一般的なインタフェースについて説明します。SDRAM をアプリケーションに容易に組み込んで SDRAM の利点を持たせることができます。

SDRAM インタフェース

このデザインは、MAX II CPLD をマイクロプロセッサとモバイル SDRAM との間のインタフェースとして機能させることができます。マイクロプロセッサからのコマンドが正しく解釈され、タイミング条件に従って該当する信号が解釈可能なフォーマットで SDRAM にインタフェースされます。図 1 に、このインタフェースの基本構成を示します。メモリ上のインタフェース信号は、代表的な Micron 社の SDRAM デバイスを対象としています。

図 1. モバイル SDRAM インタフェース

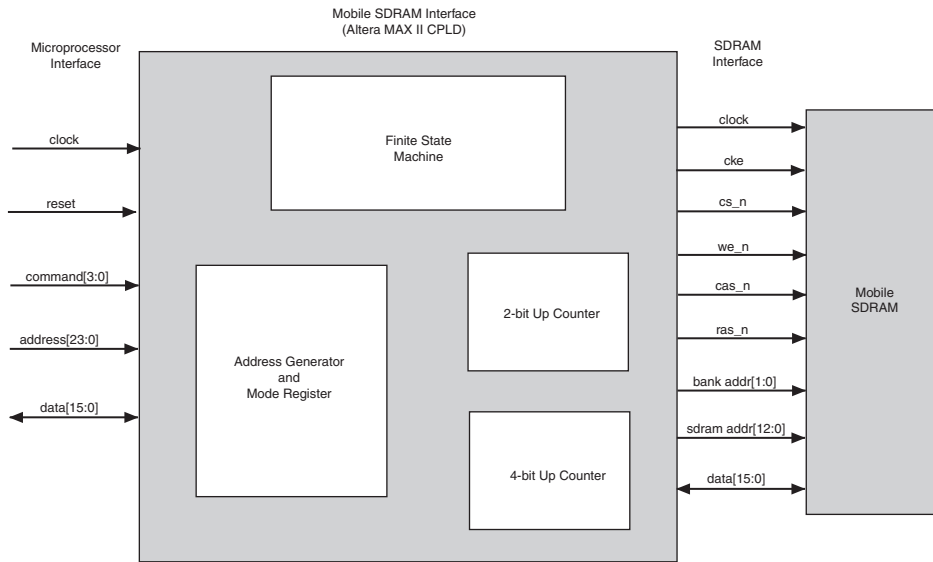


表 1 に、マイクロプロセッサと SDRAM のインタフェースを構成する様々な信号を示します。

表 1. モバイル SDRAM 信号 (1 / 2)			
ピン	サイズ	タイプ	説明
clk	1 ビット	入力	システム・クロック。
cke	1 ビット	入力	クロック・イネーブル。クロックを起動または停止します。
cs_n	1 ビット	入力	チップ・セレクト。コマンド・デコーダをイネーブルまたはディセーブルします。
we_n、cas_n、ras_n	1 ビット	入力	コマンド・ピン。動作モードを選択します。
bank_address	2 ビット	入力	アクセス対象のバンクを指定します。

ピン	サイズ	タイプ	説明
sdram_address	13 ビット	入力	アクティブ・コマンド、または読み書きコマンドのいずれがアサートされているかに応じて、行アドレスと列アドレスがアサートされます。
data	16 ビット	入力/出力	データ入力およびデータ出力。
clock	1 ビット	入力	プロセッサを駆動する同じクロックが、コントローラも駆動します。
reset	1 ビット	入力	コントローラをリセットするアクティブ High の外部入力。
command	4 ビット	入力	これら 4 本のラインは、コントローラに対するコマンドです。コマンドの詳細は、Micron 社のモバイル SDRAM データシートに記載されています。
address	24 ビット	入力	最上位 2 ビットはバンクを、次の 9 ビットは行アドレスを、残りの 13 ビットは列アドレスを、それぞれ指定します。
data	16 ビット	入力/出力	16ビット幅の双方向データバス。

図 1 に示すように、モバイル SDRAM インタフェース・デザインは、4 個のメイン・モジュールから構成されています。この各モジュールは、有限ステート・マシン (FSM) モジュール、2 ビットのアップ・カウンタ、4 ビットのアップ・カウンタ、アドレス・ジェネレータ、モード・レジスタです。これらのモジュールについては、次の項で簡単に説明します。

有限ステート・マシン

この有限ステート・マシンは、マイクロプロセッサからの入力を解釈し、タイミング条件に従ってアドレスと一緒に該当するコマンドをモバイル SDRAM デバイスへ送信します。次に、モバイル SDRAM デバイスは該当する状態に遷移して、コマンドを実行します。

2 ビット・アップ・カウンタ

このカウンタは、CAS レイテンシのクロック・サイクル数を監視します。このレイテンシは、最大 2 クロック・サイクルまで可能です。

4 ビット・アップ・カウンタ

このカウンタは、読み出しおよび書き込みバースト動作時のクロック・サイクル数を監視します。バースト長としては、1、2、4、または8が可能です。

アドレス・ジェネレータおよびモード・レジスタ

アドレス・ジェネレータは、マイクロプロセッサからのアドレスを所定のフォーマットでモバイル SDRAM デバイスに割り当てます。状態に応じて、バンク・アドレス、行アドレス、列アドレスを個別に生成して、モバイル SDRAM デバイスへ渡します。

表 2 および表 3 に、モード・レジスタ値と拡張モード・レジスタ値を示します。

表 2. モード・レジスタ値			
ピン	サイズ	タイプ	説明
burst_length	2 ビット	入力	1、2、4、または 8 ロケーションのバースト長を選択するオプションを提供します。
burst_type	1 ビット	入力	シーケンシャル・アクセスまたはインタリーブド・アクセスを選択するオプションを提供しません。
CAS_latency	2 ビット	入力	読み出しコマンドを送信した後に、2 または 3 クロック・サイクルの遅延を可能にするオプションを提供します。

ピン	サイズ	タイプ	説明
PASR	3 ビット	入力	パーシャル・アレイ・セルフ・リフレッシュ。4 バンク、2 バンク、1 バンク、1/2 バンク、1/4 バンクをリフレッシュするオプションを提供します。コマンドの詳細は、Micron 社のモバイル SDRAM データシートに記載されています。
TCSR	2 ビット	入力	セルフ・リフレッシュの温度補償。BATRAM デバイスの温度に応じて、コントローラがリフレッシュ・インターバルを設定できるようにします。コマンドの詳細は、Micron 社のモバイル SDRAM データシートに記載されています。
driver_strength	1 ビット	入力	出力ドライバ強度の選択に使用します。フル・ドライブ強度では、最大 50 pF の負荷を駆動することができます。ハーフ・ドライブ強度は、1 対 1 アプリケーションに適しています。 <ul style="list-style-type: none"> ● 0 = ハーフ強度 ● 1 = フル強度

実装

このデザインは、MAX II EPM570 デバイス (144 ピン以上) を使用して実装することができます。デザインのソース・コードはコンパイルして、MAX II CPLD にプログラムすることができます。ホスト・インタフェース・ポートおよび SDRAM インタフェース・ポートは、図 1 に示されています。この SDRAM インタフェース・デザインでは、EPM570 デバイスの約 24% のロジック・エレメント (LE) と最大 85 本の I/O ピンを使用しています。

ソース・コード

このデザイン例は Verilog HDL を使用して作成されています。ソース・コード、テストベンチ、および完成した Quartus® II プロジェクトは、以下から入手可能です。

www.altera.co.jp/literature/an/an499_design_example.zip

まとめ

このデザイン例が示すように、MAX II CPLD はモバイル SDRAM などのメモリ・デバイスへのインタフェースを実装する際に有力な選択肢となります。MAX II CPLD は、低価格、使いやすいパワーオン機能、多電圧機能、さらに最も重要な低消費電力条件を備えているため、このようなメモリ・デバイス・インタフェース・アプリケーションを実装する最適なプログラマブル・ロジック・デバイスになっています。

関連情報

以下に、このアプリケーション・ノートに関連情報を示します。

MAX II CPLD ホームページ :

www.altera.co.jp/products/devices/cpld/max2/mx2-index.jsp

MAX II デバイスの資料ページ :

www.altera.co.jp/literature/lit-max2.jsp

MAX II パワーダウン・デザイン :

www.altera.co.jp/support/examples/max/exm-power-down.html

MAX II アプリケーション・ノート :

「AN 428: MAX II CPLD のデザイン・ガイドライン」

「AN 422: MAX II CPLD を使用したポータブル・システムにおける消費電力の管理」

改訂履歴

表 4 に、このアプリケーション・ノートの改訂履歴を示します。

表 4. 改訂履歴		
日付 & ドキュメント・バージョン	変更内容	概要
2007 年 12 月 v1.0	初版	—



101 Innovation Drive
San Jose, CA 95134
www.altera.com
Literature Services:
literature@altera.com

Copyright © 2007 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

