



この翻訳版ドキュメントのメンテナンスは終了しております。

この文書には、古いコンテンツや商標が含まれている場合があります。

最新情報につきましては、次のリンクから英語版の最新資料をご確認ください。

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

Please take note that this document is no longer being maintained. It may contain legacy content and trademarks which may be outdated.

Please refer to English version for latest update at

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>



MAX II CPLD のオート・ストップ およびオート・スタート機能を 使用した LED の点滅

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

2007年12月 ver 1.0

Application Note 498

はじめに

最小限のシステム介入で部品の電源をオン/オフ（点滅）することは、貴重な省電力技術の1つです。アルテラの MAX II CPLD は、簡単な電源シーケンシング機能と独自の機能を持っているため、この用途に最適です。このアプリケーション・ノートでは、MAX II CPLD のオート・ストップおよびオート・スタート機能を使用して LED を点滅させる簡単な方法について説明します。

オート・ストップ およびオート・スタート機能 を使用した 省電力

多くの民生用および産業用アプリケーション・システムでは、CPLD の電源を常時オンしておく必要はありません。実際、CPLD 電源が必要なときにのみ断続的にオンし、サイクルの大部分ではオフになっているシステムが望まれています。MAX II CPLD は、あらゆるパワーオン・シーケンスに対応できるように設計されています。また、MAX II CPLD は業界で最小のパワーアップ・タイミング特性を備えています（デザインのロジック規模に応じて、EPM240 デバイスでは 200 μ s (typ 値)）。

このために、MAX II CPLD は、このようなシステムに対する最適なターゲット・デバイスになっています。この CPLD は、1つのタスクが完了したらターンオフし、次のタスクで再びターンオンすることができます。セルフ・パワーダウンは CPLD 自体により開始され、自動パワーアップは必要な遅延を発生させるようにデザインされた簡単な RC 回路などのような外部回路から開始されます。この方式は全体として、省電力の意味を持ちます。特に、周期的な機能（例えばテレメータ・システムでのパラメータのサンプリング）に使用できるバッテリー駆動のシステムでは、CPLD が休止できる場合に電源をオフにすることができるため省電力化されます。

CPLD はパワーダウン信号とその反転信号の2つの信号を発生して、CPLD へ電源を供給する LDO をシャットダウンさせる外部回路をトリガすることにより、セルフ・パワーダウンを開始させます。CPLD がオフした後、外部 RC 回路のデザインで指定された遅延が経過した後外部回路が電源を再びオンさせます。LED はパワーオン時に点灯し、CPLD がパワーダウンした後に消灯します。図 1 に、MAX II CPLD を使用したパワーダウン回路を示します。

図 1. MAX II CPLD によるパワーダウン回路

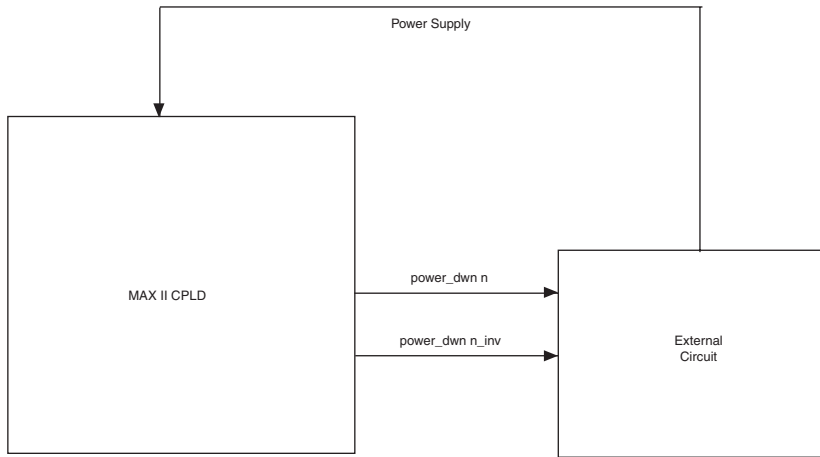
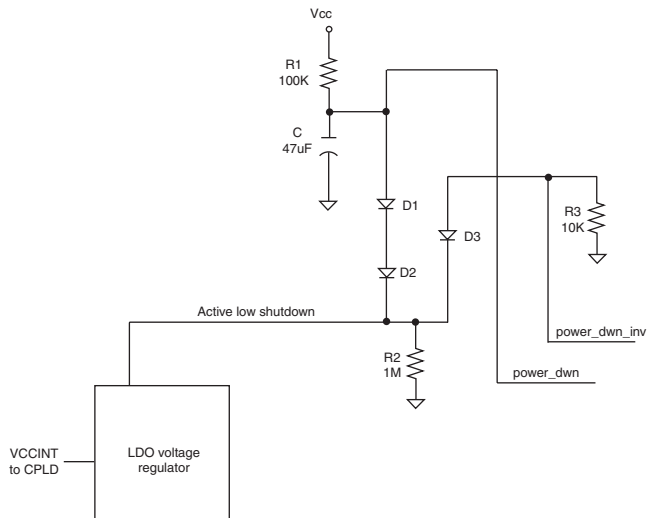


図 2 に、図 1 の外部回路を示します。

図 2. MAX II CPLD を使用したパワーダウン回路に対する外部回路



この項では、MAX II CPLD のセルフ・パワーダウンおよび自動パワーアップ機能について説明します。LED は、CPLD への電源の状態を表示します。CPLD がオンのとき、power_dwn 信号は Low になります (power_dwn_inv は High)。LDO のシャットダウン・ピンは非アクティブ (アクティブ Low) であり、LDO (図 2) はオンのままになります。コンデンサ C は放電状態に維持されます。

CPLD がオフになると、power_dwn 信号は High になります (power_dwn_inv は Low になります)。この信号により、LDO がシャットダウンして、CPLD がオフになります。CPLD の I/O ピンはトライ・ステートになり、コンデンサのプルダウンを解除します。コンデンサは時定数 $R1 \cdot C$ で充電を開始します。コンデンサの電圧が LDO のシャットダウン・ピンのスレッショルド電位 (ダイオード D1 と D2 の各電圧降下で増加) を超えない限り充電が続きます。スレッショルドに到達すると、LDO がターンオンして、CPLD がターンオンします。このサイクルが、繰り返し継続されます。

このアプリケーション・ノートで説明する各ステップは、EPM240G デバイスまたは他の MAX II CPLD、簡単な外部 RC 回路、シャットダウン機能を持つ電源を使用して実装することができます。実装するには、この例のソース・コードを使用し、サポート回路と一緒に該当する信号ラインとコントロール・ラインを MAX II CPLD の汎用 I/O (GPIO) ラインに割り当てます。デモ・ボード MDN-B2 は、このようなサポート回路を内蔵したボードです。デモ・ボードの LED は、MAX II CPLD の電源ステータスを表示します。また、このデモ・ボードでは CPLD コア電源に直列に接続した 1Ω 抵抗の電圧降下を測定することにより、消費電力の測定も可能です。

次に、このデザイン例の MDN-B2 デモ・ボードへの実装について詳しく説明します。表 1 に、この例での EPM240G のピン・アサインメントを示します。

EPM240G のピン・アサインメント	
信号	ピン
power_on_led	69
power_down_inv	12
power_down	14



未使用ピンは、コンパイル前に Quartus II ソフトウェアのデバイスおよびピン・オプション設定で **input tri-stated** として割り当ててありません。

デザイン・ノート

MDN-B2 デモ・ボードで本デザインのデモを行うには、以下のステップを実行します。

1. デモ・ボードの電源をオンにします (スライド・スイッチ SW1 を使用)。
2. デモ・ボード上の JTAG ヘッダ JP5 とプログラミング・ケーブル (ByteBlaster™ II または USB-Blaster™) を使用してデザインを MAX II CPLD へダウンロードします。プログラミング・プロセスの起動前と起動中、デモ・ボードの SW4 を押し続けます。完了したら、電源をオフにして JTAG コネクタを取り外します。
3. デモ・ボードの電源をオンにし (スライド・スイッチ SW1 を使用)、VCCINT と VCCIO の電源が周期的にオン / オフするのを観測します。
4. CPLD への電源がオンになるごとに、LED D2 が点灯するのを観測します。
5. 2.5 V 電源については R52 の電圧降下 (パッド TP1 と TP2) を、1.8 V 電源については R27 の電圧降下 (パッド TP3 と TP4) をそれぞれ測定します。

ソース・コード

このデザインは Verilog を使用して作成しており、MDN-B2 デモ・ボードを使用したデモとなっています。ソース・コード、テストベンチ、および完成した Quartus II プロジェクトは、以下から入手可能です。

www.altera.co.jp/literature/an/an498_design_example.zip

まとめ

低消費電力アプリケーションを実現する場合、およびバッテリー寿命の延長が重要な場合には、MAX II CPLD は優れた選択肢です。MAX II CPLD の低消費電力と、パワーアップ・シーケンス条件なしで迅速かつ容易にパワーオンする独自の機能により、アイドル状態およびタスクとタスクの間でセルフ・パワーダウンすることができます。この機能と電源を迅速に回復するオート・スタート機能を組み合わせると、CPLD の消費電力を削減する機能を大幅に向上させます。

関連情報

以下に、このアプリケーション・ノートに関連情報を示します。

- MAX II CPLD ホームページ：
www.altera.co.jp/products/devices/cpld/max2/mx2-index.jsp
- MAX II デバイスの資料ページ：
www.altera.co.jp/literature/lit-max2.jsp
- MAX II パワーダウン・デザイン：
www.altera.co.jp/support/examples/max/exm-power-down.html
- MAX II アプリケーション・ノート：
 「AN 428: MAX II CPLD のデザイン・ガイドライン」
 「AN 422: MAX II CPLD を使用したポータブル・システムにおける消費電力の管理」

改訂履歴

表 2 に、このアプリケーション・ノートの改訂履歴を示します。

表 2. 改訂履歴		
日付 & ドキュメント・バージョン	変更内容	概要
2007 年 12 月 v1.0	初版	—



101 Innovation Drive
San Jose, CA 95134
www.altera.com
Literature Services:
literature@altera.com

Copyright © 2007 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

