



この翻訳版ドキュメントのメンテナンスは終了しております。

この文書には、古いコンテンツや商標が含まれている場合があります。

最新情報につきましては、次のリンクから英語版の最新資料をご確認ください。

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

Please take note that this document is no longer being maintained. It may contain legacy content and trademarks which may be outdated.

Please refer to English version for latest update at

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

AN-496-2.0

アプリケーション・ノート

このアプリケーション・ノートでは、内蔵オシレータのインスタンス化およびその内蔵オシレータを MAX[®] II と MAX V デバイスに使用方法について説明します。

MAX II および MAX V デバイスは、ユーザー・フラッシュ・メモリ (UFM) の一部として独自の内蔵オシレータを搭載しています。このアプリケーション・ノートのデザイン例で示すとおり、内部オシレータはクロッキングを必要とするデザインを実装するのに最適な選択肢であり、オンボード・スペースと外部クロッキング回路に関連するコストを削減します。

このアプリケーション・ノートには以下の項が含まれています。

- 1 ページの「内蔵オシレータ」
- 3 ページの「MAX II および MAX V デバイスの内蔵オシレータの使用」
- 7 ページの「実装」
- 8 ページの「ソース・コード」

内蔵オシレータ

ほとんどのデザインでは、通常動作にクロックを必要としますが、内蔵オシレータを備えた MAX II および MAX V デバイスでは、外部クロック回路は不要です。例えば、内蔵オシレータは、LCD コントローラ、システム管理バス (SMBus) コントローラ、またはその他のインタフェース・プロトコルのクロッキング要求への適合、またはパルス幅変調器の実装に使用できます。これは部品点数、ボード・スペースの削減、そしてシステム全体のコストの低減に役立ちます。

Quartus[®] II ソフトウェアの MAX II/MAX V オシレータ・メガファンクションを使用することで、UFM をインスタンス化することなく内蔵オシレータをインスタンス化することができます。

オシレータの出力周波数 (OSC) は、基本周波数の 1/4 です。表 1 に、MAX II および MAX V デバイスに対して、基本周波数およびオシレータ出力の周波数範囲を示します。

表 1. MAX II および MAX V デバイスの周波数範囲

パラメータ	周波数範囲 (MHz)	
	MAX II デバイス	MAX V デバイス
分周されていない内蔵オシレータの周波数	13.33–22.22	15.60–21.20
オシレータの出力周波数、OSC	3.3–5.5	3.9–5.3

図 1 に、内蔵オシレータを搭載した UFM を示します。

図 1. 内蔵オシレータを搭載した UFM (注 1), (2)

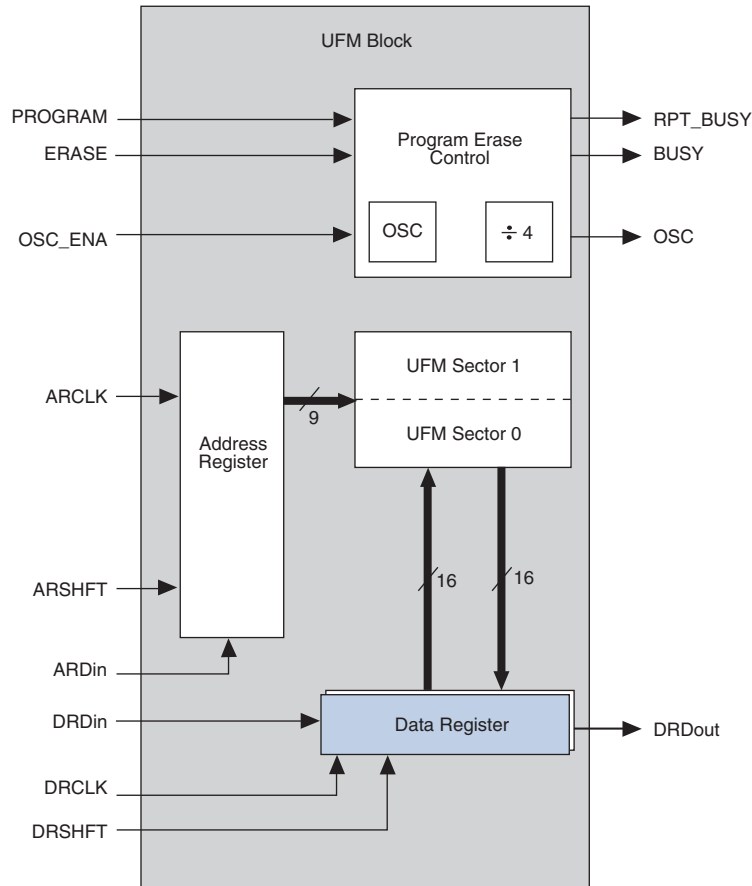


図 1 の注：

- (1) 内蔵オシレータは、UFM のプログラミングおよび消去を制御するプログラム消去コントロール・ブロックの一部です。データ・レジスタは、UFM との間で送受信するデータを保持します。アドレス・レジスタは、データを読み出すアドレスまたはデータを書き込むアドレスを保持します。
- (2) ERASE、PROGRAM、および READ 動作が実行される場合、UFM ブロック用の内蔵オシレータはイネーブルされます。

表 2 に、MAX II および MAX V デバイスのオシレータ・メガファンクションに使用される信号を示します。

表 2. MAX II および MAX V デバイスのオシレータ・メガファンクションの説明

信号	説明
OSC_ENA	内蔵オシレータをイネーブルにする信号です。
OSC	内蔵オシレータの出力です。この信号はオシレータがイネーブルされていないときは Low です。

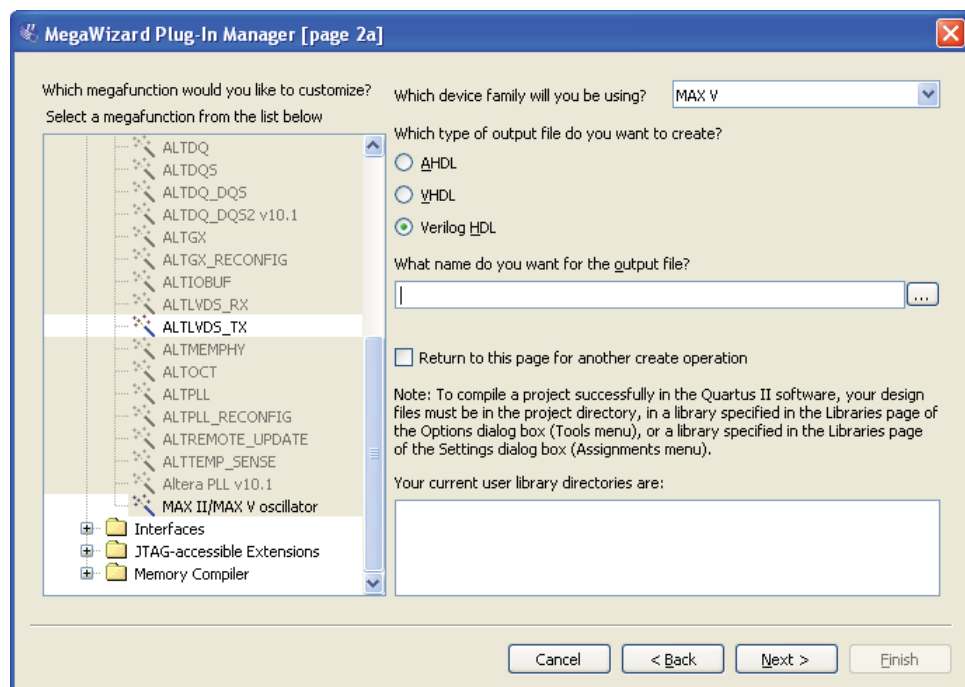
MAX II および MAX V デバイスの内蔵オシレータの使用

内蔵オシレータは、1つの入力 OSC_ENA と 1つの出力 OSC を持ちます。内蔵オシレータをアクティブにするには、OSC_ENA を使用します。内蔵オシレータがアクティブのとき、出力の周波数は 1 ページの表 1 に示すようになります。OSC_ENA が Low にドライブされると、内蔵オシレータの出力は High に保持されます。

以下のステップで説明するように、MegaWizard Plug-In Manager の MAX II/MAX V オシレータ・メガファンクションを使用して、オシレータをインスタンス化することができます。

1. 内蔵オシレータをインスタンス化するプロジェクトを開きます。
2. Tools メニューの **MegaWizard Plug-In Manager** をクリックします。
3. MegaWizard Plug-In Manager のページ 1 で、**Create a new custom megafunction variation** を選択し、**Next** をクリックします。
4. MegaWizard Plug-In Manager のページ 2a で、**MAX V** (または **MAX II**) とファイルの出力タイプを選択します (図 2 を参照)。

図 2. MegaWizard Plug-In Manager における ALTUFM_OSC メガファンクションの選択



5. Megafunctions リストで、**I/O** をダブルクリックし、**MAX II/MAX V oscillator** をクリックします。出力ファイル名を入力し、**Next** をクリックします。これで、オシレータの出力周波数を選択することができます (図 3 を参照)。


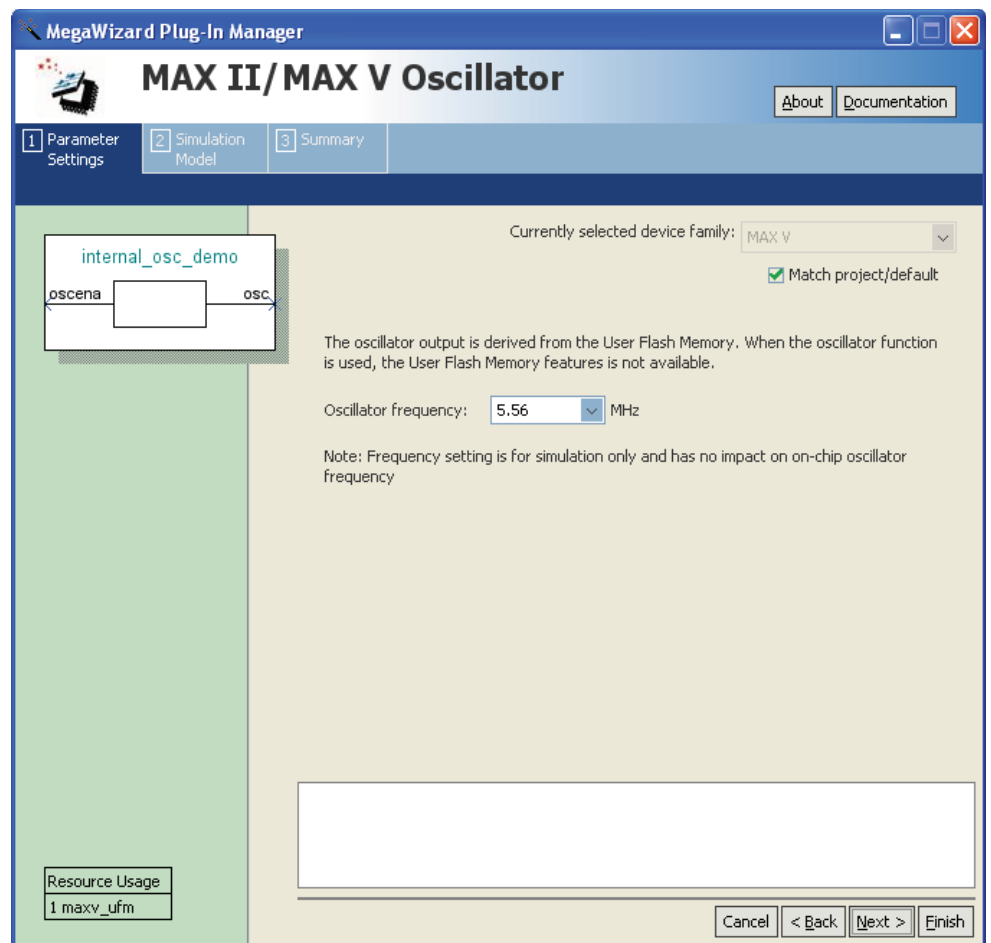
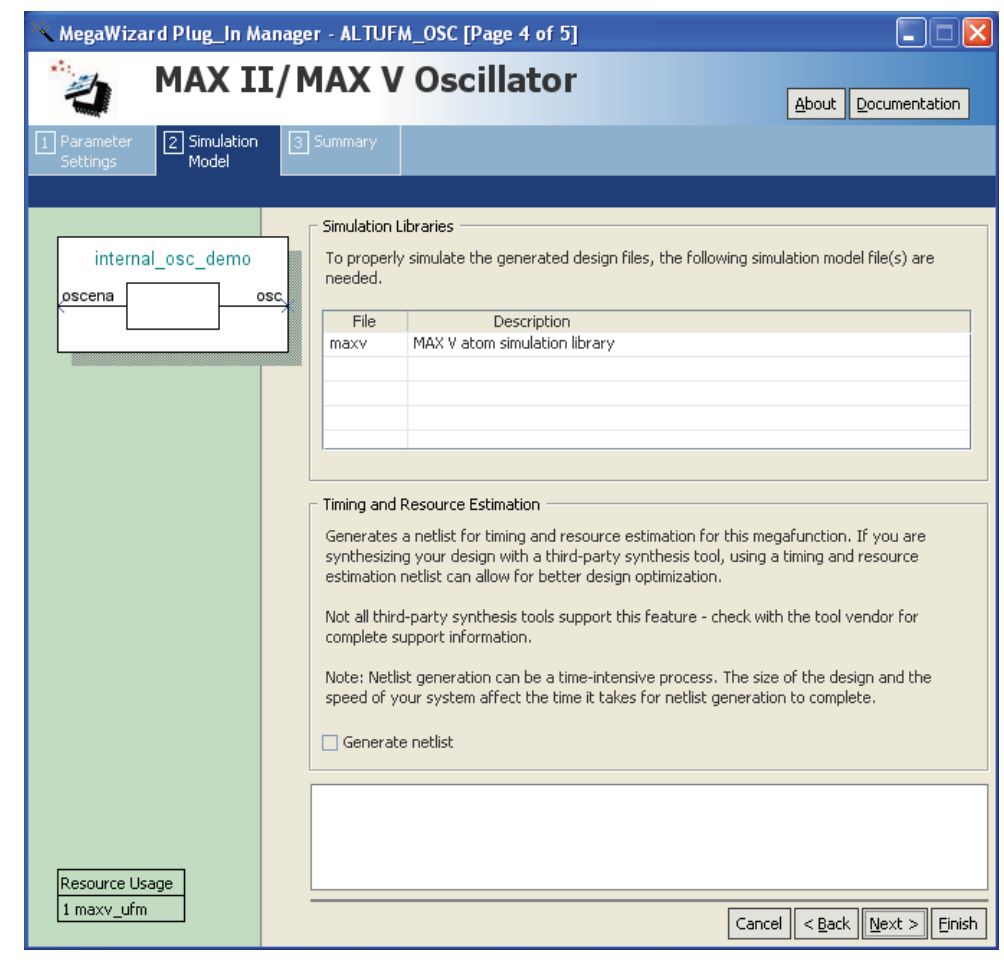
 この周波数の設定はシミュレーションにのみ適用され、オンチップ・オシレータの周波数を設定するものではありません。これは、CPLD および 1 ページの表 1 に示す出力周波数によって決定されます。

図 3. MegaWizard Plug-In Manager における OSC Megafunction のページ 3



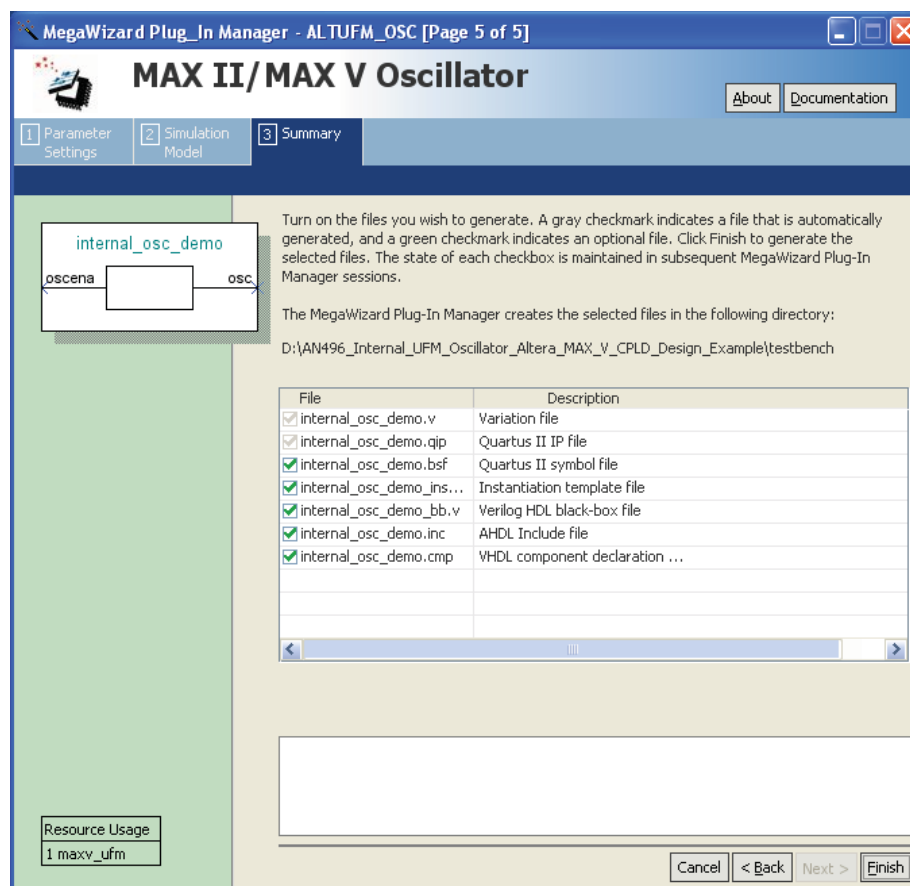
6. 図 4 に示すとおり、**Simulation Libraries** に含める必要があるモデル・ファイルがリストされています。**Next** をクリックします。

図 4. Simulation Libraries



7. 生成するファイルを選択します（図 5 を参照）。**Finish** をクリックします。

図 5. OSC Megafunction MegaWizard Plug-In Manager の Summary ページ



選択したファイルが作成され、出力ファイル・フォルダからアクセスできます (3 ページの図 2 を参照)。インスタンス化コードをファイルに追加したら、オシレータをイネーブルにするために OSC_ENA 入力に 1 の論理値を割り当てる必要があります。

実装

本デザイン例は、MAXII および MAX V CPLD を使用して実装できます。これらのデバイスはすべて内蔵オシレータ機能を搭載しています。実装では、オシレータの出力をカウンタに割り当て、MAX II および MAX V デバイス上の汎用 I/O (GPIO) ピンをドライブして、内蔵オシレータ機能のデモを実行します。

デザイン例 1：MDN-82 デモ・ボード (MAX II デバイス) をターゲットにする

デザイン例 1 は、LED をドライブしてスクロール効果を作り出し、MDN-82 デモ・ボードで内蔵オシレータのデモを行います。

表 3 に、デザイン例 1 の EPM240G ピン・アサインメントを示します。

表 3. MDN-82 デモ・ボードを使用したデザイン例 1 のピン・アサインメント

EPM240G ピン・アサインメント			
信号	ピン	信号	ピン
d2	ピン 69	d3	ピン 40
d5	ピン 71	d6	ピン 75
d8	ピン 73	d10	ピン 73
d11	ピン 75	d12	ピン 71
d4_1	ピン 85	d4_2	ピン 69
d7_1	ピン 87	d7_2	ピン 88
d9_1	ピン 89	d9_2	ピン 90
sw9	ピン 82	—	—

Quartus II ソフトウェアで、未使用ピンを **As input tri-stated** に割り当てます。

MDN-B2 デモ・ボードでこのデザインのデモを行うには、以下のステップを実行します。

1. デモ・ボードの電源をオンにします (スライド・スイッチ SW1 を使用)。
2. デモ・ボード上の JTAG ヘッド JP5 とプログラミング・ケーブル (ByteBlaster™ II または USB-Blaster™) を使用してデザインを MAX II CPLD ヘッドダウンロードします。プログラミング・プロセスの起動前と起動中、デモ・ボードの SW4 を押し続けます。プログラミングが終了したら、電源をオフにして JTAG コネクタを取り外します。
3. 赤色 LED と 2 色 LED のスクローリング LED シーケンスを観察します。デモ・ボードの SW9 を押すと、内蔵オシレータがディセーブルされ、スクローリング LED が現在の位置で停止します。

デザイン例 2：MAX V CPLD 開発キットをターゲットにする

デザイン例 2 では、オシレータ出力周波数は 2 ビットのカウンタをクロックする前に、 2^{21} で分周されます。この 2 ビット・カウンタの出力は LED をドライブし、MAX V CPLD 開発キット上の内蔵オシレータのデモを行います。

表 4 に、デザイン例 2 の 5M570Z ピン・アサインメントを示します。

表 4. MAX V CPLD 開発キットを使用したデザイン例 2 のピン・アサインメント

5M570Z ピン・アサインメント			
信号	ピン	信号	ピン
pb0	M9	LED [0]	P4
osc	M4	LED [1]	R1
clk	P2	—	—

MAX V 開発キットでこのデザインのデモを行うには、以下のステップを実行します。

1. USB ケーブルを USB コネクタに接続して、デバイスの電源を投入します。
2. エンベデッド USB-Blaster を介して、デザインを MAX V CPLD にダウンロードします。
3. LED (LED [0] および LED [1]) の点滅を観察します。デモ・ボードの pb0 を押すと、内蔵オシレータがディセーブルされ、点滅している LED が現在の状態で停止します。

ソース・コード

デザイン例 1 およびデザイン例 2 は Verilog を使用して作成しており、それぞれ MDN-B2 デモ・ボードおよび MAX V CPLD 開発キットを使用したデモとなっています。



MAX II および MAX V デザイン例をダウンロードするには、「AN 469 Design Example 1」および「AN 469 Design Example 2」を参照してください。

改訂履歴

表 5 に、このアプリケーション・ノートの改訂履歴を示します。

表 5. 改訂履歴

日付	バージョン	変更内容
2011 年 1 月	2.0	MAX V 情報を追加して更新
2007 年 12 月	1.0	初版