



この翻訳版ドキュメントのメンテナンスは終了しております。

この文書には、古いコンテンツや商標が含まれている場合があります。

最新情報につきましては、次のリンクから英語版の最新資料をご確認ください。

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

Please take note that this document is no longer being maintained. It may contain legacy content and trademarks which may be outdated.

Please refer to English version for latest update at

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>



MAX II CPLD を使用した CF+ インタフェース

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

2007年12月 ver. 1.0

Application Note 492

はじめに

本書では、アルテラの MAX[®] II CPLD を使用した CompactFlash+ (CF+) インタフェースの実装について説明します。

Compact Flash

CompactFlash カードは、広範囲なデジタル・システムの間で様々な形式のデジタル情報（データ、オーディオ、画像）とソフトウェアを保存または運搬するときに使用します。CompactFlash 協会は、I/O デバイスとフラッシュ・メモリから派生した磁気ディスク・データ・ストレージと組み合わせた CompactFlash カードの動作を強化するために CF+ コンセプトを発表しました。CF+ カードは、コンパクト・フラッシュ・ストレージ・カード、磁気ディスク・カード、さらにシリアル・カード、イーサネット・カード、ワイヤレス・カードなどの市販されている種々の I/O カードを含む小型のカードです。CF+ カードは、データのストレージ、復元と誤り訂正、パワー・マネージメント、クロック・コントロールを管理するエンベデッド・コントローラを内蔵しています。CF+ カードは、PC カードのタイプ II またはタイプ III ソケットでパッシブ・アダプタと組み合わせて使用することができます。

今日では、カメラ、PDA、プリンタ、ラップトップなどの多くの民生品は、CompactFlash と CF+ メモリ・カードに適合するソケットを装備しています。ストレージ・デバイスの他に、このソケットは CF+ インタフェースを使用している I/O デバイスにインタフェースするためにも使用することができます。

このデザイン例では、CF+ デバイスを使用しています。このデバイスは、I/O モードを使用する PC カード ATA とメモリ・モードを使用する PC カード ATA の 2 つのモードで動作します。オプションの 3 番目のモードの True IDE モードは考慮しません。MAX II CPLD は、ホスト・コントローラとして動作し、ホストと CF+ カードの間のブリッジとして機能します。

図 1. CF+ インタフェースと CF+ デバイスの異なるインタフェース信号 注 (1)

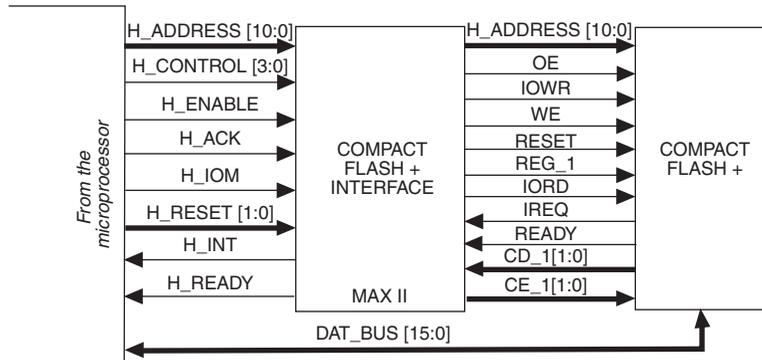


図 1 の注:

(1) インタフェース信号の概要は、表 1 および 2 に示されています。

MAX II CPLD を使用した CF+ インタ フェース

図 1 に、CF+ インタフェースの基本ブロック図を示します。表 1 に、CF+ カードのインタフェース信号の一覧を示します。表 2 に、ホスト・インタフェースを構成する信号を示します。

CF+ カード・インタフェースは、ホストが H_ENABLE 信号をアサートすることによりイネーブルされます。CompactFlash カードがソケットに挿入されると、2本のピン (CD_1 [1:0]) が Low になり、カードが正常に挿入されたことをインタフェースに通知します。この動作に対して、CD_1 ピンのステータスとチップ・イネーブル信号 (H_ENABLE) に応じて、インタフェースから割り込み信号 H_INT が発生されます。

表 1. CF+ インタフェース信号の説明 (1 / 2)

信号	入力 / 出力	説明
HOST_ADDRESS [10:0]	出力	これらのアドレス・ラインが、I/O ポート・アドレス・レジスタ、メモリ・マップド・ポート・アドレス・レジスタ、そのコンフィギュレーション・コントロール・レジスタとステータス・レジスタを選択します。
CE_1 [1:0]	出力	これは、アクティブLowの2ビットのカード・セレクト信号です。
IORD	出力	これは、CF+ カードからのバス上で I/O データをゲーティングするためにホスト・インタフェースにより発生される I/O 読み出しストロブです。
IOWR	出力	これは、CF+ カードのカード・データ・バス上で I/O データのクロックとして使用される I/O 書き込みパルス・ストロブです。

表 1. CF+ インタフェース信号の説明 (2/2)

信号	入力/出力	説明
OE	出力	アクティブ Low の出力イネーブル・ストロープ。
READY	入力	メモリ・モードでは、CF+ カードが新しいデータ転送動作を受け付けることができるとき、この信号は High に維持され、カードがビジーのとき、Low になります。
IREQ	入力	I/O モード動作では、この信号は割り込み要求として使用されます。この信号は Low でストロープされます。
REG_1	出力	この信号は、共通メモリと属性メモリ・アクセスを区別するとき 사용됩니다。共通メモリは High で、属性メモリは Low です。I/O モードでは、I/O アドレスがバス上にあるとき、この信号はアクティブ Low である必要があります。
WE	出力	カード・コンフィギュレーション・レジスタに書き込みを行うためのアクティブ Low 信号。
RESET	出力	この信号は、CF+ カード内のすべてのレジスタをリセットまたは初期化します。
CD_1 [1:0]	入力	これは、アクティブ Low の 2 ビットのカード検出信号です。

必要とされる条件が満たされるごとに、H_READY 信号がアサートされます。この信号は、インタフェースがプロセッサからデータを受け取る準備ができたことをプロセッサに通知します。CF+ カードへの 16 ビットのデータ・バスは、ホストへ直接接続されます。

ホストが割り込み信号を受信すると、インタフェースに対してアクノリッジ信号 H_ACK を発生してこの割り込みに応答し、ホストがその割り込みを受信済みで、次の機能を実行する準備ができていることを通知します。この信号により、インタフェース、ホスト、またはプロセッサのすべての動作と CompactFlash カードが、この信号に同期するようになります。インタフェースは、H_RESET 信号もチェックします。この信号はホストにより発生され、すべての初期条件をリセットする必要があることを表示します。これに対して、インタフェースは CompactFlash カードに対して RESET 信号を発生して、カードのすべてのコントロール信号をデフォルト状態にリセットすることをカードに通知します。H_RESET 信号は、ハードウェアまたはソフトウェアから発生することができます。ソフトウェア・リセットは、CF+ カード内のコンフィギュレーション・オプション・レジスタの MSB で指定されます。

ホストは、4 ビットのコントロール信号 `H_CONTROL` を発生して、CF+ カードで必要とされる機能を CF+ インタフェースに通知します。インタフェースは `H_CONTROL` 信号をデコードして、データの読み出しと書き込みに対する様々なコントロール信号とコンフィギュレーション情報を発行します。各カード動作は、`H_ACK` 信号と同期化されます。CPLD は、`H_ACK` の立ち上がりエッジでリセット信号をチェックし、それに対応して `HOST_ADDRESS`、チップ・イネーブル (`CE_1`)、出力イネーブル (`OE`)、書き込みイネーブル (`WE`)、`REG_1`、`RESET` 信号を発行します。これらの各信号は、上記すべての動作に対して既定値を持っています。これらは、CompactFlash 協会が定めた標準プロトコルです。

表 2. ホスト・インタフェース信号の説明

信号	入力 / 出力	説明
<code>H_INT</code>	出力	インタフェースからホストへのアクティブLowの割り込み信号であり、カードの挿入を表示します。
<code>H_READY</code>	出力	インタフェースからホストへのレディ信号であり、CF+ が新しいデータを受け取る準備ができていることを表示します。
<code>H_ENABLE</code>	入力	チップ・イネーブル
<code>H_ACK</code>	入力	インタフェースからの割り込み要求に対するアクノリッジ。
<code>H_CONTROL [3:0]</code>	入力	I/O 動作またはメモリ読み / 書き動作を選択する 4 ビットの信号。
<code>H_RESET [1:0]</code>	入力	ハードウェア・リセットとソフトウェア・リセットのための 2 ビットの信号。
<code>H_IOM</code>	入力	メモリ・モードと I/O モードを区別します。

`H_IOM` 信号は、共通メモリ・モードでは Low に、I/O モードでは High になります。共通メモリ・モードでは、8 ビットと 16 ビットのデータの読み書きが可能です。また、CF+ カード・コンフィギュレーション・オプション・レジスタ内にあるコンフィギュレーション・レジスタ、カードステータス・レジスタ、ピン置き換えレジスタも読み書きされます。ホストから発行される 4 ビット幅の `H_CONTROL [3:0]` 信号は、これらすべての動作を区別します。CF+ インタフェースは `H_CONTROL` をデコードして、CF+ 仕様に従って CF+ カードに対するコントロール信号を発行します。コントロール信号が発行された後、16 ビット・データ・バス上でデータが使用可能になります。

I/O モードでは、ソフトウェア・リセットがチェックされます（ソフトウェア・リセットは、CF+ カード内のコンフィギュレーション・オプション・レジスタの MSB を High にすることにより、発生されます）。バイトとワードのアクセス動作が、上記メモリ・モードの場合と同じ方法でインタフェースにより実行されます。

実装

このデザインは、EPM240 デバイスを使用して実装することができます。デザインのソース・コードはコンパイルして、MAX II CPLD にプログラムすることができます。ホストと CF+ インタフェース・ポート (2 ページの図 1) を適切な GPIO に対応させてください。このデザインでは、EPM240 デバイスの全 LE の約 54% と 45 本の I/O ピンを使用しています。

ソース・コード

このデザイン例は、Verilog で記述されています。ソース・コード、テストベンチ、および完成した Quartus II プロジェクトは、以下から入手可能です。

www.altera.co.jp/literature/an/an492_j.pdf

まとめ

このデザイン例が示すように、MAX II CPLD は CF+ などのメモリ・デバイスへのインタフェースを実装する際に有力な選択肢となります。低コスト、低消費電力、および使いやすいパワー・オン機能により、MAX II CPLD はメモリ・デバイス・インタフェース・アプリケーションに最適なプログラマブル・ロジック・デバイスです。

関連情報

- MAX II CPLD ホームページ：
www.altera.co.jp/products/devices/cpld/max2/mx2-index.jsp
- MAX II デバイスの資料ページ：
www.altera.co.jp/literature/lit-max2.jsp
- MAX II パワーダウン・デザイン：
www.altera.co.jp/support/examples/max/exm-power-down.html
- MAX II アプリケーション・ノート：
「AN 422: MAX II CPLD を使用したポータブル・システムにおける消費電力の管理」
「AN 428: MAX II CPLD のデザイン・ガイドライン」

改訂履歴

表 3 に、このアプリケーション・ノートの改訂履歴を示します。

表 3. 改訂履歴		
日付 & ドキュメント・バージョン	変更内容	概要
2007 年 12 月 ver.1.0	初版	—



101 Innovation Drive
San Jose, CA 95134
www.altera.com
Literature Services:
literature@altera.com

Copyright © 2007 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

