



この翻訳版ドキュメントのメンテナンスは終了しております。

この文書には、古いコンテンツや商標が含まれている場合があります。

最新情報につきましては、次のリンクから英語版の最新資料をご確認ください。

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

Please take note that this document is no longer being maintained. It may contain legacy content and trademarks which may be outdated.

Please refer to English version for latest update at

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

2007年12月 ver 1.0

Application Note 491

## はじめに

パワー部品の電源をオン / オフする機能は、貴重な省電力技術です。アルテラの MAX II CPLD は、簡単な電源シーケンシング機能と独自の機能を持っているため、この用途に最適です。このアプリケーション・ノートでは、オート・スタートを実装する簡単な方法について説明します。



MAX II CPLD の独自の内蔵オシレータを使用したオート・ストップ機能の実現について詳しくは、「[AN 422: MAX II CPLD を使用したポータブル・システムにおける消費電力の管理](#)」を参照してください。

## 省電力

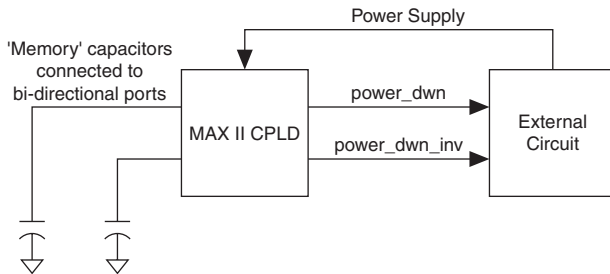
多くの民生用および産業用アプリケーション・システムでは、CPLD の電源を常時オンしておく必要はありません。CPLD 電源が必要なときにのみ断続的にオンし、サイクルの大部分ではオフになっているデザインが望まれています。この機能は特に、非連続的な周期タスクを実行できるポータブルなバッテリー駆動システムで便利です。

MAX II CPLD は特別なパワーオン・シーケンスを必要としないため、迅速に電源をオンすることができます (ロジック規模に応じて、一般に 200  $\mu$ s)。この電源を迅速にオン / オフできる機能を使用すると、外付け回路を使用して、CPLD の電源を完全にオフすることができ、また再びオンすることができます。この外付け回路としては、必要とされる遅延を持つようにデザインされた簡単な RC タイマを使用することができます。

ただし、長い電源オフ時間が必要な場合には、このような簡単な RC タイマ回路は実用的ではありません。R と C の値が非常に大きくなるためです。メモリ・エレメントとしてコンデンサを使用するカウンタを使用すると、パワーダウン時間を大きくすることができます。このパワーダウン期間に CPLD が非常に短い時間パワーオンして、これらのコンデンサ内の値を読み出し、カウントをインクリメントした後に、値を書き戻してパワーダウンします。目的のカウント値に到達するまでこのサイクルを繰り返し、目的のカウント値で CPLD の電源が完全にオンします。CPLD がパワーオン期間内にオンすると、予めデザインされているタスクを実行します。

CPLD はパワーダウン信号 (power\_dwn およびその相補信号) を使用して、外付け回路のトリガと CPLD のパワーダウンを行います。デザインされた遅延の経過後に、外付け回路が CPLD をパワーオンさせます。メモリ・コンデンサを CPLD の双方向ピンに接続して、不揮発性メモリ・エレメントとして使用します。図 1 に、オート・スタート・システムの基本ブロック図を示します。

図 1. オート・スタート・システムの基本ブロック図



## MAX II CPLD を使用した オート・ スタート

図 2 に、図 3 で「t」 とラベル表示した期間内について、このデザインのフローを示します。CPLD がパワーオンすると直ちに、読み出し状態になります。コンデンサの値が読み出されてレジスタに格納されます。この実装では 2 個のコンデンサを使用し、4 個の値を保持することができます。読み出し動作の後に、コンデンサから読み出された値に対応する 4 個の LED の内の 1 つが点灯します。この値すなわちカウント値はインクリメントされて、不揮発性メモリ・エレメントとして機能するコンデンサに書き戻されます。次に、power\_dwn ピンを High にして、パワーダウン動作を開始させます。パワーダウン動作が完了すると、外付け RC 回路がタイマとして機能して、CPLD を起動させます。目的の遅延が経過するまで（目的のカウント値に到達するまで）この動作を繰り返して、パワーダウン時間を有効に伸ばすことができます（このケースでは 4 倍）。CPLD 動作のデューティ・サイクルを制御することができるため、パワーダウン期間を長くして、全体の消費電力を削減することができます。

図 2. オート・スタート動作のフローチャート

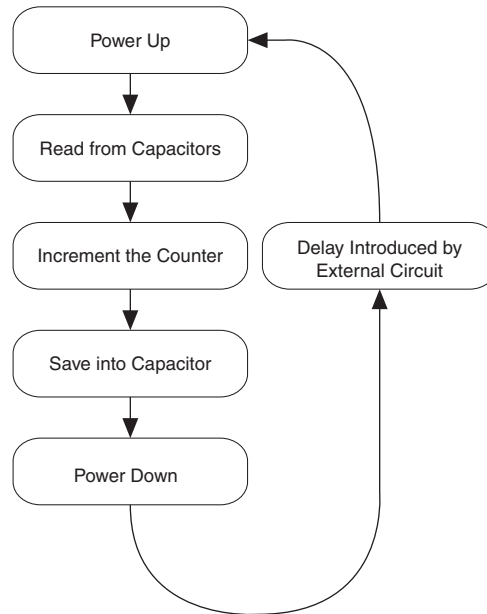


図 3. CPLD 電源サイクルの波形

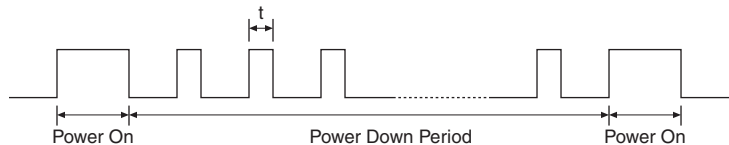
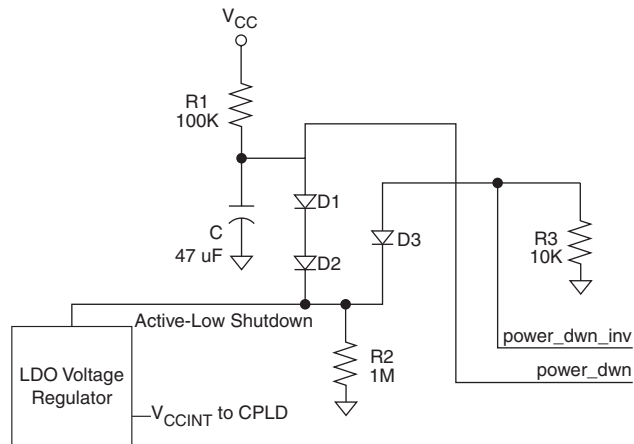


図 3 に、CPLD の動作サイクルを示します。各サイクルは、「パワーダウン」期間と「パワーダウン」期間から構成されています。「パワーダウン」期間では、CPLD が周期的な非常に短い時間「 $t$ 」の間オンして、カウンタをインクリメントして、オフします。目的のカウンタ値に到達すると、CPLD はパワーオン期間に入り、カウンタ値を初期値に戻します。その後、目的の機能を実行します。「パワーオン」期間の終わりに、コンデンサは初期値に戻ります。CPLD が再度パワーオンすると、カウンタをインクリメントして、時間「 $t$ 」の経過後にシャットダウンし、カウンタを再開します。

図 4 に、外付け回路の動作を示します。power\_dwn 信号が Low になると (pwr\_dwn\_inv は High)、電圧レギュレータ (アクティブ Low のシャットダウン・コントロールを持ちます) がオンになり、コンデンサ C が充電します。CPLD をオフにするごとに、pwr\_dwn 信号は High になります (pwr\_dwn\_inv は Low になります)。これにより、電圧レギュレータはオフにされて、CPLD の電源がオフにされます。

図 4. 外付け回路



CPLD のすべての I/O ピンがトライ・ステートになると、コンデンサの充電が開始されます。CPLD の電圧がレギュレータのシャットダウン・コントロールのスレッシュホールド電位より低い間 (ダイオード D1 と D2 で強化) 充電が継続し、スレッシュホールドを超えると、電圧レギュレータがオンします。このサイクルが繰り返されます。

## 実装

このデザイン例は、EPM240 (または他の MAX II CPLD)、外付け RC 回路、シャットダウン可能な電源、GPIO ピンに接続する 2 個のコンデンサ (保存前の状態を保持する「メモリ」デバイスとして機能) を使用して実装することができます。実装する際には、このデザイン例のソース・コードを使用し、サポート回路と一緒に該当する信号ラインとコントロール・ラインを MAX II デバイスの GPIO ラインに割り当てます。MDN-B2 デモ・ボードには、サポート回路が内蔵されています。

電源サイクルの制御をデモンストレーションするため、2 個のコンデンサ（MDN-B2 デモ・ボード上の C9 と C10）および 4 個の LED（D2、D3、D5、D6）を使用します。このデザインでは、MAX II CPLD がパワーオンすると直ちにコンデンサから値を読み出します。表 1 に、LED に表示される読み出し値を示します。

コンデンサ C9	コンデンサ C10	LED
0	0	D2
0	1	D3
1	0	D5
1	1	D6

各値のセットに対して、対応する LED が点灯します。その後、CPLD はカウントをインクリメントして、この値をコンデンサへ書き込みます。書き込みサイクルは、コンデンサが十分充電されるまで継続します。パワーダウン信号とその相補信号が、それぞれ High と Low になり、完全にパワーダウンします。

外付け RC で決まる時間が経過した後に再びパワーオンするときは、MAX II CPLD は、読み出し、LED 表示、コンデンサ状態更新からなるサイクルを繰り返した後に、再びパワーダウンします。カウントアップする LED を表示することにより、このデザインのオート・スタート機能がデモンストレーションされます。

表 2 に、このデザイン例の MDN-B2 デモ・ボード上での実装を示します。

信号	ピン	信号	ピン
cap_a	ピン 83	cap_b	ピン 84
led1	ピン 69	led2	ピン 70
led3	ピン 71	led4	ピン 72
pwr_dwn	ピン 14	pwr_dwn_inv	ピン 12

コンパイル前に、未使用ピンは、Quartus II ソフトウェアの **Device and Pin Options** ダイアログ・ボックスで、**As input tri-stated** に割り当ててあります。

MDN-B2 デモ・ボードで本デザインのデモを行う場合は、以下の注意事項を参照してください。

- 両バンクの $V_{CCIO}$ 電圧が2.5 Vに設定されていることを確認します(デモ・ボードの JP9 と JP7 のジャンパを 2.5 V に設定)。
- デモ・ボードの電源をオンにし (スライド・スイッチ SW1 を使用)、JTAG ヘッド JP5 と従来型プログラミング・ケーブル (ByteBlaster™ II または USB-Blaster™) を使用してデザインを MAX II CPLD ヘッドダウンロードします。プログラミング・プロセスの起動時に、ボードの SW4 を押し続けます。プログラミングを終えたら、ボード電源をオフにして JTAG コネクタを取り外します。
- デモ・ボードの電源をオンにします。デモ・ボード上の TP3 と GND の間に電圧計を接続して、 $V_{CCINT}$  がパワーダウンとパワーアップを繰り返していることを観測します。 $V_{CCIO}$  についても観測します (デモ・ボード上の TP1 と GND との間)。また、CPLD の電源がオンするごとに、4 個の LED (D2、D3、D5、D6) の位置がシフトすることも観測します。LED が点滅するごとに、その位置は点滅した前の LED 位置に依存し、2-5 ページの表 1 に従います。

## ソース・コード

このデザイン例は、Verilog HDL を使用して作成しており、MDN-B2 デモ・ボードを使用したデモとなっています。ソース・コード、テストベンチ、および完成した Quartus II プロジェクトは、以下から入手可能です。

[www.altera.co.jp/literature/an/an491\\_design\\_example.zip](http://www.altera.co.jp/literature/an/an491_design_example.zip)

## まとめ

このデザイン例で示すように、低消費電力アプリケーションの実装およびバッテリー寿命が重要な場合に、MAX II CPLD は優れた選択肢となります。低消費電力と、パワーアップ・シーケンスを必要とせずに容易にパワーオンする独自の機能により、システム・タスクを繰り返す間に CPLD をターンオフできるデザイン内にオート・スタート機能を組み込むことが可能になります。

## 関連情報

以下に、関連資料を示します。

- MAX II CPLD ホームページ：  
[www.altera.co.jp/products/devices/cpld/max2/mx2-index.jsp](http://www.altera.co.jp/products/devices/cpld/max2/mx2-index.jsp)
- MAX II デバイスの資料ページ：  
[www.altera.co.jp/literature/lit-max2.jsp](http://www.altera.co.jp/literature/lit-max2.jsp)
- MAX II パワーダウン・デザイン：  
[www.altera.co.jp/support/examples/max/exm-power-down.html](http://www.altera.co.jp/support/examples/max/exm-power-down.html)

- MAX II アプリケーション・ノート :
  - 「AN 428: MAX II CPLD のデザイン・ガイドライン」
  - 「AN 422: MAX II CPLD を使用したポータブル・システムにおける消費電力の管理」

## 改訂履歴

表 3 に、このアプリケーション・ノートの改訂履歴を示します。

日付 & ドキュメント・バージョン	変更内容	概要
2007 年 12 月 v1.0	初版	—



101 Innovation Drive  
San Jose, CA 95134  
www.altera.com  
Literature Services:  
literature@altera.com

Copyright © 2007 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

