

はじめに

シリアル・ペリフェラル・インタフェース (SPI) は、広範囲に使用されている 4 線式のシリアル通信インタフェースです。デジタル・オーディオ、デジタル信号処理、通信チャンネルなどのアプリケーションでは、高速なデータ・ストリームを必要とします。低消費電力で高速なアルテラの MAX[®] II CPLD は、ホストの外部にある SPI マスタとして最適です。このアプリケーション・ノートでは、MAX II CPLD を使用した SPI マスタの実装について説明します。マイクロプロセッサは、マスタの制御に使用し、マスタはデータの読み書き対象となるスレーブ・デバイスを選択するときに使用することができます。

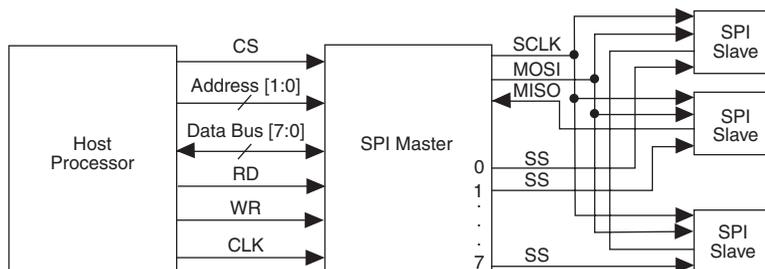
シリアル・ ペリフェラル・ インタフェー ス

SPI は業界標準プロトコルであり、センサ、メモリ・チップ、シフト・レジスタ、ポート・エクパンダ、ディスプレイ・ドライバ、データ・コンバータ、プリンタ、データ・ストレージ・デバイス、センサ、マルチメディア・カードなど、様々なデバイスをマイクロプロセッサにインタフェースさせるエンベデッド・システム内で広範囲に使用されています。このインタフェース規格には、次の利点があります。

- ピン数が少なく、配線がシンプル。
- スループットの高い全二重通信 (I²C などの他のプロトコルより高速通信が可能)。
- アドレス指定がないため、オーバーヘッドが少ない。

CPLD は 4 本の信号を使用して SPI スレーブと交信します。MISO はスレーブからの読み出しに、MOSI はスレーブへの書き込みに、それぞれ使用します。ホスト・プロセッサは、図 1 に示す信号を使用して CPLD を制御します。

図 1. MAX II CPLD を使用した SPI マスタの実装



MAX II CPLD 上の SPI マスタ

図 1 に、SPI マスタの実装を示します。様々な CPLD インタフェースについては、次の項で説明します。

SPI インタフェース

CPLD は、1 つのデータ出力ポート (MOSI)、1 つのデータ入力ポート (MISO)、クロック (SCLK)、スレーブ・セレクト信号 (SS) を使用して、スレーブ・デバイスと通信します。スレーブ・セレクトは、SPI マスタが通信対象とするデバイスを選択するときに使用します。最大 8 個のデバイスを SPI マスタに接続することができます。表 1 に、インタフェース・ピンの一覧を示します。

信号	用途	説明
MOSI	マスタ・アウト・スレーブ・イン	マスタからの出力データをスレーブへ入力します。
MISO	マスタ・イン・スレーブ・アウト	スレーブからのデータをマスタの入力へ転送します。
SCLK	SPI クロック	マスタから駆動されるクロックで、スレーブへ入力されます。データ・ビットの同期に使用されます。
SS	スレーブ・セレクト	セレクト信号 (アクティブ Low) はマスタから駆動され、各スレーブに送信されて、ターゲット・スレーブの選択に使用されます。

表 1 の注:

- (1) SPI クロック = ホスト・クロック / (CLK DIV + 2)

ホスト・インタフェース

ホスト・プロセッサ・インタフェースは、8ビットの双方向データ・バス (data bus [7:0])、2ビットのアドレス・バス (address [1:0])、1本のチップ・セレクト、1個の読み出しフラグ、1個の書き込みフラグ、クロック信号から構成されます。これらの信号が CPLD (SPI マスタ) のホスト・インタフェースを構成します。表 2 に、様々な信号の説明を示します。

信号	説明
チップ・セレクト (cs)	High のとき、ホストから SPI マスタへのインタフェースがイネーブルされます。
アドレス・バス (address [1:0])	対応するアドレスを持つ SPI マスタのレジスタを選択します。
データ・バス (data bus [7:0])	ホストを SPI マスタへ接続する双方向データ・バス。
読み出し (RD)	High のとき、ホストは SPI レジスタを読み出します。このレジスタのアドレスは、アドレス・バス上に送信されます。
書き込み (WR)	High のとき、ホストは SPI レジスタへ書き込みを行います。このレジスタのアドレスは、アドレス・バス上に送信されます。
クロック (CLK)	ホスト・クロック信号。

ホストは、CS 信号を High にすることにより、SPI マスタを選択します。CS が High のとき、アドレス・バス・ビットはホストが指定している SPI レジスタを決定します。ホストは RD を High にして、特定のレジスタを読み出し、WR を High にして、レジスタへ書き込みます。SPI ワードの転送が完了すると、ステータス・レジスタ内の割り込みフラグが High になります。ホストは頻繁にステータス・レジスタを監視します。表 3 に、SPI レジスタを示します。

アドレス	レジスタ	幅
00	コントロール・レジスタ	8 ビット
01	ステータス・レジスタ	8 ビット
10	転送レジスタ	8 ビット
11	レシーバ・レジスタ	8 ビット

図 2 に、コントロール・レジスタ・マップとステータス・レジスタ・マップを示します。

図 2. コントロール・レジスタおよびステータス・レジスタのマップ

Control Register Map

7	6	5	4	3	2	1	0
SS	SS	SS	CPOL	CPHA	CLK DIV	CLK DIV	CLK DIV

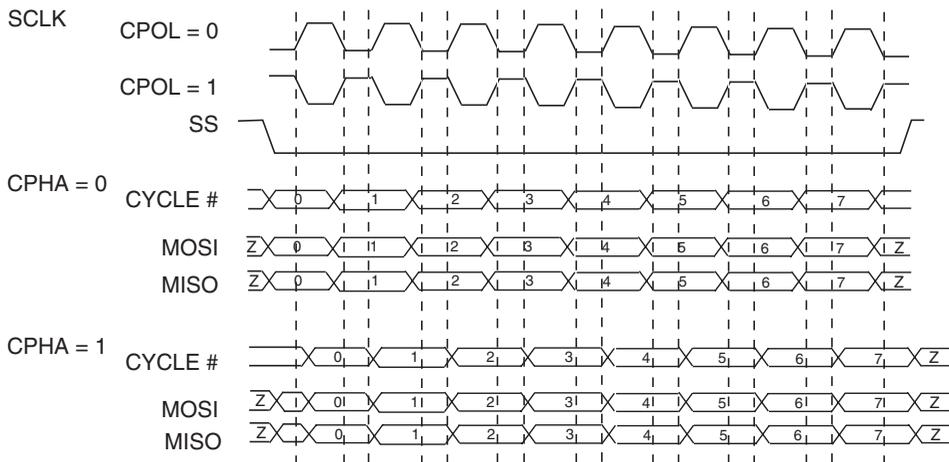
Status Register Map

7	6	5	4	3	2	1	0
X	X	X	X	X	X	X	INT

割り込みが検出されると、ホストは受信バッファを読み出し、必要に応じて新しいコマンド・ワードを書き込み、送信バッファを更新します。送信バッファが更新されると、ステータス・レジスタ内の割り込みフラグがリセットされ、新しい SPI ワードが送信されます。受信バッファはこの SPI ワードに受信されたデータで更新され、ワードの終わりで再度割り込みが発生されます。SPI スレーブ・セレクト、クロック極性、クロック位相、SPI クロック周波数は、図 2 に示すコントロール・レジスタの設定により制御することができます。

図 3 に、一般的な SPI タイミング特性を示します。

図 3. 一般的な SPI タイミング特性



実装

このデザインは、EPM240 またはその他の MAX II CPLD を使用して実装できます。デザインのソース・コードはコンパイルして、MAX II CPLD にプログラムすることができます。ホスト・インタフェース・ポートおよび SPI スレーブ・インタフェース・ポートは、[図 1](#) に示されています。

ソース・コード

このデザイン例は Verilog を使用して作成されています。ソース・コード、テストベンチ、および完成した Quartus® II プロジェクトは、以下から入手可能です。

www.altera.co.jp/literature/an/an485_design_example.zip

まとめ

このデザイン例が示すように、MAX II CPLD は SPI マスタのような業界標準のインタフェース・コントローラを実装するための優れた選択肢となります。MAX II デバイスの特長である低消費電力、低コスト、すべてのパワーオン・シーケンスに対応できる能力、多電圧機能は、SPI マスタなどのインタフェース・コントローラの実装に最適です。

関連情報

以下に、このアプリケーション・ノートの関連情報を示します。

- MAX II CPLD ホームページ：
www.altera.co.jp/products/devices/cpld/max2/mx2-index.jsp
- MAX II デバイスの資料ページ：
www.altera.co.jp/literature/lit-max2.jsp
- MAX II パワーダウン・デザイン：
www.altera.co.jp/support/examples/max/exm-power-down.html
- MAX II アプリケーション・ノート：
「AN 428: MAX II CPLD のデザイン・ガイドライン」
「AN 422: MAX II CPLD を使用したポータブル・システムにおける消費電力の管理」

改訂履歴

表 4 に、このアプリケーション・ノートの改訂履歴を示します。

表 4. 改訂履歴		
日付 & ドキュメント・バージョン	変更内容	概要
2007 年 12 月 v1.0	初版	—



101 Innovation Drive
San Jose, CA 95134
www.altera.com
Literature Services:
literature@altera.com

Copyright © 2007 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

