



この翻訳版ドキュメントのメンテナンスは終了しております。

この文書には、古いコンテンツや商標が含まれている場合があります。

最新情報につきましては、次のリンクから英語版の最新資料をご確認ください。

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

Please take note that this document is no longer being maintained. It may contain legacy content and trademarks which may be outdated.

Please refer to English version for latest update at

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

はじめに

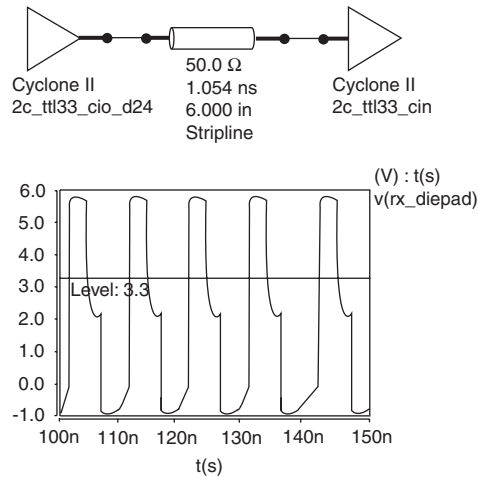
アルテラの Cyclone® III デバイスは、3.3V/3.0V/2.5V の LVTTTL/LVCMOS I/O 規格に準拠し、これらをサポートします。このアプリケーション・ノートでは、LVTTTL/LVCMOS I/O 規格のシグナル・インテグリティ問題の背景情報を提供し、Cyclone III システム・デザインにおける 3.3V/3.0V/2.5V の LVTTTL/LVCMOS I/O 規格のインタフェースのためのガイドラインについて説明します。

背景

Cyclone III デバイスは 1.2V ~ 3.3V のインタフェース電圧レベルをサポートするよう設計されており、柔軟な I/O インタフェースの実装に対するニーズに応えます。2.5V 以上の電圧でシステムをドライブする場合、適切なデザイン検討事項を順守する必要があります。この状態は伝送線路の影響に起因し、これによって受信側で大きな電圧変動が発生して入力バッファが損傷する可能性があります。LVTTTL または LVCMOS など、終端を必要としない I/O 規格がこれに該当します。

図 1 に一例を示します。この例では、最大のドライブ電流設定と終端のない 3.3V LVTTTL インタフェース付き Cyclone II シリーズ・デバイスを使用しています。シミュレーションは、高電流ドライバから終端されていない伝送線路を介してドライブすると、レシーバ側で過度に大きなオーバーシュートが発生することを示しています。

図 1. Cyclone II LVTTTL 3.3V 出力の Cyclone II LVTTTL 3.3V 入力へのインタフェースおよびシミュレーション波形



Cyclone III デバイスを 3.3V/3.0V/2.5V の LVTTTL/LVCMOS システムにインタフェースする場合、シグナル・インテグリティ問題に適切に対処しないと、Cyclone III の絶対最大 DC 入力電圧および最大許容オーバーシュート / アンダーシュート電圧要件に違反する可能性があります。デバイスの信頼性と適切な動作を実現するには、2 ページの「デザイン・ガイドライン」の推奨事項に従うことによって、仕様の範囲内で I/O インタフェースを設計する必要があります。



絶対最大 DC 入力電圧および最大許容オーバーシュート / アンダーシュート電圧の規定値については、「Cyclone III デバイス・データシート：DC & スイッチング特性」を参照してください。

デザイン・ガイドライン

ここでは、インタフェース・デザインを成功させるために Cyclone III デバイスの最大 DC および AC 入力電圧要件を満たす段階とその方法について説明します。

Cyclone III デバイスは 1 つの I/O バンクで 1 つの V_{CCIO} 電圧レベルのみをサポートします。入力信号には、バンク V_{CCIO} 電圧以外に、他のドライバ入力電圧レベルも許容されます。すべての組み合わせで最大入力電圧仕様に注意する必要はありません。表 1 に、注意が必要な I/O 規格電圧インタフェースの組み合わせと推奨される動作を示します。

表 1. Cyclone III の 3.3V/3.0V/2.5V の LVTTTL/LVCMOS レシーバ・レベルの要件			
Cyclone III レシーバ・バンク V _{CCIO} (V) (1)、(2)	ドライバ電圧レベル		
	2.5V	3.0V LVTTTL/LVCMOS	3.3V LVTTTL/LVCMOS
2.5V	処置は不要	(3) ダイオードをディセーブルして直列終端を適用する または ドライバ選択テーブルを使用する	(3) ダイオードをディセーブルして直列終端を適用する または ドライバ選択テーブルを使用する
3.0V	処置は不要	処置は不要	処置は不要
3.3V	(4) 直列終端を適用する または ドライバ選択テーブルを使用する	(4) 直列終端を適用する または ドライバ選択テーブルを使用する	(4) 直列終端を適用する または ドライバ選択テーブルを使用する

表 1 の注：

- (1) これは 3.3V/3.0V/2.5V の LVTTTL/LVCMOS I/O を使用して、Cyclone III I/O ピンが入力、双方向、またはトライ・ステート出力として割り当てられる場合に適用されます。Quartus® II ソフトウェアは、デフォルトによりこれらの条件に対して、このピンで PCI クランプ・ダイオードをイネーブルします。Cyclone III I/O ピンを出力専用として使用する場合は、注意する必要はありません。
- (2) 他の I/O 規格では、1.8/1.5/1.2V LVTTTL/LVCMOS、3.0V PCI/PCI-X、電圧リファレンスおよび差動 I/O 規格などの最大入力電圧仕様に注意する必要があります。
- (3) Cyclone III I/O ピンはより高い外部電圧でオーバー・ドライブされます。ダイオードの DC 電流仕様に違反しないようにしなければなりません。詳しくは、4 ページの「PCI クランプ・ダイオード」を参照してください。あるいは、直列終端を適用してオーバーシュート電圧を管理することができます。この場合、高 DC 電流が発生する可能性があるため、アルテラではダイオードをディセーブルすることを推奨します。
- (4) I/O が存在するバンクの高 V_{CCIO} 電圧レベルのため、ダイオード・クランプ電圧が最大 DC および AC 仕様を上回る場合があります。この場合、オーバーシュート電圧を管理しなければなりません。I/O ピンがオーバードライブしていない場合、DC 電流を意識することなく、ダイオードをイネーブルのままにしておくことができます。

表 1 に示すとおり、オーバーシュートおよび入力電圧要件を管理するために、以下を実行する必要があります。


- ピンで内部 PCI クランプ・ダイオードを使用する（デフォルトでは Quartus II ソフトウェアでイネーブルされている）
- 直列終端を適用する
- Cyclone III デバイスへのインタフェースに適切なドライバを選択し、可能な場合はドライバ出力のスルー・レート・コントロールを利用する。

これらの手法について詳しくは、4 ページの「PCI クランプ・ダイオード」、5 ページの「ターミネーション」および 6 ページの「ドライバの選択」を参照してください。追加の詳細と背景情報については、関連する付録を参照してください。

PCI クランプ・ダイオード

Cyclone III デバイスは、各 I/O ピンにオプションの PCI クランプ・ダイオードを提供します。このダイオードを使用して I/O ピンをオーバershoot 電圧から保護することができます。デフォルトでは、Quartus II ソフトウェアは 3.3V/3.0V/2.5V の LVTTTL/LVCMOS I/O 規格を使用して、入力、双方向、またはトライ・ステート出力として割り当てられたピンの PCI クランプ・ダイオードをイネーブルしません。バンク電源電圧 (V_{CCIO}) が 2.5V または 3.0V のとき、ダイオードはオーバershoot 電圧を DC および AC 入力電圧仕様の範囲内で十分にクランプすることができます。3.3V の V_{CCIO} の場合、電圧は $\pm 5\%$ の電源電圧のトレランスを考慮しながら、DC および AC 入力電圧仕様を上回るレベルにクランプされます。クランプされた電圧は、電源電圧 (V_{CCIO}) とダイオード順方向電圧の合計値として表すことができます。

Cyclone III デバイスの PCI クランプ・ダイオードは、最大 10 mA の DC 電流をサポート可能です。ダイオードは、バンク V_{CCIO} + ダイオード順方向電圧を超える電圧レベルでドライブされると DC 電流をシンクします。Cyclone III レシーバを 2.5V V_{CCIO} で 3.0V および 3.3V LVTTTL/LVCMOS I/O システムにインタフェースする場合は、DC シンク電流を考慮する必要があります。7 ページの「付録 A: PCI クランプ・ダイオードによる DC 電流の測定」に、シミュレーションによる DC 電流の測定方法を示します。

 10mA の DC 電流制限は、ドライバのドライブ強度ではなくダイオードがシンクする電流を指すことに注意してください。この制限は、PCI クランプ・ダイオードがイネーブルされている場合、および 2.5V Cyclone III レシーバが 3.0V または 3.3V の LVTTTL/LVCMOS I/O システムにインタフェースしている場合にのみ適用されます。

ダイオードは Quartus II ソフトウェアでディセーブルすることができますが、インタフェースが DC および AC 仕様に適合しなければなりません。また、システムがさまざまなドライバ強度に対応する柔軟性を備えている場合は、6 ページの「ドライバの選択」に示すガイドラインを使用して、ターミネーションを使用しないで Cyclone III の仕様に適合する特定の特性を持つ適切なドライバを選択します。



PCI クランプ・ダイオードをディセーブルする方法については、「Quartus II ソフトウェア・ハンドブック Volume 2」の「Assignment Editor」の章を参照してください。

ターミネーション

レシーバで大きな電圧変動を引き起こす伝送線路の影響は、ドライバと伝送線路間のインピーダンス・ミスマッチに関連しています。ドライバのインピーダンスを伝送線路の特性インピーダンスにマッチングさせることによって、オーバーシュート電圧を大幅に低下させることができます。ドライバの近くに配置されている直列終端抵抗を使用して、総ドライバ・インピーダンスを伝送線路インピーダンスとマッチングさせることができます。次式は条件を示しており、伝送線路インピーダンス Z_0 をマッチングさせるための経験則として使用できます。


$$R_{driver} + R_{series} \approx Z_0$$

ここで、 R_{driver} はドライバ固有のインピーダンス、 R_{series} は外部直列抵抗の抵抗を表します。

ドライバ・デバイスのメーカーには、ドライバ・バッファの出力インピーダンスを指定するところもあります。その場合、上記の式を使用して適切な直列終端値を算出できます。ドライバの出力インピーダンス値が得られない場合は、シミュレーションにドライバ IBIS モデルを使用して、インタフェースに使用する適切な直列終端抵抗値を求めます。

9 ページの「付録 B: 直列終端」に、適切な終端抵抗値を求めることによってオーバーシュートを管理するシミュレーション例を示します。この手法を適切に適用すると、インタフェースのシグナル・インテグリティを保証し、Cyclone III レシーバのオーバーシュート電圧の懸念を排除することができます。

一部のドライバは、直列 On-Chip Termination により伝送線路とのインピーダンス・ミスマッチを最小化します。この場合、伝送線路インピーダンスに厳密にマッチングする R_{driver} を持つドライバを選択することができます。これにより、追加外部コンポーネントなしで十分なインピーダンス・マッチングを達成できます。

 直列終端は送信された信号のエッジ・レートに影響を与えます。タイミングの影響によって、インタフェースの性能が低下するかどうかを評価する必要があります。

ドライバの選択

インタフェースにおけるシグナル・インテグリティの問題に対応するための別の方法は、適切なドライバを選択することです。ドライバの出力特性により、インタフェースが終端されていない場合のオーバーシュート電圧が決まります。

「付録C: ドライバ選択テーブル および 測定手法」の表 3 に、終端なしで Cyclone III デバイスに適切にインタフェースするためのドライバの要件を示します。I/V 曲線の適切な点で、表 3 に示す電流制限に適合するドライバを選択する必要があります。ドライバの I/V 曲線は、デバイス・メーカーが提供する IBIS ファイルから取得できます。要求条件にはレシーバの DC および AC 要件および PCI クランプ・ダイオードの使用を考慮します。これにより、詳細な解析を行うことなく適切なドライバを選択することができます。

また、ドライバでスルー・レート・コントロールを使用できる場合は、これを使用してシグナル・インテグリティの問題に対処できます。スルー・レート・コントロールにより、出力信号のエッジ・レートを低下させて、レシーバ側での電圧オーバーシュートを抑止することができます。スルー・レート機能を使用するときは、シミュレーションを実行して仕様に適合していることを確認する必要があります。

まとめ

Cyclone III デバイスは、3.3V/3.0V/2.5V の LVTTTL/LVCMOS インタフェースに準拠し、これらをサポートします。2 ページの「デザイン・ガイドライン」に示す推奨事項に従って、シグナル・インテグリティの問題を管理しピンを保護することによって、Cyclone III デバイスの信頼性およびシステムのインタフェースの適切な動作を保証することができます。Cyclone III デバイスとのインタフェースを設計するときは、DC および AC 入力電圧仕様に適合させる必要があります。

付録 A: PCI クランプ・ ダイオードに よる DC 電流 の測定

ドライバ電圧レベルが $V_{CCIO} +$ ダイオード順方向電圧を上回る場合、ダイオードは順方向にバイアスされます。ダイオードが順方向にバイアスされると、DC 電流が発生します。DC 電流は、ドライバ出力インピーダンス、ドライバおよびレシーバ電源電圧、およびダイオード順方向電圧、そして伝送線路固有の小さな抵抗に応じて変化します。図 2 に、Cyclone III デバイスの PCI クランプ・ダイオードを示します。

図 2. Cyclone III デバイスの PCI クランプ・ダイオード

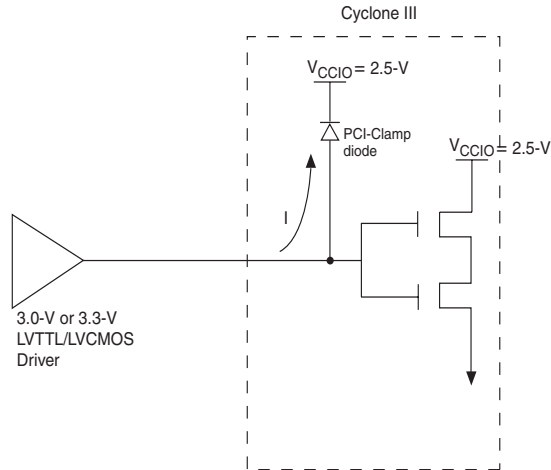
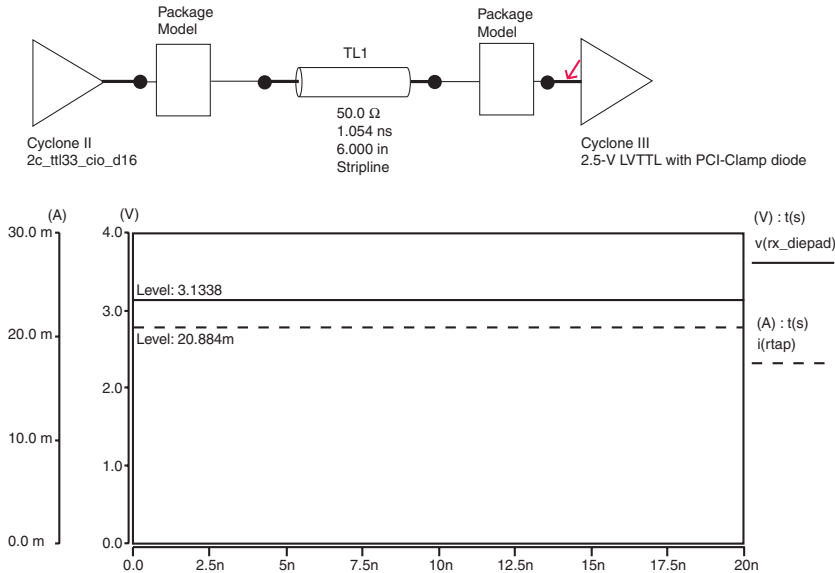


図 3 に、シミュレーションを使用した Cyclone III デバイスによる DC 電流測定の設定アップを示します。

図 3. シミュレーションのセットアップと結果による PCI クランプ・ダイオードを流れる DC 電流の決定



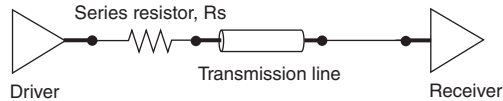
ドライバをセットアップして、スタティック・ロジック High を PCI クランプ・ダイオードがイネーブルされている Cyclone III レシーバにドライブします。ワースト DC 電流の場合、ドライバに最大電源電圧を印加し、Cyclone III レシーバに最小 V_{CCIO} を印加します。図 3 に赤い矢印で示される Cyclone III デバイスのダイ・パッドからの電流を測定します。伝送線路に直列に配置された小さなセンス抵抗 ($m\Omega$) を使用して電流の測定値を取得することができます。

図 3 に示す結果では、PCI クランプ・ダイオードへの 20.88 mA の DC 電流シンクが測定されました。これはダイオードでサポートされる最大電流 10 mA を大幅に上回る値です。3.3V/3.0V/2.5V の LVTTTL/LVCMOS I/O 規格の Cyclone III デバイスとのインタフェースのガイドラインについては、表 1 を参照してください。

付録 B: 直列終端

図 4 に示すとおり、直列終端方法ではドライバとレシーバ間に直列に抵抗を配置します。ドライバ・インピーダンスと直列抵抗は、有効積算ドライバ・インピーダンスになります。反射を最小限に抑えオーバーシュートを管理するには、伝送線路インピーダンスをドライバ・インピーダンスにマッチングさせます。

図 4. 直列終端手法



直列終端に適切な抵抗値を選択することが重要です。抵抗が小さすぎる場合、終端でオーバーシュートが効果的に低減または除去されない場合があります。抵抗が大きいと、ドライバが伝送線路を十分ドライブできず、階段状応答になる場合があります。シミュレーションを実行して、許容差条件内でインタフェースの適切な直列抵抗値を決定する必要があります。

以下の例は、直列終端抵抗値を決定しオーバーシュート電圧を効果的に管理する方法を示しています。この例では、Mentor Graphics 社の HyperLynx シミュレーションソフトウェアの Terminator Wizard 機能を使用しています。インタフェースに適切な直列抵抗を決定するために、シミュレーションにより他の適切な手法を探ることができます。

Cyclone II 3.3V LVTTTL 16 mA を Cyclone III 2.5V LVTTTL 入力にドライブすることを検討してみます。表 1 に示すとおり、ダイオードをディセーブルして直列終端を適用するか、ドライバ選択テーブルを使用することができます。この例では、直列終端ソリューションの評価を行います。図 5 に示すとおり、回路図エディタで希望のインタフェースをセットアップし、Terminator Wizard を実行します。

図 5. Cyclone II 3.3V LVTTTL 16 mA の Cyclone III 2.5V LVTTTL とのインタフェース

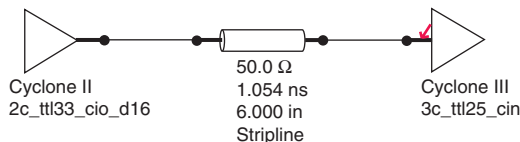


図 6 に示す Terminator Wizard の結果に基づいて、推奨される直列抵抗値 33 Ω が Cyclone II ドライバ付近で適用されます。新しいセットアップがさまざまな許容条件の下で評価され、DC および AC 仕様に適合していることが保証され、インタフェースに抵抗を導入すること際の影響を特定します。図 8 にシミュレーションの結果を示します。

図 6. Mentor Graphics 社の HyperLynx シミュレーション・ソフトウェアでの Terminator Wizard の結果

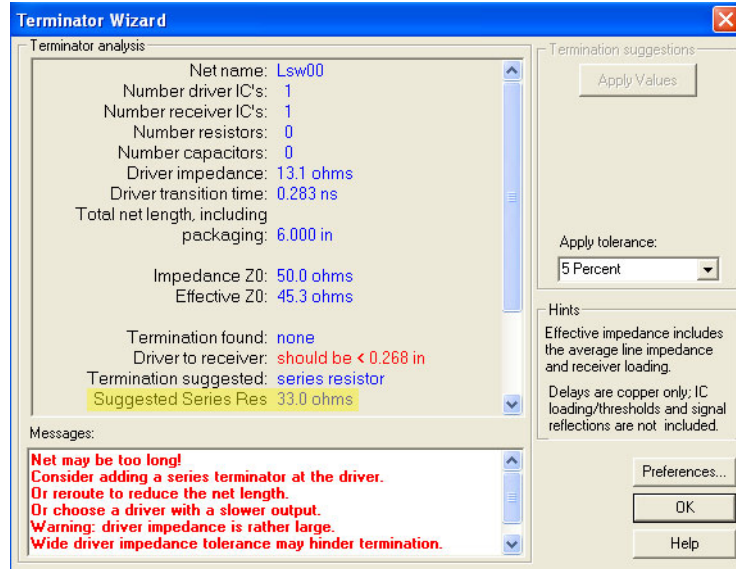


図 7. 推奨される 33.0 Ω の直列終端抵抗値を使用した、Cyclone II 3.3V LVTTTL 16 mA の Cyclone III 2.5V LVTTTL へのインタフェース

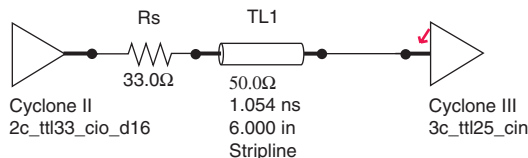
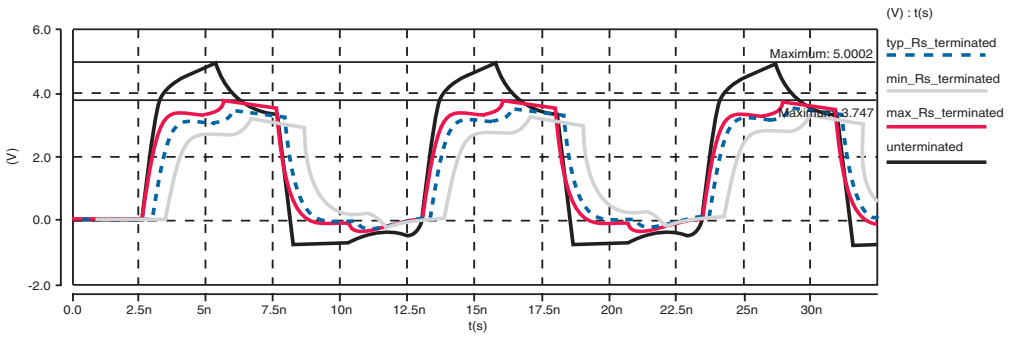



図 8. 推奨される直列終端がある場合とない場合に、標準、最小、および最大の各条件で 3c_ttl25_cin をドライブする 2c_ttl33_cio d16 のシミュレーション波形



付録 C: ドライバ選択 テーブル および 測定手法

ドライバは、インタフェースでオーバーシュート、アンダーシュート、およびリングングが発生する場合でも、レシーバ・デバイスの電圧スレッショルドと最大入力電圧仕様の 2 つの主要な仕様に適合していれば、終端なしでレシーバをドライブすることができます。電圧スレッショルド仕様に準拠することによって、正しいロジック Low および High のスイッチングが保証されます。また、最大 DC および AC 入力仕様に準拠することにより、長期間にわたってシステムのレシーバ・デバイスの信頼性が保証されます。

表 3 に示す電流制限は、シミュレーションを実行しないでドライバがターゲットとなる I/O 規格に対する Cyclone III 入力仕様に適合しているかどうかを確認するための尺度として使用されます。電流制限は、表 2 で定義される V_{OH} レベルでの最大許容ドライバ電流値です。IBIS モデルでドライバのプルアップ I/V 曲線を使用してこの測定を実行することによって、これを簡便に求めることができます。プルアップ I/V 曲線は、ロジック High をソースしているときのドライバの電流および電圧動作を表します。可能な最悪のオーバーシュート状態に対処するために、ドライバの最大許容動作条件、すなわち低温度および高電源電圧で測定を実施します。

 電流制限は、ドライバの電流強度値を表すものではありません。測定は I/V 曲線の最大条件で実行します。

測定したドライバの電流が、表 3 に示す最適なインタフェースのセットアップのための電流制限以下の場合、終端なしで Cyclone III デバイスをドライブすることができます。ドライバの電流値が制限範囲内の場合、Cyclone III デバイスの DC および AC 最大入力電圧仕様とダイオードの最大 DC 電流仕様に適合していることが保証されます。

表 3 の後に電流測定の例を詳細に示します。

ドライバ I/O 規格	V_{OH} レベル
2.5V LVTTTL	2.0V
3.0V LVTTTL	2.4V
3.0V LVCMOS	$V_{CCIO} - 0.2V$
3.3V LVTTTL	2.4V
3.3V LVCMOS	$V_{CCIO} - 0.2V$

表 3 に、各 I/O インタフェースの組み合わせで、終端のない Cyclone III デバイスとのインタフェースが可能なドライバの最大電流制限要件を示します。

Cyclone III レシーバ・バンク V _{CCIO} (V) (1)	ドライバ電圧レベル (3)				
	2.5V LVTTTL	3.0V LVTTTL	3.0V LVCMOS	3.3V LVTTTL	3.3V LVCMOS
2.5 +/- 5%	最大制限なし	26mA	8mA	15mA (30mA) (2)	4mA (8mA) (2)
3.0 +/- 5%	最大制限なし	最大制限なし	最大制限なし	最大制限なし	最大制限なし
3.3 +/- 5%	48mA	26mA	8mA	30mA	12mA

表 3 の注 :

- (1) デフォルトでは、Quartus II ソフトウェアは 3.3V/3.0V/2.5V の LVTTTL/LVCMOS I/O 規格を使用して、入力、双方向、またはドライ・ステート出力として割り当てられた Cyclone III I/O ピンの PCI クランプ・ダイオードをイネーブルします。
- (2) 括弧内の値は、PCI クランプ・ダイオードを手動でディセーブルしたときのドライバの電流制限を表します。これはこのインタフェースの組み合わせにのみ適用でき、それによってダイオードがディセーブルされ、ドライバのマージンがわずかに向上します。その他のインタフェースの組み合わせでは、ダイオードをイネーブルするとドライバのマージンが向上します。
- (3) 電流制限は、特定の I/O 規格に関連するドライバの電流強度値を表すものではありません。電流制限の測定について詳しくは、12 ページの「付録 C: ドライバ選択テーブル および 測定手法」の第 2 パラグラフを参照してください。

この例では、表 3 のドライバ選択手法を使用し、未終端伝送線路を経由する 3.3V LVTTTL I/O 規格を使用した、Cyclone シリーズ・デバイスから Cyclone III レシーバへのインタフェースを評価します。このインタフェースの評価では、Cyclone デバイスに 8 mA の電流強度を選択しています。評価を実行するには、以下のステップを実行します。

1. ドライバの IBIS モデルを取得します。

ドライバとして使用されるモデルは、cyclone.ibs ファイルの 1c_ttl33_io_d8 です。ドライバに IBIS モデルを使用できない場合は、HSPICE モデルで DC スweep・シミュレーションを実行し、ロジック High をドライブするようにバッファを設定します。



すべてのアルテラ・デバイス用の IBIS モデルは、アルテラの IBIS モデルのためのウェブページ http://www.altera.com/support/software/download/ibis/ibis-ibis_index.jsp から入手することができます。

2. HyperLynx Visual IBIS エディタを使用して IBIS ファイルを開きます。

HyperLynx Visual IBIS エディタは、IBIS モデル・データをグラフィカルに表示し、I/V 曲線での電流測定を容易にします。このツールは Mentor Graphics 社から提供されています。

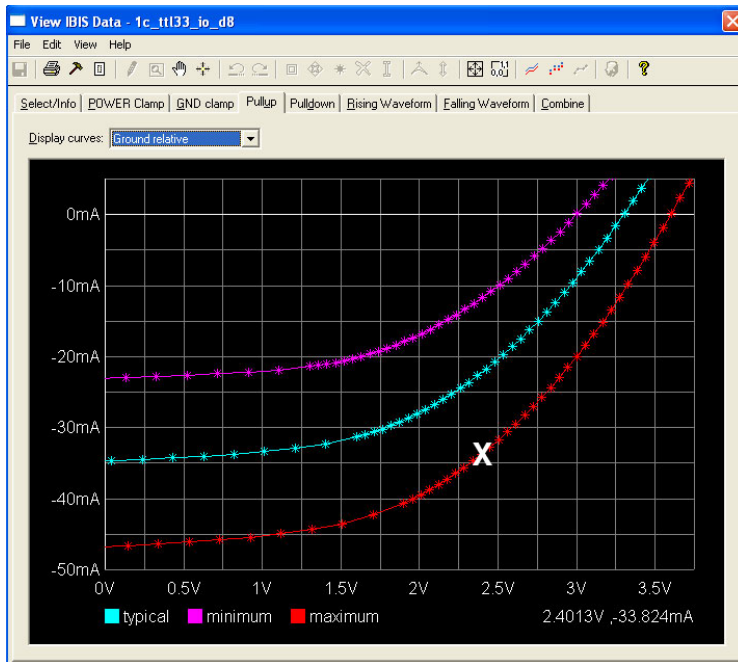
3. グラフィック表示モードに切り替えます。

エディタの左カラムのツリー・ビュー・ペインから 1c_tt133_io_d8 モデル・データにアクセスします。[Model] 1c_tt133_io_d8 という名前のモデルを右クリックし、**View Data** を選択します。モデル 1 で使用できる各特性データ用に複数のタブを持つダイアログ・ウィンドウが表示されます。

4. プルアップ I/V 曲線を選択します。

ダイアログ・ウィンドウで **Pullup** を選択します。図 9 に示すとおり、**Display curves:** 設定を **Ground relative** に変更します。

図 9. Graphical Viewer HyperLynx Visual IBIS エディタを使用した IBIS プルアップ・データの電流制限測定



5. 適切な V_{OH} レベルを決定し、電流測定を実行します。

表 2 から、3.3V LVTTTL ドライバの V_{OH} は 2.4V です。最大 I/V 曲線を探し、2.4V でビジュアル近似電流測定を行います。図 9 に示すとおり、測定された電流値は 33.8 mA です。

6. 許容電流制限を決定します。

表 3 から、3.3V Cyclone III レシーバ・バンクへの 3.3V LVTTTL ドライバの電流制限は 30 mA です。表 3 から測定された電流は電流制限を上回っています。結果として、3.3V LVTTTL 8 mA で動作する Cyclone ドライバでは、終端のない Cyclone III 入力を 3.3V V_{CCIO} 電源で直接ドライブすることはできません。

この例から、セットアップ用ドライバとして動作する Cyclone デバイスは、Cyclone III デバイスの DC および AC 入力電圧仕様に違反する場合があります。表 1 で推奨するとおり、直列終端を適用してインタフェース問題を解決することができます。

付録 D: Cyclone III 同士のインタ フェース 評価指数

Cyclone III デバイスは、3.3V/3.0V/2.5V の LVTTTL/LVCMOS I/O 規格を使用し、終端のない別の Cyclone III デバイスを特定のドライブ強度でドライブすることができます。表 4 に、終端のない別の Cyclone III デバイスをドライブし、最大 DC および AC 入力仕様に適合する Cyclone III ドライバのドライブ能力設定を示します。

Cyclone III レシーバ・ バンク V _{CCIO} (V) (2)	Cyclone III ドライバ I/O 規格 (1)														
	2.5V LVTTTL				3.0V LVTTTL				3.0V LVCMOS				3.3V LVTTTL		3.3V LVC MOS
	4mA	8mA	12mA	16mA	4mA	8mA	12mA	16mA	4mA	8mA	12mA	16mA	4mA	8mA	2mA
2.5 +/- 5%	√	√	√	√	√	√	-	-	√	-	-	-	√	(3)	(3)
3.0 +/- 5%	√	√	√	√	√	√	√	√	√	√	√	√	√	√	√
3.3 +/- 5%	√	√	-	-	√	√	-	-	√	-	-	-	√	√	√

表 4 の注：

- チェック・マークは、I/O 規格に対するこのドライブ能力設定では、DC および AC 入力電圧仕様に違反することなく、対応するバンク V_{CCIO} で、終端のない Cyclone III レシーバを直接ドライブできることを示します。
- デフォルトでは、Quartus II ソフトウェアは 3.3V/3.0V/2.5V の LVTTTL/LVCMOS I/O 規格として割り当てられたピンの PCI クランプ・ダイオードをイネーブルします。
- Cyclone III 3.3V LVTTTL 8 mA および 3.3V LVCMOS 2 mA は、PCI クランプ・ダイオードをイネーブルした状態で、2.5V での終端のない別の Cyclone III デバイスをドライブすることはできません。ただし、いずれのインタフェースも PCI クランプ・ダイオードを 2.5V の Cyclone III レシーバ・ピンでディセーブルすれば、仕様に違反することなく動作できます。

改訂履歴

表 5 に、本資料の改訂履歴を示します。

表 5. 改訂履歴		
日付 & ドキュメント・バージョン	変更内容	概要
2007 年 3 月 v1.0	初版	



101 Innovation Drive
 San Jose, CA 95134
 (408) 544-7000
www.altera.com
 Applications Hotline:
 (800) 800-EPLD
 Literature Services:
literature@altera.com

Copyright © 2007 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

