

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

はじめに

CPLD (Complex Programmable Logic Device) は、高い柔軟性と低消費電力および低コストのため、多くの設計者がシステム・デザインに使用しています。CPLD を頻繁に使用しないユーザでも、ガイドラインに従うことで、非常に簡単に MAX II CPLD をデザインに使用できます。このアプリケーション・ノートでは、MAX II デバイスをデザインに使用する際の必要なガイドラインを示し、ユーザがよく遭遇するいくつかの問題を回避するのに役立つ情報を提供します。

このアプリケーション・ノートのデザインのガイドラインは、以下の項に分かれています。

- 1 ページの「CPLD の選択」
- 3 ページの「ハードウェア設定チェックリスト」
- 12 ページの「デザイン・チェックリスト」
- 18 ページの「その他の開発ツールおよび参考資料」



MAX II デバイスの仕様について詳しくは、「MAX II デバイス・ハンドブック」を参照してください。

CPLD の選択

MAX II CPLD ファミリは、ユーザの多様なニーズに対応するよう様々なデバイス集積度で提供されています。以下に、MAX II デバイスを選択する際に検討すべきいくつかの要素を示します。

- ユーザ I/O ピン数およびパッケージ
- ロジック集積度
- V_{CCINT} および消費電力
- 温度グレード

ユーザ I/O ピン数およびパッケージ

MAX II ファミリは、最大 272 本の入出力 (I/O) ピンを提供します。デバイスは様々なパッケージで提供されており、多様なボード要件に対応できます。MAX II の Micro FineLine BGA パッケージは、省スペースが重要なポータブル・アプリケーション向けに設計されています。MAX II デバイスは、異なるデバイス集積度間で移行可能な同一のパッケージにおけるパーティカル・マイグレーションをサポートしています。表 1 に、MAX II デバイスで提供されているパッケージおよびユーザ I/O ピン数を示します。

デバイス	68 ピン Micro FineLine BGA (1)	100 ピン Micro FineLine BGA (1)	100 ピン FineLine BGA (1)	100 ピン TQFP	144 ピン TQFP	144 ピン Micro FineLine BGA (1)	256 ピン Micro FineLine BGA (1)	256 ピン FineLine BGA	324 ピン FineLine BGA
EPM240 EPM240G	—	80	80	80	—	—	—	—	—
EPM570 EPM570G	—	76	76	76	116	—	160	160	—
EPM1270 EPM1270G	—	—	—	—	116	—	212	212	—
EPM2210 EPM2210G	—	—	—	—	—	—	—	204	272
EPM240Z	54	80	—	—	—	—	—	—	—
EPM570Z	—	76	—	—	—	116	160	—	—

表 1 の注:

- (1) このパッケージは鉛フリーのバージョンでのみ提供されています。

ロジック集積度

MAX II CPLD は、ユーザが様々な機能を実装できるよう、240 ~ 2,210 個のロジック・エレメント (LE)、すなわち 192 ~ 1,700 個の等価マクロセルを備えています。例えば、EPM240 デバイスには 240 個の LE がありますが、これはデバイスで 240 個のレジスタが使用できることを意味します。

V_{CCINT} および消費電力

MAX II デバイスは、3.3 V または 2.5 V の V_{CCINT} をサポートしています。このデバイスは、外部電源電圧を 1.8 V の内部動作電圧に整えるリニア・ボルテージ・レギュレータを内蔵しています。MAX IIG および MAX IIZ デバイスは、内蔵ボルテージ・レギュレータを使用しないため、1.8 V の V_{CCINT} で動作します。V_{CCINT} が低いデバイスは、トータル消費電力が少なくなります。



MAX II デバイスを使用した低消費電力アプリケーションについて詳しくは、「AN 422: MAX II CPLD を使用したポータブル・システムにおける消費電力の管理」を参照してください。

温度グレード

MAX II ファミリは、コマーシャル、インダストリアル、および拡張温度グレードの3種類の温度グレードで提供されています。アプリケーションに応じて適切な温度グレードを選択してください。表2に、3つの温度グレードのデバイスの動作温度範囲を示します。

温度グレード	動作温度範囲		単位
	Min	Max	
コマーシャル	0	85	°C
インダストリアル	-40	100	°C
オートモーティブ	-40	125	°C

表 2 の注:

(1) MAX IIZ デバイスは、コマーシャル温度範囲でのみ提供されます。



MAX II デバイス・ファミリの詳細情報および仕様については、「MAX II デバイス・ハンドブック」を参照してください。

ハードウェア 設定チェック リスト

この項では、ハードウェア設定を考慮する際に確認が必要な項目の一部を取り上げます。

- 4 ページの「VCCINT 電圧および CCIO 電圧」
- 4 ページの「パワーアップ・シーケンス」
- 4 ページの「入力ピンの接続」
- 5 ページの「未使用ピンの接続」
- 5 ページの「入力ピンの電圧」
- 6 ページの「出力ピンのソース電流」
- 6 ページの「JTAG ピンのプルアップ / プルダウン」
- 7 ページの「プログラミングのための JTAG チェイン接続」
- 7 ページの「VCCIO が異なるデバイスを含む JTAG チェイン」
- 8 ページの「JTAG 信号のバッファリング」
- 8 ページの「デバイス出力イネーブル・ピン」
- 9 ページの「チップ・ワイド・リセット」
- 10 ページの「レジスタのパワーアップ・レベル」
- 11 ページの「ラッチ・アップの防止」

V_{CCINT} 電圧および V_{CCIO} 電圧

デバイスが推奨動作電圧範囲内で電源を投入されていることを確認します。電流リークが生じるため、V_{CCINT} ピン、V_{CCIO} ピン、グラウンド・ピンは未接続のままにしないでください。通常の動作だけでなく、インシステム・プログラミング (ISP) の場合でも、すべての I/O バンクの V_{CCIO} およびデバイスの V_{CCINT} を完全にパワーアップする必要があります。

MAX II ファミリは、MultiVolt™ コアおよび I/O 機能を備えています。MultiVold コア機能により、デバイスは異なる V_{CCINT} 電圧をサポートできます。MAX II デバイスは 2.5 V または 3.3 V の V_{CCINT} を受け入れ、MAX IIG および MAX IIZ デバイスは 1.8 V の V_{CCINT} を受け入れます。MultiVolt I/O 機能により、デバイスは 1.5 V、1.8 V、2.5 V、および 3.3 V の V_{CCIO} 電圧をサポートできます。各 I/O バンクは、特定のバンクの V_{CCIO} ピンから個別に電源が供給され、他の I/O バンクの V_{CCIO} からは独立しています。



MAX II デバイスの電源安定化について詳しくは、アルテラ・ウェブサイト (www.altera.co.jp/support/devices/vendors/pow-vendors.html) の「アルテラの FPGA および CPLD 向けのパワー・マネージメント・リファレンス・ガイド」を参照してください。

パワーアップ・シーケンス

MAX II デバイスは、ホット・ソケットに対応しています。MAX II デバイスはマルチ電圧環境で動作するよう設計されているため、あらゆるパワーアップ・シーケンスに対応できます。V_{CCINT} または V_{CCIO} のいずれかを先に、あるいは両方を同時にパワーアップすることが可能です。3.3 V、2.5 V、1.8 V、1.5 V の入力信号は、V_{CCINT} または V_{CCIO} を印加する前に特別な対策がなくてもデバイスをドライブできます。両方の電源が推奨動作範囲に入るまで、通常の動作は起こりません。



「MAX II I/O Characteristics During Hot Socketing」ホワイトペーパーは、異なるパワーアップ・シーケンスの I/O ピン特性を示しています。

入力ピンの接続

デザインのすべての入力ピンは、V_{CC} またはグラウンドからドライブする必要があります。これはフローティング状態の入力ピンの値は不定であり、入力値が不定の状態ではデザインが正しく動作しないことがあるためです。フローティング状態の入力ピンにより、デバイスに混入するノイズも増加します。これは入力ピンとして機能する双方向ピンにも当てはまります。

未使用ピンの接続

デザインをコンパイルすると、Quartus® II ソフトウェアによりピン・レポート・ファイル（.pin）が生成されます。このレポート・ファイルには、デバイスの未使用ピンの接続方法が指定されています。MAX II デバイスの場合、未使用 I/O ピンはレポート・ファイル内に、以下のいずれかのマークが付けられます。

- GND*
- RESERVED
- RESERVED_INPUT
- RESERVED_INPUT_WITH_WEAK_PULLUP
- RESERVED_INPUT_WITH_BUS_HOLD

このマーキングは、Quartus II ソフトウェアの未使用ピンの設定方法で決まります。

GND* として指定されるすべての I/O ピンは、デバイスのノイズ耐性を向上させるためにグラウンドに接続するか、未接続のままにすることができます。ボード上の RESERVED I/O ピンは、規定されていない信号をドライブするため、すべて未接続のままにしておきます。RESERVED I/O ピンを V_{CC} 、グラウンド、または別の信号ソースに接続すると、競合が起これ、デバイスの出力ドライバが損傷することがあります。

RESERVED_INPUT I/O ピンはボード上の High または Low 信号に接続でき、RESERVED_INPUT_WITH_WEAK_PULLUP ピンと RESERVED_INPUT_WITH_BUS_HOLD ピンは未接続のままにしておくことができます。

入力ピンの電圧

入力信号の電圧レベルは、デバイスの High レベル (V_{IH}) と Low レベル (V_{IL}) の入力電圧に適合しなければなりません。信号の電圧レベルが V_{IH} の最小値と V_{IL} の最大値の間にある場合、入力ピンは入力信号を正しく認識しない場合があります。また、推奨入力電圧 (V_I) 範囲 (-0.5 V ~ 4 V) を超えてピンをドライブしないでください。

MultiVolt I/O 機能により、デバイスは電源電圧が異なるシステムとインタフェースできます。各 I/O バンクは、そのバンクの VCCIO ピンから個別にパワーアップされます。他の I/O バンクを他の V_{CCIO} 電圧で使用できるように、同じ電圧レベルで動作するピンは同じ I/O バンクに割り当てます。



多電圧システムでの MAX II デバイスの使用については、「MAX II デバイス・ハンドブック」の「多電圧システムにおける MAX II デバイスの使用」の章を参照してください。

出力ピンのソース電流

例えば、High レベルの出力ピンをグラウンドにプルダウンしたり、Low レベルの出力ピンを直接 V_{CC} に接続することにより、出力ピンから連続して大きな電流をソースまたはシンクすると、エレクトロマイグレーション（大量の電流が導電金属を流れることによって、この金属の原子が移動する現象）のために、デバイスが損傷する可能性があります。MAX II の I/O ピンでシンクできる最大電流は 25 mA です。特定のピンを High または Low にする必要がある場合は、外部抵抗を使用します。

デバイスの I/O ピンを使用して別のデバイスをパワーアップしても、ピンから大量の電流が流れ出します。I/O ピンを直接電源として使用しないでください。別のデバイスのパワーアップを制御するために MAX II デバイスを使用する必要がある場合は、MAX II の I/O ピンでデバイスをパワーアップするスイッチ（リレーやトランジスタなど）を制御します。

また、任意の 2 つの V_{CCIO} パッド間の I/O ピン・セットに、170 mA を超える電流をソースしたり、任意の 2 つの $GNDIO$ パッド間の I/O ピン・セットから 130 mA を超える電流をシンクしないでください。例えば、EPM240 デバイスには 6 個の $GNDIO$ パッドがあり、最大 130 mA をシンク可能な 6 つの I/O 領域を提供します。出力に 15 mA をシンクする必要がある場合、1 領域あたり 8 つの出力を持つことができます。 $GNDIO$ パッド間に 6 つの I/O 領域がある場合、それぞれが 15 mA をシンクする 48 の出力が可能になります。



MAX II デバイスの最大シンクおよびソース電流について詳しくは、「[AN 286: Implementing LED Drivers in MAX & MAX II Devices](#)」を参照してください。

JTAG ピンのプルアップ / プルダウン

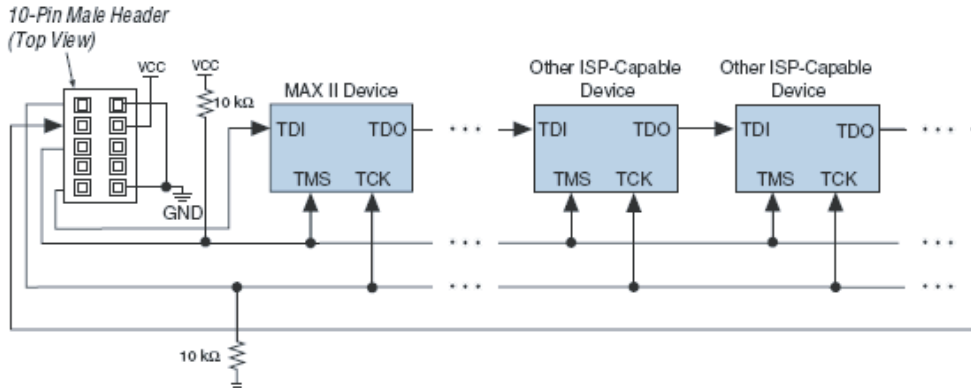
デバイスが ISP モードまたはユーザ・モードのとき、あるいはパワーアップ中のいずれの場合も、JTAG ピンのノイズによってデバイスが不定の状態または不定モードになることがあります。アルテラでは、10 k Ω 抵抗を介して TCK ピンを Low にプルダウンし、TMS ピンを High にプルアップすることを推奨しています。

V_{CCINT} がパワーアップされると、JTAG 回路はアクティブになります。TMS ピンと TCK ピンが V_{CCIO} に接続され、 V_{CCIO} がパワーアップされていない場合、JTAG 信号はフローティング状態のままです。TCK ピンに遷移があると、JTAG ステート・マシンが不定状態になり、 V_{CCIO} が最終的にパワーアップされたときに誤動作が生じる可能性があります。パワーアップ時に JTAG ステート・マシンをディセーブルするには、TCK ピンを Low にプルダウンして、TCK 上に偶発的な立ち上がりエッジが発生しないようにします。

プログラミングのための JTAG チェイン接続

デバイスの JTAG ピンを、ダウンロード・ケーブルのヘッダに正しく接続します。チェーンに複数のデバイスがある場合、[図 1](#) に示すようにデバイスの TDO ピンをチェーン内の次のデバイスの TDI ピンに接続します。

図 1. JTAG チェインのデバイス



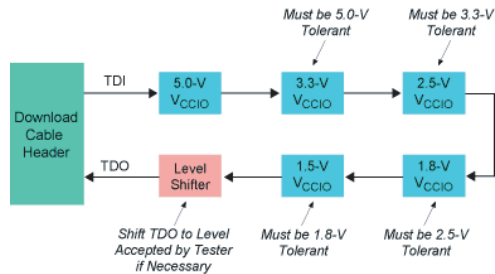
JTAG プログラミング問題をデバッグする際の参考として、アルテラ・ウェブサイト (www.altera.com/cgi-bin/ts.pl?fn=jtagprog) の「JTAG Configuration & ISP Troubleshooter」を参照してください。

V_{CCIO} が異なるデバイスを含む JTAG チェイン

ターゲット・ボードの 10 ピン・ヘッダからアルテラのダウンロード・ケーブルに供給される動作電圧により、ダウンロード・ケーブルの動作電圧レベルが決まります。すべての MAX II デバイスの JTAG ピンはバンク 1 にあり、それらの I/O 規格のサポートは、バンク 1 の V_{CCIO} 設定によって制御されます。

ダウンロード・ケーブルはデバイスの JTAG ピンにインタフェースするため、ダウンロード・ケーブルの動作電圧と JTAG ピンの電圧が適合していることを確認してください。各ダウンロード・ケーブルの動作電圧については、データシートを参照してください。

V_{CCIO} が異なるデバイスを含む JTAG チェインでは、V_{CCIO} レベルが高いデバイスは、V_{CCIO} レベルが同じかそれ以下のデバイスをドライブしなければなりません。このデバイス構成では、チェーンの末端に 1 個のレベル・シフタのみが必要です。この構成が不可能な場合は、レベル・シフタをチェーンに追加する必要があります。[図 2](#) に、V_{CCIO} が異なるデバイスを含む JTAG を示します。

図 2. JTAG チェイン内の V_{CCIO} が異なるデバイス

JTAG 信号のバッファリング

JTAG のシグナル・インテグリティにより、JTAG チェインのバッファの必要性が決まります。TCK 信号は JTAG クロックであり、他の JTAG 信号と比べると信号のスイッチングが最も早いので、特に注意が必要です。アルテラでは、信号をコネクタでバッファすることを推奨しています。これは、ケーブルやボードのコネクタは適切な伝送ラインではなく、信号にノイズを発生させる傾向があるためです。このようなコネクタでの最初のバッファに続いて、チェーンが延長されたり、信号がボード・コネクタを通過する必要がある場合は必ずバッファを追加してください。

ケーブルが 3 個以上のデバイスをドライブする必要があるときは常に、ケーブル・コネクタで信号をバッファして、信号の劣化を防ぎます。これはボード・レイアウト、負荷、コネクタ、ジャンパ、ボード上のスイッチ類に依存します。JTAG 信号のインダクタンスまたはキャパシタンスに影響を与える要素がボードに追加されると、チェーンにバッファを追加する必要性が高まります。

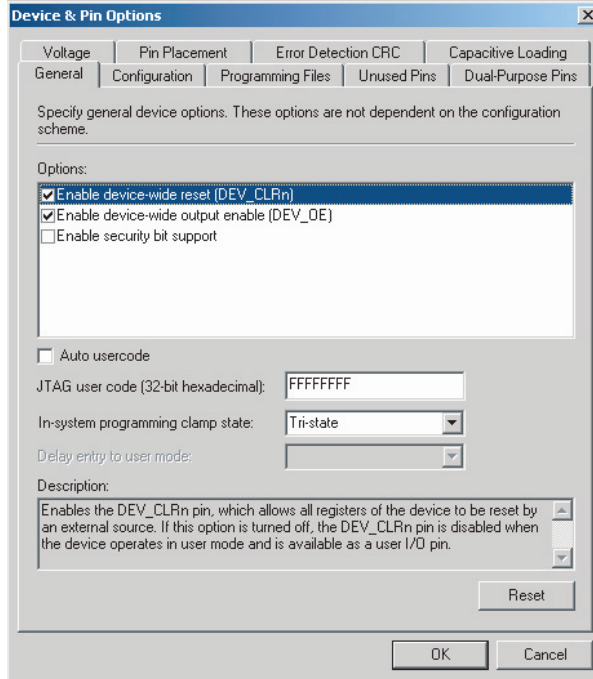
並列にドライブされる TCK 信号と TMS 信号の場合、各バッファでドライブされる負荷を 8 以下に抑える必要があります。ジャンパまたはスイッチをパスに追加した場合は、負荷の数を少なくします。

デバイス出カインケーブル・ピン

MAX II デバイスには、デザインのすべての出力ピンの出カインケーブルを制御するために、チップ・ワイドの出カインケーブル・ピン (DEV_OE) があります。これによって、システムで MAX II 出力をディセーブルにして他のデバイスでバスをドライブできるバス共有が可能になります。このオプションを使用すると、チップ上のすべての出力は、DEV_OE がアサートされると通常どおり動作します。ピンがディアサートされると、すべての出力はトライ・ステートになります。このオプションを使用しない場合、DEV_OE ピンは通常のユーザ I/O ピンとして機能します。

Quartus II ソフトウェアでこれを設定するには、Assignments メニューの **Settings** をクリックします。Settings ダイアログ・ボックスの **Device** をクリックして、次に **Device and Pin Options** をクリックします。**General** タブをクリックして、**Enable device-wide output enable (DEV_OE)** をオンにします。デザインをコンパイルする前に、このオプションを設定してください。図 3 に、**Device & Pin Options** ダイアログ・ボックスを示します。

図 3. Device & Pin Options



チップ・ワイド・リセット

MAX II デバイスは、デバイス内のすべてのレジスタをリセットするデバイス・ワイドのリセット・ピン (DEV_CLRn) を備えています。このチップ・ワイドのリセットは MAX II デバイスのほかのすべてのコントロール信号に優先するため、このオプションがイネーブルの場合、このピンを Low にアサートするとデバイスのレジスタをクリアできます。

すべてのデバイスがパワーアップされ、同時に機能を開始する必要のないシステムにおいては、パワーアップ前またはパワーアップ中にこのピンを **Low** に保持すると、他のデバイスがユーザ・モードに移行するまで、MAX II デバイスが機能を開始しないようにすることができます。このオプションを使用しない場合、DEV_CLRn ピンは通常のユーザ I/O ピンとして機能します。

Quartus II ソフトウェアで DEV_CLRn を設定するには、Assignments メニューの **Settings** をクリックします。Settings ダイアログ・ボックスの **Device** をクリックして、次に **Device and Pin Options** をクリックします。General タブをクリックして、**Enable device-wide output enable (DEV_OE)** をオンにします。デザインをコンパイルする前に、このオプションを設定してください。9 ページの図 3 に、**Device and Pin Options** ダイアログ・ボックスを示します。

レジスタのパワーアップ・レベル

すべてのレジスタは、パワーアップ時にクリアされます。デフォルトでは、デバイスがパワーアップされたとき、レジスタ出力はすべて **Low** にドライブされます。デバイスのリセットの制御など、レジスタ出力を使用して他のデバイスをドライブするシステムでは、システム全体が正しく初期化されるまで、パワーアップ後の一定期間にわたって MAX II デバイスの出力で **High** にドライブする必要があります。その後、レジスタの出力はデザインに従って機能します。

Quartus II ソフトウェアにより、パワーアップ時に **High** にドライブされるようレジスタ出力を設定することができます。Quartus II ソフトウェアは、「NOT Gate Push-Back」手法を使用して出力を **High** に設定します。

Quartus II ソフトウェアでこれを設定するには、Assignment Editor で、レジスタの **Power-Up Level** アサインメントを **High** に設定します。図 4 に、Assignment Editor でのパワーアップ・レベルの設定を示します。

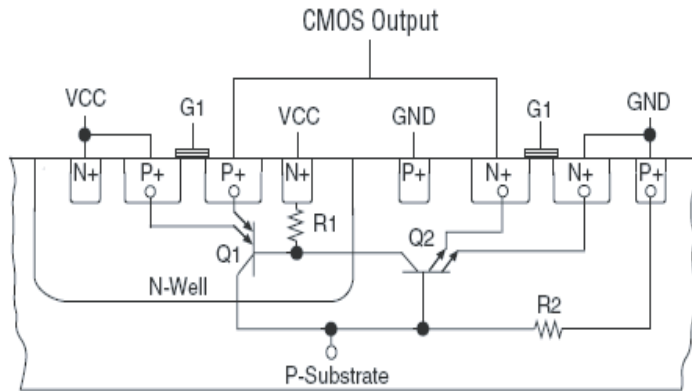
図 4. レジスタのパワーアップ・レベル

To	Assignment Name	Value	Enabled
reg_1	Power-Up Level	High	Yes
reg_1			Yes

ラッチ・アップの防止

すべての CMOS デバイスに寄生バイポーラ・トランジスタがあります。通常の動作条件では、このような寄生トランジスタはベース・エミッタおよびベース・コレクタ接合が順方向にバイアスされることはないため導通しません (図 5)。しかし、特にパワーアップ時に I/O ピンに過剰な電流が流れると、これらの寄生トランジスタが導通する可能性があります。

図 5. CMOS デバイスの寄生バイポーラ・トランジスタ



これらの寄生トランジスタが導通し始めると、この影響は潜在的な破壊電流が生成されるまで再生および増幅されるため、デバイス内に破壊的な電流経路が作成されます。これによって、デバイスがラッチ・アップし、パワーダウンされるか高電流によって損傷するまで過剰な電流が流れます。

MAX II デバイスはホット・ソケットをサポートしており、 V_{CCINT} 、 V_{CCIO} 、および I/O ピンのいかなるパワーアップ・シーケンスにも耐えることができます。ただし、システム上可能なときは、まずデバイスにグラウンドを印加し、次に V_{CCINT} および V_{CCIO} を印加し、最後に入力を印加します。これによって、パワーアップ時のラッチ・アップの発生する可能性を最小限に抑えることができます。パワーダウンの場合は、電源を逆の順序でデバイスから取り除く必要があります。つまり、最初に入力を取り除き、次に V_{CCINT} および V_{CCIO} 、最後にグラウンドを取り除きます。



ラッチ・アップについて詳しくは、「[Operating Requirements for Altera Devices](#)」データシートを参照してください。

デザイン・ チェックリスト

この項では、デザインを作成するときに注意すべき項目をいくつか取り上げます。

- 12 ページの「デザイン・エントリ」
- 12 ページの「HDL コーディング・スタイル」
- 13 ページの「グローバル・クロック」
- 13 ページの「レジスタ入力」
- 14 ページの「同期デザイン」
- 15 ページの「シュミット・トリガ入力」
- 15 ページの「デザインのシミュレーション」
- 16 ページの「タイミング違反」
- 16 ページの「出力ピンの電流強度とスルー・レート」
- 16 ページの「ピン・アサインメント」
- 17 ページの「Quartus II Design Assistant」

デザイン・エントリ

Quartus II ソフトウェアでは、回路図 / ブロック図または HDL コーディングでデザインを作成できます。一般的に使用される HDL フォーマットとして、Verilog と VHDL がサポートされています。シンプルなデザインの場合、回路図またはブロック図を使用するとデザインの作成作業が容易になります。しかし、複雑なデザインでは、HDL コーディングを使用することで、デザインを効率良く作成できるだけでなく、必要な柔軟性も得られます。

Quartus II ソフトウェアは、ユーザが作成するメガファンクションのシンボル・ファイルまたは HDL ファイルを生成できます。ユーザはデザイン入力方法に関係なく、メガファンクションをデザインに統合することができます。

Quartus II ソフトウェアは、AND ゲート、OR ゲート、インバータ、フリップ・フロップなどの 74 シリーズの集積回路 (IC) の機能を実装できる大規模なコンポーネント・ライブラリと、ニーズに合わせてモジュールをカスタマイズできるパラメータ化されたモジュールのライブラリ (LPM) を備えています。

HDL コーディング・スタイル

デザイン・エントリに HDL を使用する場合は、コーディング・スタイルに注意してください。HDL コーディングは、デザインで実現できるロジック利用率および性能の点で、結果の品質に大きな影響を及ぼします。効率的なコーディングは、合成ツールがデザインを合成するときのパフォーマンス向上に役立ちます。






「Quartus II ハンドブック Volume 1」の「Recommended HDL Coding Styles」の章を参照してください。

グローバル・クロック

各 MAX II デバイスには、クロック用のグローバル・クロック・ネットワークのドライブに、または通常の I/O ピンとして兼用できる専用クロック・ピン (GCLK[3..0]) が4本あります。グローバル・クロック・ネットワークの4本のグローバル・クロック・ラインは、デバイス全体をドライブします。グローバル・クロック・ネットワークは、ロジック・エレメント (LE)、LAB ローカル・インタコネクト、入出力エレメント (IOE)、およびユーザ・フラッシュ・メモリ (UFM) ブロックを含むデバイス内のすべてのリソースにクロックを供給します。

クロック信号の遅延が一定かつ予測可能になるように、これらのピンにデザインのクロック・ソースを割り当てます。Quartus II Assignment Editor で、デザインのクロック・ピンをデバイスのクロック・ピンに割り当てます。その後、**Assignment Name** の下の **Global Signal** を選択します。次に、**Value** の下の **Global Clock** を選択します。このアサインメントをイネーブルにします。図 6 に、Assignment Editor のグローバル・クロック・ピンのアサインメントを示します。

図 6. グローバル・クロック・アサインメント

To	Assignment Name	Value	Enabled
 clk_in	Location	PIN_12	Yes
 clk_in	Global Signal	Global Clock	Yes
 clk_in			Yes

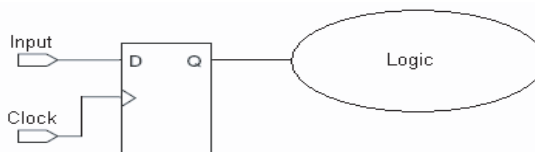
これらの4本のクロック・ピンを使用してグローバル・クロック・ネットワークをドライブしない場合は、これらのピンを汎用ピンとして使用できます。

レジスタ入力

デザインの入力信号は、常に安定しているとは限らず、グリッチやノイズが発生する可能性があります。誤った信号がデザインに伝播されて、システムの機能が影響を受けるのを防止するために、入力信号がデザインに入る前にレジスタを通過するようにします (図 7)。レジスタの入力はクロックの各アクティブ・エッジでのみサンプリングされてから、デザインに転送されるため、入力信号のグリッチや不安定さがデザインに伝播されることはありません。

クロック信号の周波数が入力信号の周波数より高い限りは、MAX II デバイスの内部オシレータまたは外部クロック信号をレジスタのクロック・ソースとして使用します。コーディングまたはブロック図によるデザインに関係なく、クロック信号を使用してレジスタ付き入力を実装できます。

図 7. レジスタ・デザイン入力

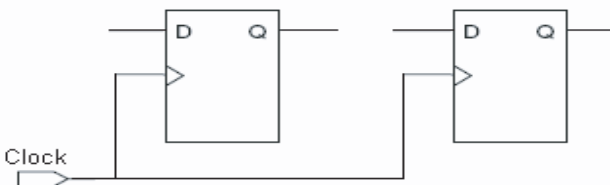


同期デザイン

同期デザインでは、クロック信号に応じて信号が変化します。クロックのすべてのアクティブ・エッジで、レジスタのデータ入力がサンプリングされて、出力に転送されます。

図 8 に示すように、1つのクロック・ソースを使用してデザインのレジスタをクロックします。2個のカスケード接続されたレジスタが異なるクロック・ソースまたはクロック・エッジでトリガされた場合、セットアップ時間に違反するため、2番目のレジスタは最初のレジスタからのメタステーブル出力を解決するための十分な時間が得られず、これにより不正な値がクロックされる危険性があります。

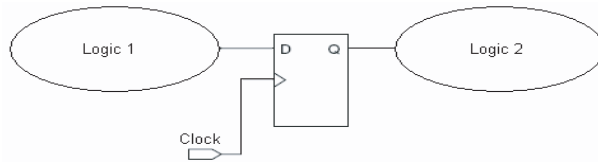
図 8. 同期デザイン



デザインの組み合わせロジック出力がデザインの他の部分に供給される場合、図 9 に示すようにレジスタを経由して信号を供給します。これは、組み合わせロジックの出力をクロック信号または非同期リセット信号として使用する場合に適用されます。組み合わせ出力が変化すると、ロジックを通過する際の伝播遅延により、一定期間不安定な状態になることがあります。これは、出力が新しい値に落ち着くまで信号がいくつかの変遷を経由するためです。

レジスタの入力はクロックの各アクティブ・エッジでのみサンプリングおよびデザインに転送されるため、レジスタのデータ入力で起こる遷移は、次のアクティブ・クロックのエッジまで、レジスタ出力またはデザインのその他の部分の入力に影響を与えません。レジスタのセットアップ時間およびホールド時間に違反しない限り、レジスタはグリッチや他のロジックからの不安定な入力信号を効率良く分離します。

図 9. 組み合わせ出力信号のラッチ



また、特定のパスのタイミングを変更すると、パスの機能に影響を及ぼす可能性があるため、デザインはデバイスのアーキテクチャ内の遅延パスに依存してはなりません。温度、電圧、プロセスの変化、または配置配線の変更などの要因は、デバイス内のロジック・パスのタイミングに影響し、意図しない機能変化を引き起こす可能性があります。意図しない機能変化は、同期化によって排除されます。



デザインの同期化について詳しくは、「Quartus II ハンドブック Volume 1」の「アルテラ・デバイスのデザイン推奨事項」の章または「Quartus II Help」を参照してください。

シュミット・トリガ入力

ノイズの多い入力信号には、シュミット・トリガ入力を使用します。シュミット・トリガは入力バッファにヒステリシスを供給し、立ち上がりが遅くノイズの多い入力信号がロジック・アレイにドライブされる入力信号でリングングや発振を起こさないようにします。これによって、デバイス入力にシステムのノイズ耐性を与えますが、わずかに入力遅延が増えます。また、シュミット・トリガを使用すると、入力バッファが高速出力エッジ・レートで低速入力エッジ・レートに应答できます。

デザインのシミュレーション

Quartus II ソフトウェアでは、適切な入力ベクタを指定して、機能シミュレーションまたはタイミング・シミュレーションによってデザインをシミュレートできます。機能シミュレーションでは、デザインが論理的に機能するかどうかを確認できます。これは、組み合わせデザインや低周波クロックを使用するデザインなど、タイミングが厳しくないデザインに適しています。

タイミング・シミュレーションは、デバイスのタイミング情報を考慮します。シミュレーション結果には、デバイスの動作がより正確に反映されます。デザインが高速クロックを使用している場合は、タイミング・シミュレーションを実行してデザインの動作を確認することが重要です。

タイミング違反

Quartus II Timing Analyzer は、コンパイル時のあらゆるタイミング違反をチェックします。タイミング解析レポートには、デザインの f_{MAX} 、 t_{SU} 、 t_{CO} 、 t_{H} 、および t_{PD} が示されます。ワーニングやタイミング違反がないか確認してください。



タイミング解析について詳しくは、「Quartus II ハンドブック Volume 3」の「[タイミング解析](#)」セクションを参照してください。

出力ピンの電流強度とスルー・レート

電流またはドライブ強度により出力ピンの電流が決まり、スルー・レートにより出力信号の立ち上がりおよび立ち下がり時間が決まります。

出力ピンのドライブ強度を変更するには、Quartus II Assignment Editor で、**Current Strength** を選択します。**Maximum Current** または **Minimum Current** のいずれかを選択します。Assignment Editor で、**Slow Slew Rate** 機能をオンまたはオフにすることもできます。デフォルトでは、この機能はオフになっています。図 10 に、Assignment Editor の電流強度および低速スルー・レートの設定例を示します。

図 10. 電流強度および低速スルー・レートの設定

To	Assignment Name	Value	Enabled
out_pin	Current Strength	Minimum Current	Yes
out_pin	Slow Slew Rate	On	Yes
out_pin			Yes



最大および最小設定の実際の電流強度については、「[MAX II デバイス・ハンドブック](#)」を参照してください。

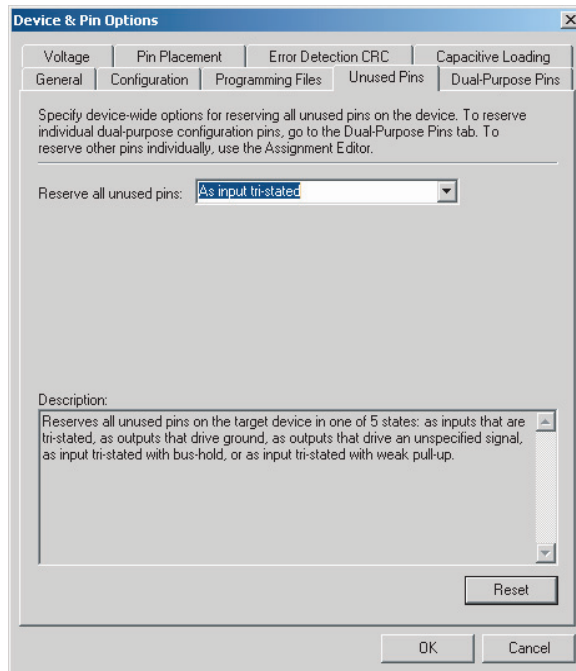
ピン・アサインメント

Quartus II ソフトウェアで、特に入力ピンについて正しいピン・アサインメントを実行していないと、デザインが正しく機能しないことがあります。使用するピンをすべて正しい位置に割り当てるのが非常に重要です。割り当てられていない場合、Quartus II ソフトウェアは自動的にこれらのピンを所定の位置に割り当てます。この場合、デザインが機能せず、衝突が発生することもあります。

未使用ピンは、Quartus II ソフトウェアで未指定信号をドライブする出力ピン、グラウンドをドライブする出力ピン、あるいはトライ・ステート入力ピン（ウィーク・プルアップまたはバス・ホールド付きまたはなし）のいずれかに設定できます。これらのピンを同じボード上の他のデバイスに接続する場合は、一番良いのがピンをトライ・ステート入力ピンとして設定して、他のデバイスへの影響を防止することです。トライ・ステート入力は、ドライブ・アウトしないで、最大 10 μ A の電流をシンクまたはソースするだけです。未使用ピンを誤った状態に設定すると、競合が発生してデバイスに損傷を与える可能性があります。

Quartus II ソフトウェアでピンを設定するには、Assignments メニューの **Settings** をクリックします。**Settings** ダイアログ・ボックスの **Device** をクリックして、次に **Device and Pin Options** をクリックします。図 11 に示すように、**Unused Pins** タブをクリックして、Reserved all unused pins を As input tri-stated にします。

図 11. Reserve all unused pin を Input tri-stated に設定

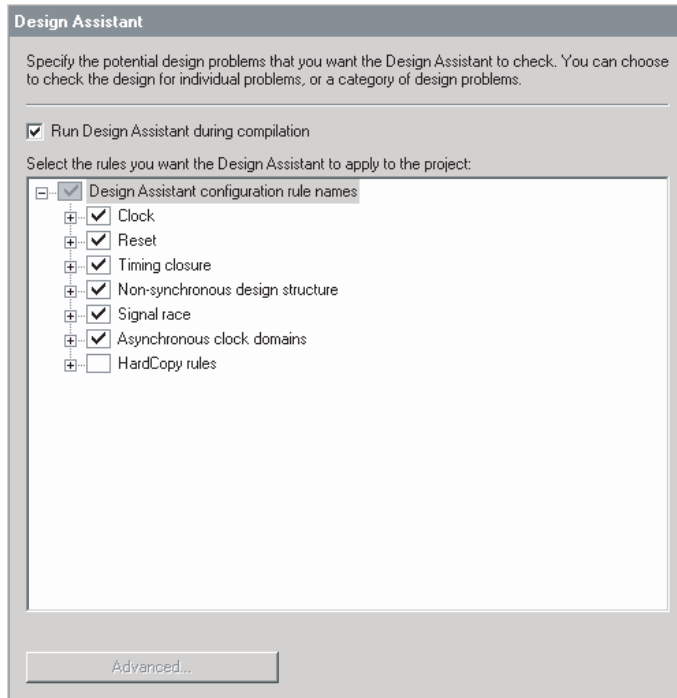


Quartus II Design Assistant

Quartus II Design Assistant は、デザインのコンパイル時に一連のデザイン・ルールに基づいて、デザインの信頼性をチェックします。Design Assistant がチェックする領域には、クロック、リセット、タイミング・クロージャ、非同期デザイン構造などがあります。Design Assistant にチェックさせたい領域を選択できます。

Design Assistant をオンにするには、Assignments メニューの **Settings** をクリックして、**Design Assistant** をクリックします。図 12 に、Design Assistant がチェックする領域を示します。

図 12. Quartus II Design Assistant



その他の開発 ツールおよび 参考資料

MAX II デバイスを使用する際に役立つその他の開発ツールおよび関連資料は、以下のとおりです。

- MAX II 開発キット
- MAX II PowerPlay Early Power Estimator
- MAX II Device Family Errata Sheet

MAX II 開発キット

MAX II 開発キットには、以下のものが同梱されています。

- EPM1270F256 デバイスを搭載した MAX II 開発ボード
- Quartus II Web Edition 開発ソフトウェア
- pci_t32 MegaCore 用 MegaCore® IP ファンクション

■ リファレンスおよびデモ・デザイン

この開発キットは、MAX II デバイスを使用したプロトタイプ作成および完全なソリューションの開発に必要なすべてのものを提供します。リファレンスとデモ・デザインは、MAX II デバイスの能力を実証すると同時に、ユーザ独自のカスタム・デザインを作成する出発点として使用できます。



MAX II 開発キットについて詳しくは、「[MAX II Development Kit Getting Started User Guide](#)」および「[MAX II Development Board Data Sheet](#)」を参照してください。

MAX II PowerPlay Early Power Estimator

MAX II デバイスの消費電力は、デザインのリソース使用に依存します。PowerPlay Early Power Estimator スプレッドシートを使用すると、デバイスの消費電力を見積ることができ、またデバイスの熱解析データも得られます。

PowerPlay Early Power Estimator により、クロック、ロジック・コア、UFM、および I/O などの MAX II アーキテクチャ機能に基づいてセクションに情報を入力し、各領域の消費電力を見積ることができます。



MAX II PowerPlay Early Power Estimator スプレッドシートは、www.altera.co.jp からダウンロードできます。MAX II PowerPlay Early Power Estimator について詳しくは、「MAX II デバイス・ハンドブック」の「[Understanding and Evaluating Power in MAX II Devices](#)」の章を参照してください。

MAX II Device Family Errata Sheet

[MAX II Device Family Errata Sheet](#) は、旧 MAX II デバイスの電力要件を説明しています。また、エラッタシートには、EPM1270 エンジニアリング・サンプル (ES) デバイスのいくつかの制限も記載されています。これらの制限は、MAX II デバイスの将来のリビジョンでは修正されています。

まとめ

必要な情報とガイドラインにより、ユーザ・システムで簡単に CPLD を使用することができます。このアプリケーション・ノートは、CPLD を使用するユーザが一般に直面する問題に基づいて作成されており、アルテラの MAX II デバイスを正しく動作させるために必要なチェックリストと使いやすいガイドラインを提供しています。

参考資料

このアプリケーション・ノートでは、以下のドキュメントを参照しています。

- 「AN 286: Implementing LED Drivers in MAX & MAX II Devices」
- 「AN 422: MAX II CPLD を使用したポータブル・システムにおける消費電力の管理」
- 「Quartus II ハンドブック Volume 1」の「アルテラ・デバイスのデザイン推奨事項」の章
- MAX II Development Kit Getting Started User Guide」
- 「MAX II Development Board Data Sheet」
- 「MAX II Device Family Errata Sheet」
- 「MAX II デバイス・ハンドブック」
- 「MAX II I/O Characteristics During Hot Socketing」 ホワイトペーパー
- アルテラ・デバイスの使用上の注意データシート」
- 「Quartus II ハンドブック Volume 3」の「Timing Analysis」セクション
- 「Quartus II ハンドブック Volume 1」の「Recommended HDL Coding Styles」の章
- 「MAX II デバイス・ハンドブック」の「MAX II デバイスの消費電力と評価方法」の章
- 「MAX II デバイス・ハンドブック」の「多電圧システムにおける MAX II デバイスの使用」の章

改訂履歴

表 3 に、本資料の改訂履歴を示します。

日付 & ドキュメント・バージョン	変更内容	概要
2007 年 12 月 v1.1	<ul style="list-style-type: none"> ● 表 1 を更新。 ● 表 2 に注 (1) を追加。 ● 前バージョンの表 3 を削除。 ● MAX IIZ 情報の追加により、「VCCINT 電圧および CCIO 電圧」の項を更新。 ● 「ハードウェア設定チェックリスト」および「デザイン・チェックリスト」を追加。 ● 「参考資料」の項を追加。 	—
2006 年 9 月 v1.0	初版	—

ハードウェア 設定チェック リスト

このチェックリストは、本資料で説明したガイドラインの要約を提供します。このチェックリストを使用して、デザインの各ステージでガイドラインに従っていることを確認してください。

プロジェクト名:
日付:

4 ページの「VCCINT 電圧および CCIO 電圧」

- | | Done
(確認済) | N/A
(該当なし) | |
|---|--------------------------|--------------------------|---|
| 1 | <input type="checkbox"/> | <input type="checkbox"/> | 推奨動作電圧範囲内で、デバイスに電源を投入する。 |
| 2 | <input type="checkbox"/> | <input type="checkbox"/> | V _{CCINT} ピン、V _{CCIO} ピン、またはグラウンド・ピンを未接続のままにしないでください。 |

4 ページの「入力ピンの接続」

- | | Done | N/A | |
|---|--------------------------|--------------------------|---|
| 3 | <input type="checkbox"/> | <input type="checkbox"/> | 双方向入力ピンを含むすべての入力ピンが、V _{CC} またはグラウンドからドライブされていることを確認する。フローティング状態の入力ピンの値は不定であり、ノイズを増加させることがあります。 |

5 ページの「未使用ピンの接続」

- | | Done | N/A | |
|---|--------------------------|--------------------------|---|
| 4 | <input type="checkbox"/> | <input type="checkbox"/> | デバイスのノイズ耐性を向上させるために、すべての GND ピンをグラウンドに接続する。 |
| 5 | <input type="checkbox"/> | <input type="checkbox"/> | RESERVED I/O ピンは規定されていない信号をドライブするため、すべて未接続のままにする。 |

5 ページの「入力ピンの電圧」

- | | Done | N/A | |
|---|--------------------------|--------------------------|--|
| 6 | <input type="checkbox"/> | <input type="checkbox"/> | 電圧レベルは、デバイスの High レベル (V _{IH}) と Low レベル (V _{IL}) の入力電圧に適合しなければなりません。推奨入力電圧 (V _I) 範囲を超えてピンをドライブしないでください。 |
| 7 | <input type="checkbox"/> | <input type="checkbox"/> | 他の I/O バンクを他の V _{CCIO} 電圧で使用できるように、同じ電圧レベルで動作するピンは同じ I/O バンクに割り当てる。 |

6 ページの「出力ピンのソース電流」

- | | Done | N/A | |
|---|--------------------------|--------------------------|---|
| 8 | <input type="checkbox"/> | <input type="checkbox"/> | 出力ピンまたは入力ピンは、GND または V_{CC} に直接接続してはなりません。出力ピンから連続して大量の電流をソースまたはシンクすると、デバイスに損傷を与える可能性があります。 |
| 9 | <input type="checkbox"/> | <input type="checkbox"/> | 特定のピンを High または Low にする必要がある場合は、外部抵抗を介して接続する。 |

6 ページの「JTAG ピンのプルアップ / プルダウン」

- | | Done | N/A | |
|----|--------------------------|--------------------------|---|
| 10 | <input type="checkbox"/> | <input type="checkbox"/> | パワーアップ時には、10-k Ω 抵抗を介して、TCK ピンを Low にプルダウンし、TMS ピンを High にプルアップして JTAG ステート・マシンをディセーブルにする。 |

7 ページの「プログラミングのための JTAG チェイン接続」

- | | Done | N/A | |
|----|--------------------------|--------------------------|--|
| 11 | <input type="checkbox"/> | <input type="checkbox"/> | デバイスの JTAG ピンを、ダウンロード・ケーブルのヘッダに正しく接続する。 |
| 12 | <input type="checkbox"/> | <input type="checkbox"/> | チェーン内に複数のデバイスがある場合、1 つのデバイスの TDO ピンをチェーン内の次のデバイスの TDI ピンに接続する。 |

7 ページの「VCCIO が異なるデバイスを含む JTAG チェイン」

- | | Done | N/A | |
|----|--------------------------|--------------------------|--|
| 13 | <input type="checkbox"/> | <input type="checkbox"/> | ダウンロード・ケーブルの動作電圧と JTAG ピンの電圧が適合していることを確認する。 |
| 14 | <input type="checkbox"/> | <input type="checkbox"/> | V_{CCIO} が異なるデバイスを含む JTAG チェインでは、 V_{CCIO} レベルが高いデバイスが、 V_{CCIO} レベルが同じかそれ以下のデバイスをドライブするようにする。 |

8 ページの「JTAG 信号のバッファリング」

- | | Done | N/A | |
|----|--------------------------|--------------------------|--|
| 15 | <input type="checkbox"/> | <input type="checkbox"/> | 信号はコネクタでバッファすることを推奨します。これは、ケーブルやボードのコネクタは適切な伝送ラインではなく、信号にノイズを発生させる傾向があるためです。 |
| 16 | <input type="checkbox"/> | <input type="checkbox"/> | コネクタでの最初のバッファ以外に、デバイス・チェーンが延長されたり、信号がボード・コネクタを通過する必要がある場合は必ずバッファを追加する。 |

8 ページの「デバイス出力イネーブル・ピン」

- | | Done | N/A | |
|----|--------------------------|--------------------------|--|
| 17 | <input type="checkbox"/> | <input type="checkbox"/> | デザインのすべての出力ピンの出力イネーブルを制御するために、チップ・ワイドの出力イネーブル $\overline{\text{DEV_OE}}$ ピンをイネーブルにする。 $\overline{\text{DEV_OE}}$ がアサートされると、すべての出力が正常に動作します。ピンがディアサートされると、すべての出力はトライ・ステートになります。 |

9 ページの「チップ・ワイド・リセット」

- | | Done | N/A | |
|----|--------------------------|--------------------------|---|
| 18 | <input type="checkbox"/> | <input type="checkbox"/> | チップ・ワイドのリセット ($\overline{\text{DEV_CLRn}}$) ピンをイネーブルにして、デバイス内のすべてのレジスタをリセットする。このピンは MAX II デバイスの他のすべてのコントロール信号よりも優先されます。 |

10 ページの「レジスタのパワーアップ・レベル」

- | | Done | N/A | |
|----|--------------------------|--------------------------|---|
| 19 | <input type="checkbox"/> | <input type="checkbox"/> | デザインに応じて、パワーアップ時に一定期間またはシステムが適切に初期化されるまで、Quartus II ソフトウェアで出力が High にドライブされるように設定します。 |

11 ページの「ラッチ・アップの防止」

- | | Done | N/A | |
|----|--------------------------|--------------------------|--|
| 20 | <input type="checkbox"/> | <input type="checkbox"/> | システム上可能なときは、まずデバイスにグラウンドを印加し、次に V_{CCINT} および V_{CCIO} 、最後に入力を印加して、パワーアップ時にラッチ・アップが発生する可能性を最小に抑える。 |
| 21 | <input type="checkbox"/> | <input type="checkbox"/> | パワーダウンの場合は逆の順序で行う。つまり、最初に入力を取り除き、次に V_{CCINT} および V_{CCIO} 、最後にグラウンドを取り除く。 |

デザイン・ チェックリスト

このチェックリストは、本資料で説明したガイドラインの要約を提供します。このチェックリストを使用して、デザインの各ステージでガイドラインに従っていることを確認してください。

プロジェクト名:
日付:

12 ページの「デザイン・エントリ」

	Done (確認済)	N/A (該当なし)	
1	<input type="checkbox"/>	<input type="checkbox"/>	デザインの複雑さに基づいて、デザイン・エントリの手法を回路図または HDL 間のトレードオフを検討。
2	<input type="checkbox"/>	<input type="checkbox"/>	Quartus II ソフトウェア以外に、サードパーティ EDA ツール、SOPC Builder、DSP Builder、または IP コアによるデザインの構築を検討。

12 ページの「HDL コーディング・スタイル」

	Done	N/A	
3	<input type="checkbox"/>	<input type="checkbox"/>	デザイン・エントリに HDL を使用する場合は、推奨コーディング・スタイルを使用。
4	<input type="checkbox"/>	<input type="checkbox"/>	サードパーティ合成ツールを使用してデザインを合成する場合は、Quartus II Fitter 用の合成ツールで生成されるネットリストを使用して、配置配線手順を実施。

13 ページの「グローバル・クロック」

	Done	N/A	
5	<input type="checkbox"/>	<input type="checkbox"/>	デザインのクロックに注意する。クロック・ピン、グローバル・クロック・ネットワーク、クロック・コントロール・ブロック、および PLL をクロック信号に使用。
6	<input type="checkbox"/>	<input type="checkbox"/>	クロック信号の遅延が一定かつ予測可能になるように、クロック・ピンにデザインのクロック・ソースを割り当てる。

13 ページの「レジスタ入力」

	Done	N/A	
7	<input type="checkbox"/>	<input type="checkbox"/>	誤った信号がデザインに伝播されて、システムの機能が影響を受けるのを防止するために、入力信号がデザインに入る前にレジスタを通過するようにする。
8	<input type="checkbox"/>	<input type="checkbox"/>	MAX II デバイスの内部オシレータまたは外部クロック信号をレジスタのクロック・ソースとして使用する。

14 ページの「同期デザイン」

Done N/A

- 9 1つのクロック・ソースを使用してデザインのレジスタをクロックする。
- 10 デザインの他の部分に出力を供給する組み合わせロジックの場合、例えばクロック信号や非同期リセット信号として、レジスタを経由して信号を供給する。
- 11 レジスタがグリッチや他のロジックからの不安定な入力信号を分離できるよう、レジスタのセットアップ時間およびホールド時間に違反しないようにする。

15 ページの「シュミット・トリガ入力」

Done N/A

- 12 ノイズの多い入力信号には、シュミット・トリガ入力を使用する。

15 ページの「デザインのシミュレーション」

Done N/A

- 13 Quartus II ソフトウェアで、機能シミュレーションまたはタイミング・シミュレーションによってデザインをシミュレートできるように、適切な入力ベクタを割り当てる。

16 ページの「タイミング違反」

Done N/A

- 14 Quartus II Timing Analyzer を使用して、タイミング違反をチェックする。

16 ページの「出力ピンの電流強度とスルー・レート」

Done N/A

- 15 信号ノイズの低減またはピンからの階段状出力を防止、および信号のオーバーシュートまたはアンダーシュートを防止するために、出力ピンまたは双方向ピン上で正しいドライブ強度およびスルー・レートを使用。

16 ページの「ピン・アサインメント」

- | | Done | N/A | |
|----|--------------------------|--------------------------|---|
| 16 | <input type="checkbox"/> | <input type="checkbox"/> | すべてのピン・アサインメントが、特に入力ピンに正しく割り当てられていることを確認する。 |
| 17 | <input type="checkbox"/> | <input type="checkbox"/> | Quartus II ソフトウェアで未使用ピンを、未指定信号をドライブする出力ピン、グラウンドをドライブする出力ピン、あるいはトライ・ステート入力ピン（ウィーク・プルアップまたはバス・ホールド付きまたはなし）のいずれかに設定する。 |

17 ページの「Quartus II Design Assistant」

- | | Done | N/A | |
|----|--------------------------|--------------------------|--|
| 18 | <input type="checkbox"/> | <input type="checkbox"/> | Quartus II Design Assistant を使用して、デザインの信頼性をチェックする。 |



101 Innovation Drive
San Jose, CA 95134
www.altera.com
Literature Services:
literature@altera.com

Copyright © 2007 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

