



この翻訳版ドキュメントのメンテナンスは終了しております。

この文書には、古いコンテンツや商標が含まれている場合があります。

最新情報につきましては、次のリンクから英語版の最新資料をご確認ください。

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

Please take note that this document is no longer being maintained. It may contain legacy content and trademarks which may be outdated.

Please refer to English version for latest update at

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

## はじめに

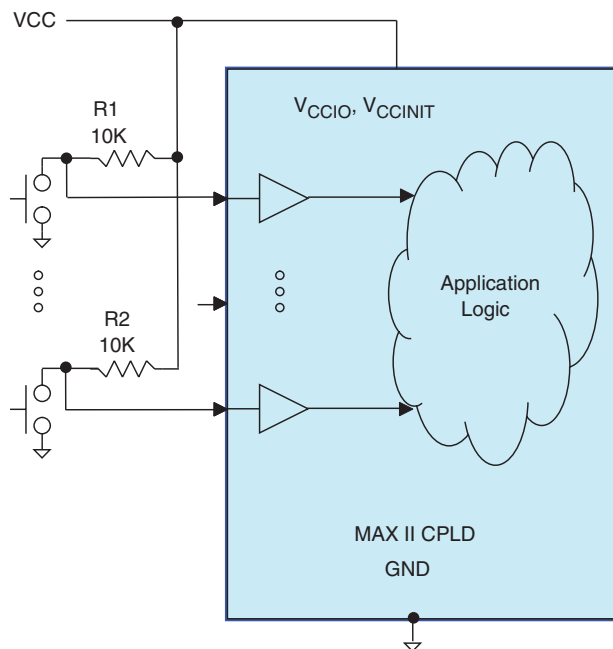
キーボード・エンコーダは、ごく一般的な CPLD のアプリケーションです。通常、プロセッサ、ASSP、あるいは ASIC には、キーパッドやキーボードに対応できるだけの十分な数のピンがありません。I/O 拡張は CPLD のごく一般的な機能であり、これによりプロセッサはごく少数の I/O で非常に大きなキーボードをデコードすることができます。MAX® や MAX II などの CPLD は、多数の低コスト I/O を持っているとしても、キーパッドやキーボードをスイッチごとに 1 本の I/O でデコードする方法は望ましくありません。キーボードをより少ない配線でデコードする利点は、キーパッドから主回路基板に入る配線の本数が減ること、あるいはキーボード・アセンブリでのスイッチ・マトリックスの複雑さが軽減されることです。このアプリケーション・ノートでは、MAX II デバイスのリソースを活用して、わずか 2 本の I/O ピンと 1 本の GND ピンで、キーパッドまたはキーボードの多数のスイッチをデコードする方法を説明します。使用したデコーディング方式では、わずか 4 個のスイッチから多くは 48 個のスイッチで動作します。

## キーボード・デコード方法

CPLD でスイッチをエンコードする最も一般的な方法は、簡単な回路を使用して、スイッチの一端を GND に接続し、もう一つの端子を通常 10 kΩ のプルアップ抵抗を通して VCC に接続することです。switch および resistor ノードは任意の CPLD 入力ピンに接続されます。プッシュボタン式、ノーマルオープン単極単投 (SPST) スイッチの場合、CPLD 入力には通常は 1 で、スイッチが押されると 0 になります。

図 1 に、スイッチごとに 1 個の CPLD I/O を使用したシンプルな接続回路を示します。MAX II デバイスで利用可能なシュミット・トリガ入力バッファを使用し、この回路を強化できます。シュミット・トリガ入力はスイッチング・ノイズを低減し、スイッチのデバウンスを容易にします。パワーアップおよびパワーダウン・メカニズムをスイッチ・デコード回路に統合する方法については、「AN 422: MAX II CPLD を使用したポータブル・システムにおける消費電力の管理」を参照してください。

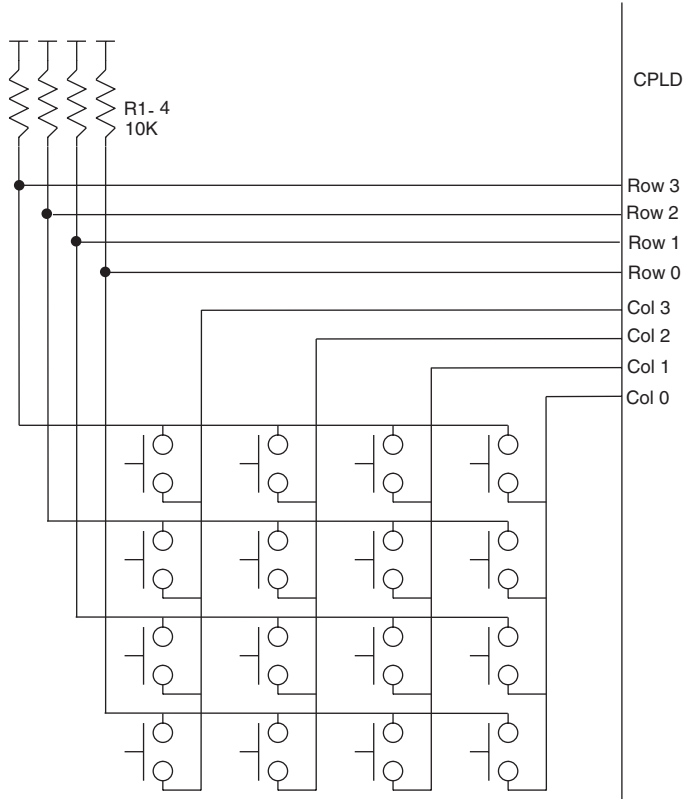
図 1. スイッチ回路あたり 1 個の CPLD I/O を使用したシンプルな回路



大きいスイッチ・キーボードのデコードに必要な CPLD ピン数を減らすための最も一般的な方法は、スイッチをロウ / カラム・マトリックスで接続することです。この手法では、 $M \times N$  スイッチの配列が  $M + N$  本の CPLD ピンだけでデコードされます。一例として、 $4 \times 4$  の配列になった 16 スイッチのカリキュレータ・キーパッドでは、8 本のピンしか必要としません。この場合、1 個のスイッチにつき 1 本のピンを使用する単純な手法と比較して、必要なピン数は半分になります。

図 2 は、ロウとカラムに配置されたスイッチ・アレイをデコーディングする標準的な接続を示します。各スイッチは対応するロウとカラムに接続されます。ロウには 10 K $\Omega$  のプルアップ抵抗も接続されています。MAX II デバイスのプログラムブル・ロジックに簡単な回路が追加されます。

図 2. ロウとカラムを使用してキーボードをデコードする一般的な回路



キーボードがアイドル状態のときは、CPLD によってカラム・ピンが Low にドライブされます。ロウ・ピンは入力で、スイッチが押されるのを待っています。スイッチが押されていずれかのロウ信号が Low になると、CPLD のロジックがスイッチ・アレイのスキャンを開始して、押されたスイッチ（1 個または複数）を特定します。

CPLD ロジック回路はすべてのカラムをハイ・インピーダンス状態にドライブし、次に一度に 1 つずつ各カラムを Low にドライブします。各カラムが Low になると、対応するロウ入力ピンは、チェック中のカラムのスイッチが押されたかどうか

かを示します。各カラムの結果は4ビット・レジスタにロードされます。4つのカラムがすべてスキャンされると、16ビット・レジスタにすべてのスイッチのロジック値が保持されます。この方法では、単一スイッチと複数のスイッチの組み合わせを検出できます。レジスタがすべてゼロになると、スキャン・ロジックがアイドル状態に戻り、カラムを Low にドライブして電力を節約します。

一般的なスイッチの最小オン・パルスは  $>3\text{ ms}$  です。スイッチを押して離すときの人間の反応時間は、通常約  $30\text{ ms}$  です。CPLD は、 $10\text{ }\mu\text{s}$  以下で容易にスイッチ・アレイをスキャンできます。したがって、ユーザがスイッチを離す前に、CPLD が問題なくスイッチをデコードします。



パワーアップおよびパワーダウン・メカニズムをスイッチ・デコード回路に統合する方法については、「AN 422: MAX II CPLD を使用したポータブル・システムにおける消費電力の管理」を参照してください。

## 新しい2線式 キーパッド・ ディサイダ

スイッチごとに1本のピンを使用する方式、およびロウ / カラム・スイッチ・アレイ方式は有効ではありますが、すべてのアプリケーションに最適なわけではありません。欠点もいくつかあります。スイッチごとに1本のピンを使用する方式には、以下の欠点があります。

- 大きなキーボードには多数の CPLD I/O ピンが必要
- スwitchをCPLDに接続するために多数のパラレルPCB配線パターンが必要
- シート・スイッチとマザーボード間に高価な多ピン・ワイド・コネクタが必要
- スwitchごとに個別の抵抗が必要

ロウ / カラム・スイッチ・アレイ方式では、必要な CPLD ピン数を大幅に減らすことができ、またシート・スイッチをマザーボードに接続するのに必要なワイヤ数も減らすことができます。しかし、以下のような欠点もあります。

- スwitchを接続するロウとカラムの直交配線パターンのために、2層PCBのブレイクアウトが必要
- より高価な2層シート・スイッチが必要
- 小さなキーボードのスイッチ・アレイの場合は、CPLD I/O ピン数の削減が少ない

アナログ - デジタル・コンバータを使用して、スイッチ・アレイをデコードすることができます。一連の抵抗が VCC と GND の間に直列に接続され、スイッチが各抵抗タップと共通のノードに接続されているとき、スイッチがアクティブになると、回路は抵抗スタック内のスイッチ・ロケーションに比例する電圧を生成します。アナログ - デジタル・コンバータの出力を使用して、押されたスイッチをデコードすることができます。この種のデコードに対応する回路を図3に示します。

図3. アナログ - デジタル・コンバータによるスイッチ・アレイのデコーディング

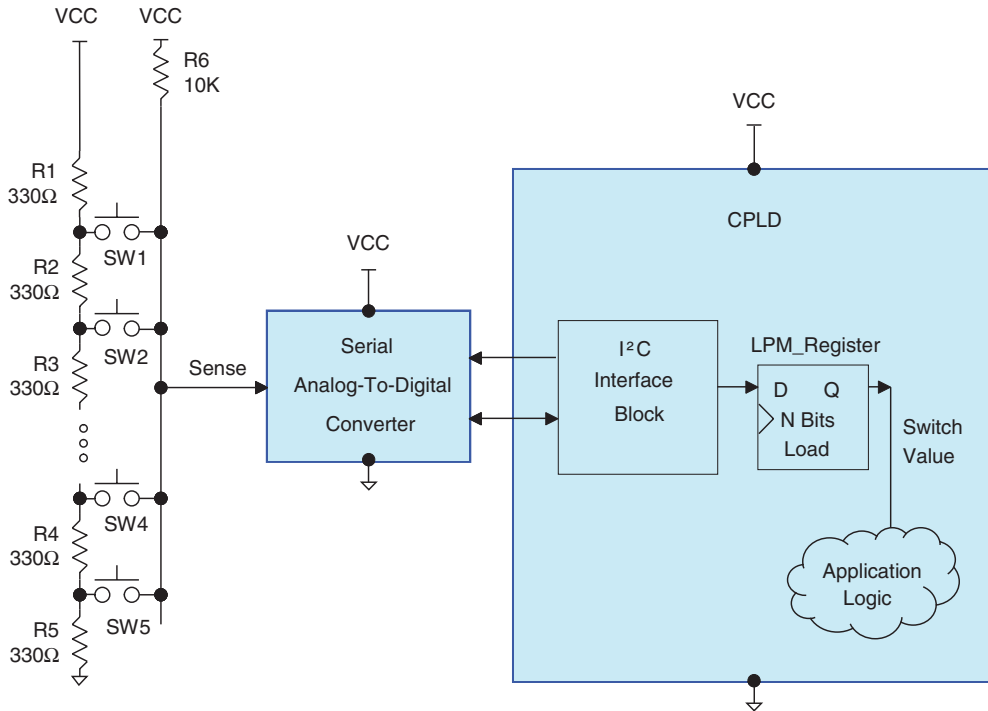
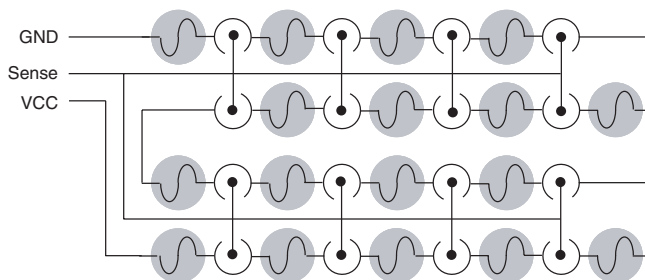


図3では、VCCとGNDの間に抵抗スタックが接続されています。スイッチを閉じると、関連する抵抗タップがシリアル・アナログ - デジタル・コンバータに接続されます。スイッチ・アレイから検知した電圧を読み取るように、CPLDをプログラムすることができます。CPLDは正しいコマンドとプロトコルで、アナログ - デジタル・コンバータをドライブし、データをキャプチャしてパラレル・レジスタに置きます。この方式では、スイッチ・アレイが非常にシンプルになり、VCC、GND、Senseの3本の配線しか必要ありません。

図4に示すように、直列抵抗を単層シート・スイッチに統合するのは非常に簡単です。シート・スイッチの配線パターンをPCB抵抗にするには、いろいろな方法があります。配線パターンの幅を非常に狭くする、より抵抗性が高い導体を抵抗セグメントに使用する、配線パターンが薄くなるようにエッチングして抵抗を増やす、などが可能です。

図 4. アナログ・デコード用シート・スイッチの PCB レイアウト



この方式ではシート・スイッチまたは PCB スイッチのレイアウトを簡素化して低コスト化を図りますが、アナログ-デジタル・コンバータにかかる追加コストを容認できない場合があります。アナログ-デジタル・コンバータをなくし、MAX II デバイスのリソースを使用してアナログ・スイッチをデコードすることが可能です。

## MAX II デバイスを使用した 2 線式キーパッド・デコード

MAX II デバイスは、内部発振器、シュミット・トリガ I/O、および高集積の演算プログラマブル・ロジック・ファブリックを使用して、アナログ-デジタル・コンバータを置き換えて、アナログ・スイッチ・アレイをデコードします。この機能を実現するには、MAX II デバイスは簡単な低コストの外付けコンデンサしか必要ありません。セルフ・キャリブレーション回路を備えているため、高品質のコンデンサは必要ありません。この回路は、アナログ-デジタル・コンバータによるデコードと同じ一連の抵抗構造を使用します。

図 5 に、一連の抵抗 R1-R5 を示します。抵抗 R2-R5 はそれぞれ  $33\ \Omega$  です。R3 と R4 の間には抵抗が多く存在する場合があります。抵抗 R1 は  $33\ \Omega$  の倍数です。R1 はスイッチをサンプリングする時の最小抵抗です。R5 はグラウンドに接続されています。

抵抗 R1 は MAX II デバイスの PreCharge ノードに接続されています。PreCharge はコンデンサ C1 にも接続されています。コンデンサ C1 のもう一方の端子はグラウンドに接続されています。抵抗スタック R1-R5 の各ノードは、共通のノード Sense に接続されているノーマル・オープン・スイッチに接続されます。Sense は、プルアップ抵抗 R1 を通じて VCC に接続され、MAX II デバイスに接続されています。

R2-R5の値は、全抵抗  $R2 + R3 + \dots + R4 + R5$  がスイッチ1を通して Sense に短絡されるように設定されます。計算式1に示すように、Sense 電圧が MAX II デバイスの Sense 入力の入力 Low スレッシュホールドを下回るようにトータルの抵抗値は十分低い値でなければなりません。

$$(1) \quad V_{\text{Sense}} = \frac{(R2 + R3 + \dots + R4 + R5)}{(R2 + R3 + \dots + R4 + R5 + R6)} < V_{\text{IL}}$$

計算式2に示すように、最小抵抗 R1 は、MAX II PreCharge 出力をドライブできるように十分大きな値でなければなりません。

$$(2) \quad \frac{(VCC - V_{\text{OH}})}{R1} < I_{\text{OH}}$$

さらに、計算式3に示すように、スイッチ1が短絡したとき Sense ドライブは十分強くなければなりません。

$$(3) \quad \frac{(VCC - V_{\text{OL}})}{R1} < I_{\text{OL}}$$

計算式4に示すように、抵抗スタック R1-R5 とコンデンサ C1 は、Sense がトライ・ステートでいずれのスイッチも押されてないときに、RC 時定数を形成します。

$$(4) \quad \tau = (R1 + R2 + R3 + \dots + R4 + R5) \times C1$$

スイッチが押されて Sense が Low のときには、RC 時定数が変化します。スイッチ SW2 が押された場合は、計算式5に示すように、RC 時定数が速くなります。

$$(5) \quad \tau = (R1 + R2) \times C1$$

スイッチ SW4 が押された場合、RC 時定数は (計算式6) になります。

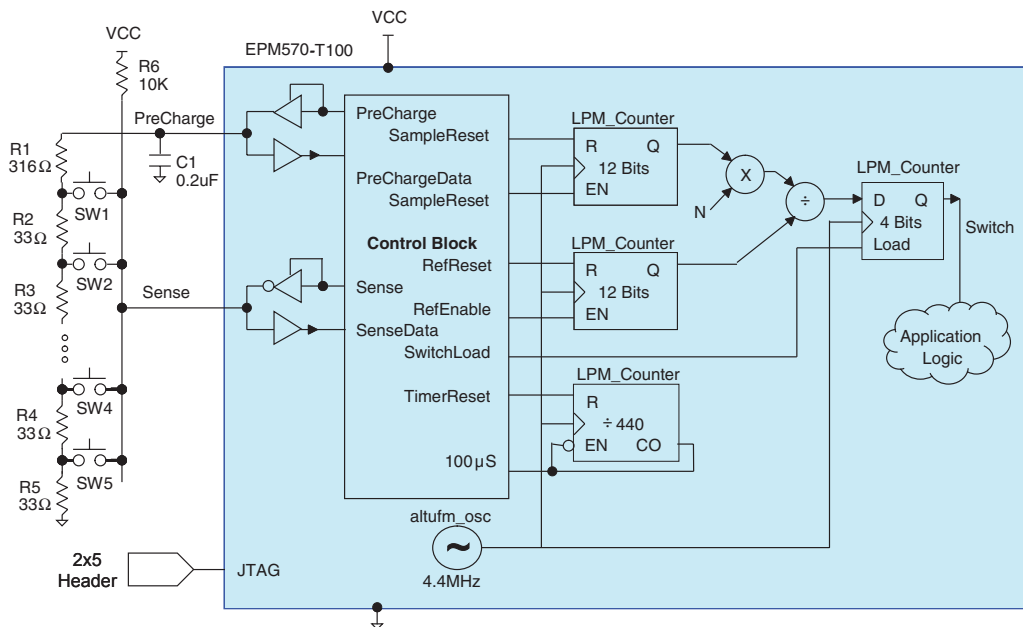
$$(6) \quad \tau = (R2 + R3 + \dots + R4 + R5) \times C1$$

時定数に基づいて押されたスイッチを特定するには、MAX II デバイスの内蔵オシレータを使用します。MAX II 内蔵オシレータは、精度は 25% 程度ですが、安定しているため RC 時定数の測定は2つの部分に分けて行う必要があります。



まず、リファレンスを測定します。これは PreCharge に High パルスが印加され、Sense 信号がトライ・ステートのときの RC 時定数です。次に、Sense が Low に保持され、PreCharge に High パルスが印加されるときにサンプルを測定します。2つの時定数の差、および PreCharge と GND の間の抵抗ユニット値の数に基づいて、押されたスイッチを正しくデコードすることができます。

図 5. MAX II デバイスを使用した 2 線式キーボード・デコード



MAX II デバイスの回路はコントロール・ブロックで構成されています。3個のカウンタがあります。12ビット・カウンタは、*reference*  $\tau$  とスイッチ  $\tau$  を測定するのに使用されます。また、100  $\mu$ S タイマはデバウンスに使用されます。MAX II デバイスの演算能力を使用して、Sample カウントを  $N$  倍します。ここで、 $N$  は、抵抗スタック R1-R5 の合計抵抗ユニット数  $R5$  です。R1 は通常、 $R5$  の倍数になります。次に、 $(\langle \text{Sample} \rangle \tau) * N$  が  $(\langle \text{reference} \rangle \tau)$  で割ります。押されたスイッチに応じた結果のバイナリ値は、保持レジスタに格納されます。

スイッチの値を特定するための計算式は、(計算式 7) です。

$$(7) \quad \text{Switch} = \frac{\text{Sample} \times N}{\text{Reference}}$$

- *Sample* = Sense ピンが Low にドライブされるときにの放電時間を測定するカウンタのカウンタ値
- *reference* = Sense ピンがトラ・ステートのときの放電時間を測定するカウンタのカウンタ値
- *N* = (抵抗ユニット数) 全抵抗スタック R1-R5 における R5

このキャパシタ値を使用して標準放電時間を調整します。この時間が長すぎる場合は、Sense カウンタと Reference カウンタを 12 ビット以上増やすことができます。この時間が短すぎる場合は、Sense カウンタと Reference カウンタのビット数を減らすことができます。フル reference スタックの推奨最小カウンタ・サイズは、 $N*4$  または  $\text{Log}_2(N*4)$  ビット (切り上げ) です。

図 6 のフロー・チャートは、ハイ・レベルのスイッチ・デコード・プロセスを示します。いくつかの状態では右側にあるループは、デバイスがループしているか、スイッチ状態の変化を待っているか、あるいはデバウンス・ブロックの場合には、スイッチが遷移後に安定するまで一定クロック・サイクル数の間待機していることを表しています。

図 6. 2 線式スイッチ・デコード・プロセスのフロー・チャート

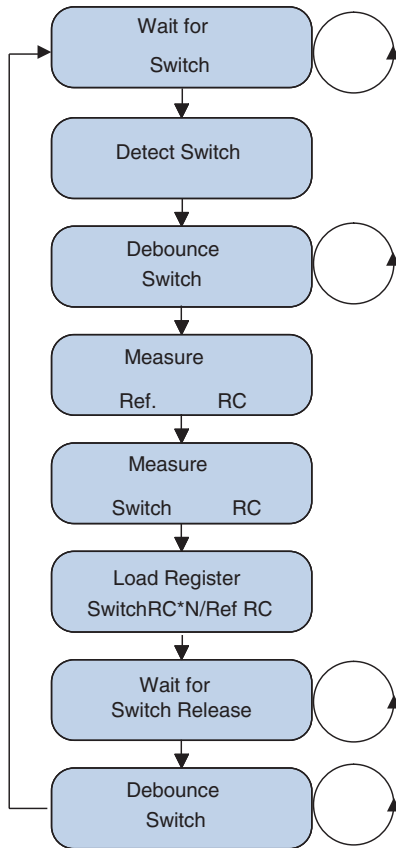


図7のフロー・チャートは、図5のコントロール・ブロックの動作を詳細に示しています。コントロール・ブロックは、スイッチのサンプル測定、リファレンス測定、およびデバウンスのタイミングを制御します。この図ではアクティブな信号出力のみ示しています。ここに示していない信号は、すべてLowまたは非アクティブ状態です。

図7. 2ピン・キーボード・デコード用コントロール・ブロック・ステート・マシン (1)

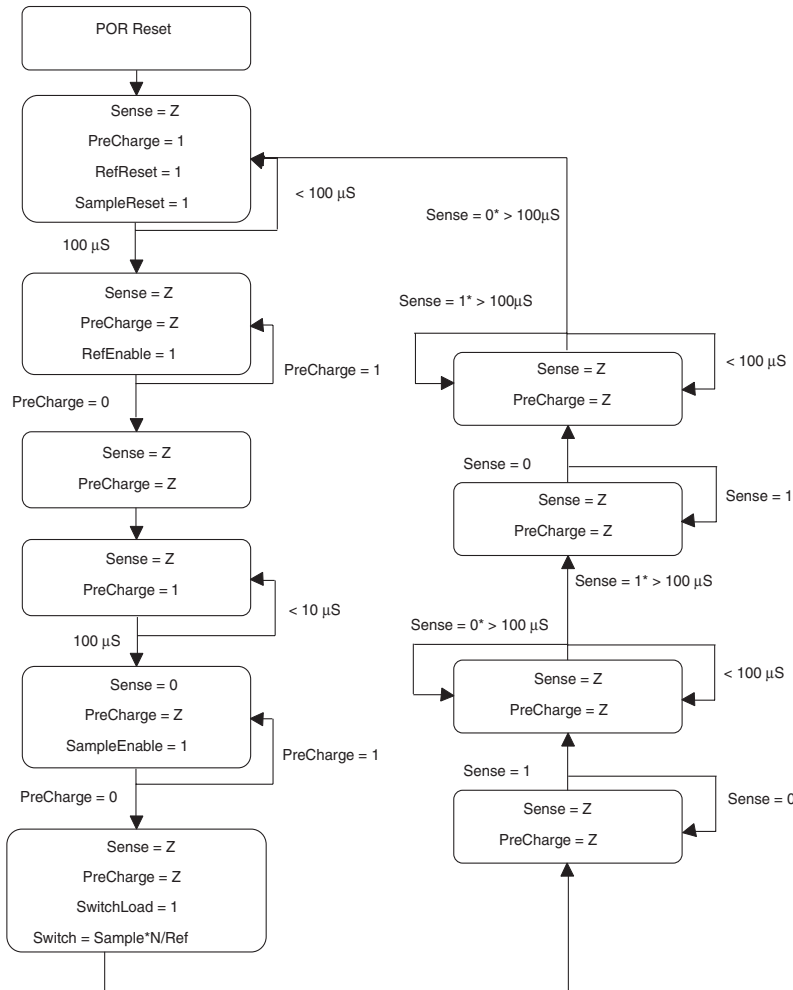


図7の注：

- (1) 出力：PreCharge、Sense、RefReset、RefEnable、SampleReset、SampleEnable、SwitchLoad、TimerReset、Inputs、PreCharge、Sense、100 μS。

R1 が正確に R5 の倍数でない場合は、回路の精度を向上させることができます。R1 は  $N + 0.5 \times R5$  でなければなりません。R1 を正確に R5 の倍数にすると、乗算 - 除算ファンクションからの値は、次に低いスイッチ値から 1 LSB しか離れません。これは除算の剰余が常に 1 または 0 であることを意味します。したがって、Sense カウンタまたは Reference カウンタのカウントが 1 ビットしか離れていない場合、少量のノイズで回路がスイッチを誤って読み取る可能性があります。R1 の値を  $N \times 0.5$  の倍数にすることによって、除算の剰余は一般に  $0.5 \times (\text{Reference}/N)$  となります。したがって、Sense カウンタまたは Reference カウンタに、 $0.5 \times (\text{Reference}/N)$  だけの + または - のカウント差が生じるには、多量のノイズを必要とします。

PreCharge 入力バッファにシュミット・トリガ入力を使用して、回路の精度を改善することも可能です。シュミット・トリガは、比較的低速な PreCharge ノードの放電で生じるノイズに対してより感度が低くなっています。

図 8 は、図 5、6、および 7 のキーボード・デコード回路を、「AN 422: MAX II CPLDS を使用したポータブル・システムにおける消費電力の管理」に記述するパワーアップ検出回路と組み合わせる方法を示しています。この組み合わせ回路には、配線を効率的に利用しながら、複数のスイッチ・パネルと 1 個のダイオードだけですべてのスイッチに対応できるパワーアップ検出機能を実現する利点があります。

図 1 と 2 に示すスイッチ・マトリックス接続では、スイッチごとに 1 個のダイオードまたはロウごとに 1 個のダイオードが必要です。計算式 8 に示すように、新しい回路が動作するための唯一の要件は、R7、D1、SW1、および R2-5 の間にあるスイッチが押されたときに形成され、Q1 のゲートにターンオンさせるための十分低い電圧を供給する分圧回路です。

$$(8) \quad V_{GS} = \left( -1 \times \frac{(V_{CC} - V_F)}{V_{CC}} \right) \times \frac{R7}{(R2 + R3 + \dots + R4 + R5 + R7)} < \sim 0.7V$$

- $V_{GS}$  = Q1 のゲート・ソース間電圧
- $V_F$  = D1 の順方向電圧降下
- $V_{CC}$  = バッテリ供給電圧。一般的には 3.0 V ですが、最小値はバッテリがなくなる直前の 2.2 V です。

デバイスがパワーアップされると、PWRDWN ノードが Low になり、これが逆バイアスされたダイオード D1 を通して Sense ノードに接続されるため、スイッチ・デコード処理の動作には影響を与えません。また、スイッチ・デコード・プロセスは、最も遅いオシレータ周波数プロセス電圧温度 (PVT) のときでも 1 ms 以内に完了します。したがって、パワーアップ時間とスイッチ・デコードは、3 ms の最小スイッチ・オン時間内に容易に完了します。

図 8. パワーアップおよびパワーダウン・コントロール付き2線式キーボード・デコード

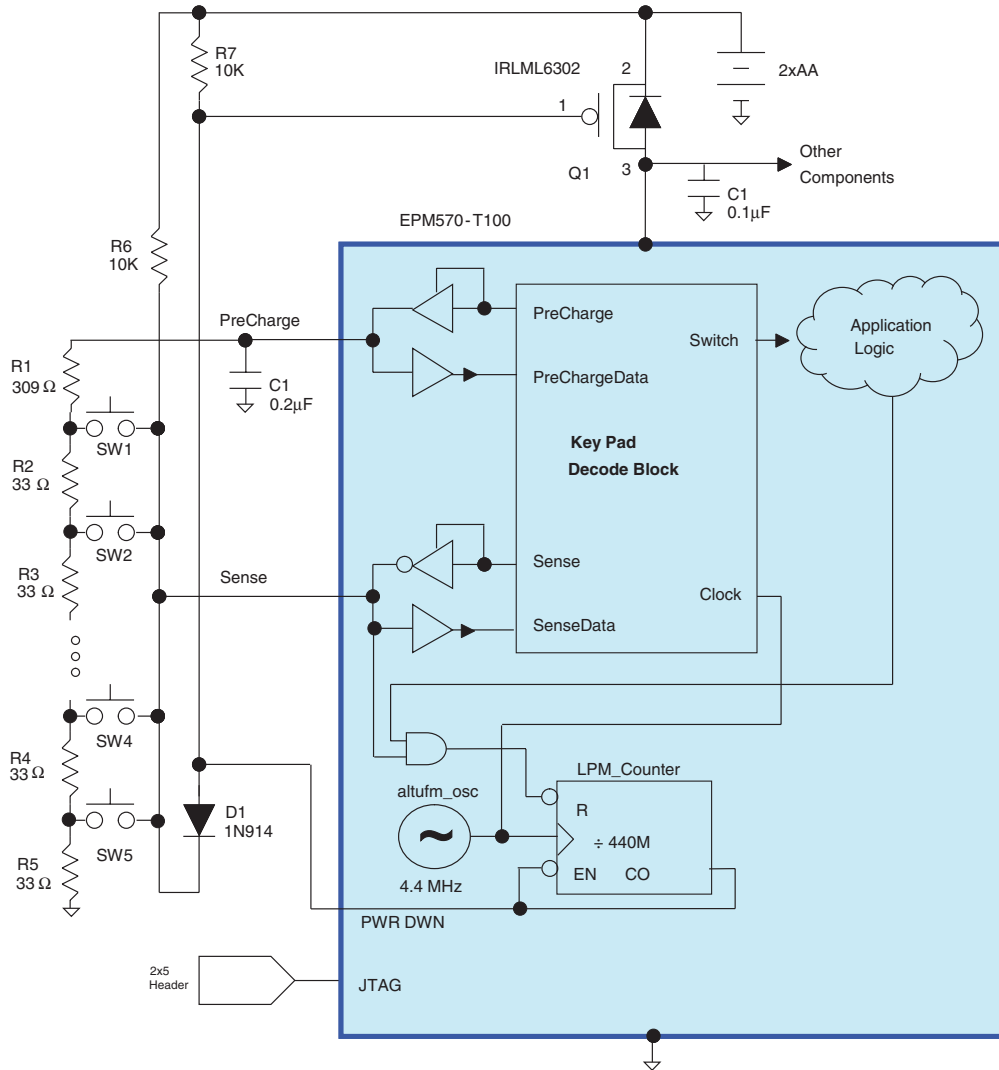
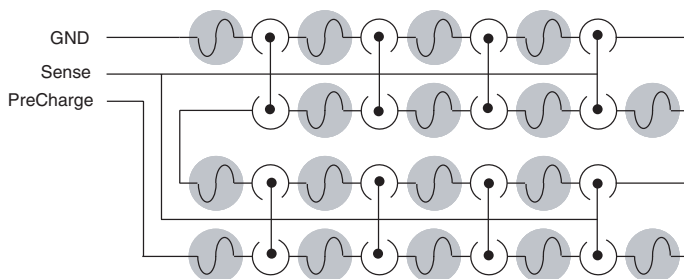


図 9 は、デコーディングに必要な直列抵抗回路をシート・スイッチを使用してコスト効率良く実現する方法を示しています。図はシート・スイッチ下の配線パターンのレイアウトを示したものです。中央にドットがある一部欠けた円は基本スイッチ構造です。陰影部分の配線パターンは、直列抵抗として働く高抵抗配線パターンです。この高抵抗は異なる材料を使用し、さらに接続配線パターンまたは最小ライン幅を使用して実現されます。

図 9. 集積化抵抗付き 2 線式キーボード・メンブレン



## 利点

MAX II デバイスを使用する重要な利点は、スイッチのデコードが必要なときに多くの選択肢があることです。アプリケーションによっては、ピンごとのスイッチが最良の選択肢であり、また 2 ピン・アナログ・デコード方式が最もコスト効果が高いアプリケーションもあります。MAX II デバイスの内蔵オシレータは、外付けオシレータなしでスイッチをデバウンスし、複雑なデコード動作を可能にする非常にコスト効果の高い方法です。スイッチ信号は非常に低速でノイズが多いため、MAX II デバイスのシュミット・トリガ機能は、どの方法を使用する場合でも、スイッチをデコードする上で非常に重要です。シュミット・トリガはデバウンスを容易にし、アナログ・スイッチのデコードをより正確なものにします。MAX II の集積度と演算ファブリックによって、アナログ・スイッチのデバウンスに必要な複雑な計算が容易かつ面積効率の高いものになります。アナログ・デコード方式は、従来の CPLD ロジック・ファブリックでは実現できません。

## まとめ

MAX II CPLD はスイッチのデコードに最良の選択です。すべてのスイッチ・デコード・モードでパワーダウン技術が可能ですが、MAX II デバイスはバッテリー電源のポータブル・アプリケーションにも最良の選択です。



101 Innovation Drive  
San Jose, CA 95134  
(408) 544-7000  
[www.altera.com](http://www.altera.com)  
Applications Hotline:  
(800) 800-EPLD  
Literature Services:  
[lit\\_req@altera.com](mailto:lit_req@altera.com)

Copyright © 2004 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



Printed on recycled paper



I.S. EN ISO 9001