

## はじめに

Avalon® ビデオ入力モジュールは、Altera® Cyclone® または Stratix® デバイスに実装することができる、柔軟性に富んだビデオ・キャプチャ・ソリューションを提供します。このモジュールの特徴を以下に示します。

- VGA カメラ・モジュールに対するコンポーネント・ビデオ・インタフェース
- カラーバー・テストパターン・ジェネレータ
- 入力画像のクリッピング
- 入力画像の水平方向 (Y) スケーリング
- 入力画像の垂直方向 (X) スケーリング
- フレーム・バッファ・メモリに画像を書き込むための Avalon ディレクト・メモリ・アクセス (DMA) マスタ
- 制御およびステータス表示用の Avalon レジスタ・スレーブ

## 機能の説明

図 1 に、Avalon ビデオ入力モジュールのブロック図を示します。

図 1. ブロック図

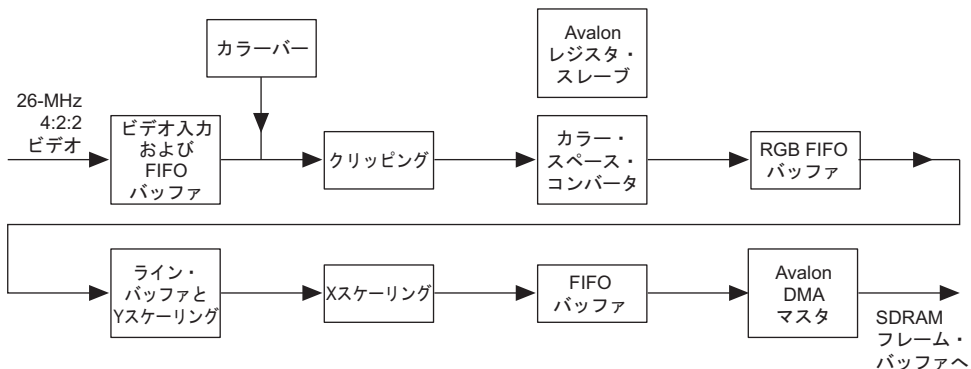


図 2 に、信号を示します。

図 2. 信号

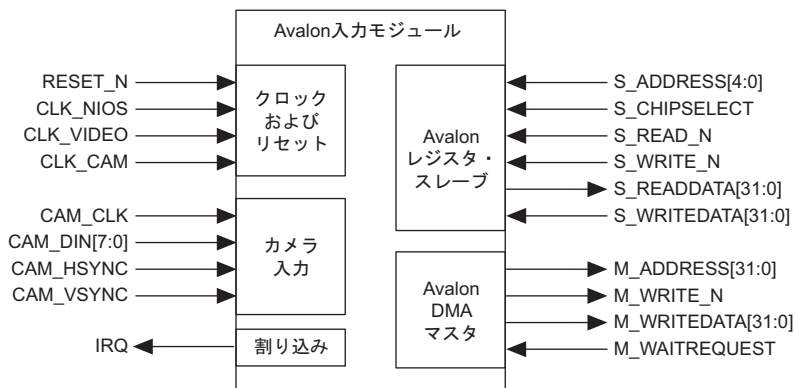


表 1 に、信号を示します。

表 1. 信号 (1/2)		
信号	入力／出力	説明
<b>クロックおよびリセット</b>		
RESET_N	入力	アクティブ Low の非同期リセット
CLK_NIOS	入力	Nios® II および Avalon のクロック
CLK_VIDEO	入力	ビデオ・クロック
CLK_CAM	入力	ピクセル・クロック
<b>カメラ入力</b>		
CAM_CLK	入力	カメラからのクロック入力
CAM_DIN[7:0]	入力	カメラからのデータ入力
CAM_HSYNC	入力	カメラからの水平同期信号
CAM_VSYNC	入力	カメラからの垂直同期信号
<b>割り込み</b>		
IRQ	出力	割り込み要求
<b>Avalon レジスタ・スレーブ</b>		
S_ADDRESS[4:0]	入力	レジスタ・アドレス
S_CHIPSELECT	入力	デバイス選択モジュール入力
S_READ_N	入力	Avalon 読み出しイネーブル

表1. 信号 (2/2)		
信号	入力/ 出力	説明
S_WRITE_N	入力	Avalon 書き込みイネーブル
S_READDATA[31:0]	出力	Avalon 読み出しデータ
S_WRITEDATA[31:0]	入力	Avalon 書き込みデータ
<b>Avalon DMA マスタ</b>		
M_ADDRESS[31:0]	出力	フレーム・バッファに転送する Avalon アドレス
M_WRITE_N	出力	Avalon 書き込みイネーブル
M_WRITEDATA[31:0]	出力	フレーム・バッファへの Avalon 書き込みデータ
M_WAITREQUESTS	入力	Avalon 待機要求

## クロック

Avalon ビデオ入力モジュールには、以下のクロックが必要です。

- カメラ・クロック
- ピクセル・クロック
- ビデオ・クロック
- Nios II および Avalon のクロック

### カメラ・クロック (CAM\_CLK)

グローバル・クロック・ピンは、カメラ・モジュールからのクロック入力として使用します。カメラからのデータは、このクロックの立ち上がりエッジで FIFO バッファに取り込まれます。FIFO バッファは、カメラ・クロックとピクセル・レート・クロック間の位相や周波数の変動に対応しています。

### ピクセル・クロック (CLK\_CAM)

ピクセル・クロックは、カメラ・クロックと同じ（または、非常に近い）周波数とし、カメラ入力 FIFO バッファの読み出し側、クリッピング・ブロック、カラー・スペース・コンバータ (CSC)、RGB 入力 FIFO バッファの書き込みポートに供給します。FIFO バッファと独立したクロックにより、カメラ・クロックとピクセル・クロック間の若干の周波数差が許容されます。

### ビデオ・クロック (CLK\_VIDEO)

水平および垂直スケーリング・ブロックはビデオ・クロックによって駆動されます。このビデオ・クロックは通常、Nios II クロックに接続できます（ビデオのクロッキング要求については、9 ページの「クロッキング要求」を参照してください）。

### Nios II および Avalon クロック (CLK\_NIOS)

Avalon DMA マスタおよびレジスタ・スレーブは、Nios II プロセッサおよび Avalon Memory-Mapped インタフェースと同じクロックで駆動する必要があります。

### コンポーネント・ビデオ入力

このブロックには、Dialog Semiconductor 社の VGA カメラ（部品番号：DA3530-30XF1）の出力に基づく、26 MHz のプログレッシブ・スキャン（非インターレース）4:2:2 コンポーネント・ビデオ（Cb、Y、Cr、Y、）を入力します。図3に、このインタフェースのタイミング要求を示します。

図3. コンポーネント・ビデオ・インタフェースのタイミング

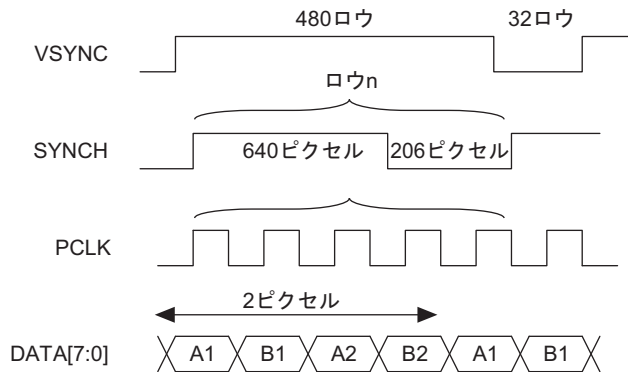


表 2 に、このインタフェースのタイミング要求を示します。

表 2. コンポーネント・ビデオ・インタフェースのデータ				
データ・ピン	YCbCr			
	A1	B1	A2	B2
data[7]	Cb[7]	Y1[7]	Cr[7]	Y2[7]
data[6]	Cb[6]	Y1[6]	Cr[6]	Y2[6]
data[5]	Cb[5]	Y1[5]	Cr[5]	Y2[5]
data[4]	Cb[4]	Y1[4]	Cr[4]	Y2[4]
data[3]	Cb[3]	Y1[3]	Cr[3]	Y2[3]
data[2]	Cb[2]	Y1[2]	Cr[2]	Y2[2]
data[1]	Cb[1]	Y1[1]	Cr[1]	Y2[1]
data[0]	Cb[0]	Y1[0]	Cr[0]	Y2[0]

Cb および Cr の入力サンプルは、出力サンプルを供給するために補間されるのではなく複製されるため、Y、Cb、Cr のサンプルは有効データ・レート 13 MHz で並列に取得できます。

## カラーバー・ジェネレータ

カラーバー・ジェネレータは、ビデオ入力モジュールを使用したシステム・デバッグを容易にするために、非常に単純な垂直カラーバー・パターンを生成します。カラーバー・ジェネレータは、ライン上に並ぶ各ピクセルのアドレス・ビット [10:7] をデコードし、以下に示す Verilog HDL コードに基づいてピクセルの色を設定します。

```

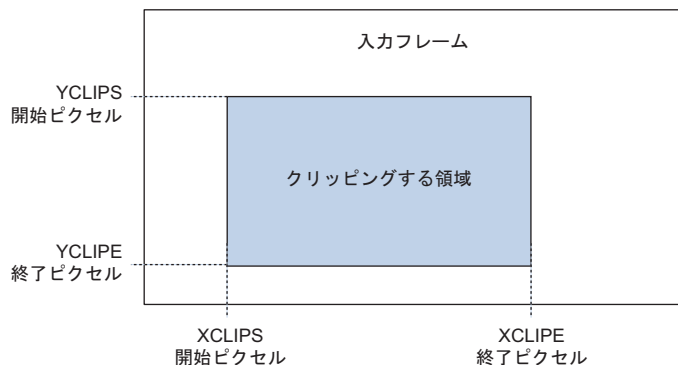
case (pixel[10:7])
  4'h0:color = white;
  4'h1:color = yellow;
  4'h2:color = cyan;
  4'h3:color = green;
  4'h4:color = magenta;
  4'h5:color = red;
  4'h6:color = blue;
  4'h7:color = black;
  4'h8:color = white;
  4'h9:color = yellow;
default:color = cyan;
endcase

```

## クリッピング

クリッピングは、ビデオ入力モジュール内の他のブロックでさらに処理するために、入力フレームの一部を選択する機能です。この機能により、対象部分だけが処理され、フレーム・バッファ・メモリに書き込まれるため、メモリ帯域幅を節約できます。クリッピングする領域は、開始ラインと終了ラインを定義するレジスタ（Y クリッピング、YCLIPS および YCLIFE レジスタ）、および開始ピクセルと終了ピクセルを定義するレジスタ（X クリッピング、XCLIPS および XCLIFE レジスタ）の合計 4 つのレジスタによって指定します。図 4 に、ビデオ入力クリッピングを示します。

図 4. ビデオ入力クリッピング



スケーリング係数レジスタだけでなく、水平／垂直方向のライン長／高さレジスタにも、以下の式に従って適切な値をロードする必要があります。

$$\begin{aligned} XLEN &= XCLIFE - XCLIPS \\ YLEN &= YCLIFE - YCLIPS \end{aligned}$$

## カラー・スペース・コンバータ (CSC)

CSC は、Y、Cb、Cr フォーマットのビデオを赤色、緑色、青色 (RGB) コンポーネントに変換します。R、G、B の値はそれぞれ 6 ビットであるため、1 ピクセル (18 ビット) を M4K RAM ブロックの各ワードに 256 × 18 モードで書き込むことができます。

色空間の変換および RGB のガンマ補正には、以下の式を使用します。

$$\begin{aligned}R' &= 1.164(Y - 16) + 1.596(Cr - 128) \\G' &= 1.164(Y - 16) - 0.813(Cr - 128) - 0.392(Cb - 128) \\B' &= 1.164(Y - 16) + 2.017(Cb - 128)\end{aligned}$$

色空間変換中は、ディザリングは適用されません。

## RGB 入力 FIFO バッファ

RGB 入力 FIFO バッファは、コンポーネント・ビデオ・クロック・ドメインから、システム・クロック・ドメインにデータを転換します。

必要な FIFO バッファの深さは、Y スケーリング・ブロックの処理速度およびスケーリング係数の最大値によって変わります。9 ページの「クロッキング要求」を参照してください。

## ライン・バッファと垂直スケーリング

垂直 (Y) スケーリングはライン間を補間することで実現します。2 つの入力ラインは 2 つのライン・バッファに格納します。ライン・バッファには、それぞれ 256 × 18 モードの M4K RAM ブロックを 3 つ使います。ライン・バッファごとに 3 つの乗算器によって補間します (R、G、B の各サンプルあたり 1 つ)。

スケーリング係数は、必要な倍率の逆数として YSCALE レジスタで指定します。YSCALE レジスタでは、4 ビットの整数と 12 ビットの小数部分を指定できます。例えば、2 倍に拡大する場合、スケーリング係数は 0.5 (必要な倍率の逆数) となり、その 2 進表記は 0000.100000000000 です。

各出力ラインを生成するときは、入力ラインに対する現在処理中の出力ラインの概念上の相対位置を、YSCALE の値に基づいて変更します。そして、この出力ラインからの距離に比例した重みを付けて、隣接する 2 つの入力ラインを結合します。図 5 に、1 より大きなスケーリングの場合 (拡大またはライン追加) について、YSCALE = 0.4 つまり 2.5 倍のスケーリング時の出力ラインの生成例を示します。

**図5. スケーリング係数 > 1 の場合の出力ラインの生成**

入力ライン	YSCALE = 0.4の場合の出力ライン
1	1.0 = ライン 1 1.4 = 0.6 x ライン1 + 0.4 x ライン2
2	1.8 = 0.2 x ライン1 + 0.8 x ライン2 2.2 = 0.8 x ライン2 + 0.2 x ライン3
3	2.6 = 0.4 x ライン2 + 0.6 x ライン3 3.0 = ライン3
4	3.4 = 0.6 x ライン3 + 0.4 x ライン4 3.8 = 0.2 x ライン3 + 0.8 x ライン4

図6に、1より小さなスケーリングの場合（縮小またはラインの削除）について、YSCALE = 1.2つまり0.833倍のスケーリング時の出力ラインの生成例を示します。

**図6. スケーリング係数 < 1 の場合の出力ラインの生成**

入力ライン	YSCALE = 1.2の場合の出力ライン
1	1.0 = ライン1
2	2.2 = 0.8 x ライン2 + 0.2 x ライン3
3	3.4 = 0.6 x ライン3 + 0.4 x ライン4
4	

各フレームでフレーム・バッファに書き込まれるラインの数は、クリッピングする領域のライン数およびスケーリング係数によって決まります。その値は、整数演算を使用した以下の式によって求めることができます。

$$\text{ライン数} = ((\text{YCLIP} - \text{YCLIPS}) \times 4096) / \text{YSCALE} + 1$$

例えば、YCLIP = 100、YCLIPS = 50、YSCALE = 0x0666 と設定した場合（2.5倍のスケーリング）、各フレームあたり126本の出力ラインが生成されます。

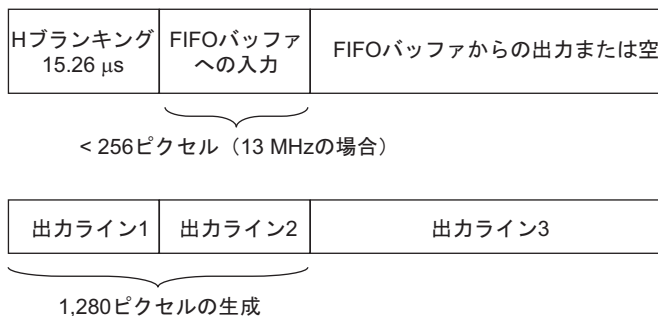


## クロッキング要求

RGB 入力 FIFO バッファには、Y スケーリング・ブロックが 2 つの出力ラインを新たに補間している間に受信される新しい入力サンプルを保持するのに十分な深さが必要です。補間はライン全体が受信されたときに開始されます。つまり、水平方向のブランキング期間に実行されます。スケーリング係数が 3 のワーストケースでは、RGB 入力 FIFO バッファは 2 本の出力ラインを補間している間に受信されるサンプルを格納できなければなりません。3 本目の出力ラインを補間している間に、RGB 入力 FIFO バッファは出力を開始します。ライン・バッファ内のサンプルは、以下の新しい入力ラインのサンプルにより置き換えられるためです。

RGB 入力 FIFO バッファのエントリ数が 256 (M4K が 1 ブロック) の場合、RGB 入力 FIFO バッファは、ピクセル・レート 13 MHz で、19.69  $\mu$ s 後に Full になります。この時間と水平ブランキングの時間 (206 ピクセルまたは 15.26  $\mu$ s) を加えた期間内に、2 本の出力ラインの補間を完了する必要があります。したがって、Y スケーリング・ブロックは 1,280 ピクセルを 34.95  $\mu$ s 未満で処理できなければなりません。このため、Y スケーリングのクロックには 37 MHz を上回る周波数が必要です。図 7 にクロッキング要求を示します。

図7. クロッキング要求



## 水平スケーリング

水平 (X) スケーリングは、Y スケーリングと同様の方法でピクセル間を補間します。X スケーリング・ブロックは余分な格納領域を必要としません。

各ラインでフレーム・バッファに書き込まれるピクセル数は、クリッピングされた領域内の各ラインのピクセル数によって決まります。水平スケーリング係数は、整数演算を使用した以下の式により求めることができます。

$$\text{ライン数} = ((\text{XCLIFE} - \text{XCLIPS}) \times 4096) / \text{XSCALE} + 1$$

例えば、XCLIFE = 100、XCLIPS = 50、XSCALE = 0x0666 と設定した場合 (2.5 倍のスケーリング)、各ラインあたり 126 個の出力ピクセルが生成されます。

### RGB 出力 FIFO バッファ

フレーム・バッファに Avalon バースト転送を実行するために、256 × 18 モードの M4K RAM を 1 ブロック使って、X スケーリング・ブロックからのピクセルを格納します。

### Avalon DMA マスタ

Avalon DMA マスタは、システム・メモリ (通常、SDRAM 系のメモリ) 内のフレーム・バッファへの書き込みに使用する書き込み専用のマスタです。マスタは、バースト転送を実行するために RGB 出力 FIFO バッファから十分なデータが得られるまで待ちます。

メモリ帯域幅を節約するために、ピクセルは 16 ビットのデータとしてメモリに書き込まれます。R、G、B をそれぞれ 5、6、5 ビットで表します。R および G サンプルの最下位ビットは、ディザリングは適用されずに破棄されます。

DMA マスタは、すべてのラインが連続しているリニアなフレーム・バッファを使用することを前提としています。フレーム・バッファの開始アドレスは、メモリ内でワード・アラインメントされていなければなりません。

#### マスタ割り込み

DMA マスタは、メモリへの各ビデオ・フレームの書き込みが完了したときに割り込み要求を生成するように設定できます。

### Avalon レジスタ・スレーブ

Avalon レジスタ・スレーブ・インタフェースは、ビデオ入力モジュールの動作を設定するためにコントロール・レジスタおよびステータス・レジスタへのアクセスを可能とします。

表 3 に、レジスタを示します。レジスタはいずれも 32 ビットで、ワード境界にアラインメントされています。未使用ビットにはゼロを書き込まなければなりません。

表 3. レジスタ			
アドレス (h)	アクセス	ニーモニック	名称
00	W	CR	コントロール・レジスタ
00	R	SR	ステータス・レジスタ
10	RW	CAMXLEN	カメラ・ライン長
20	RW	XCLIPS	水平クリッピング開始ピクセル
24	RW	XCLIFE	水平クリッピング終了ピクセル
28	RW	YCLIPS	垂直クリッピング開始ライン
2C	RW	YCLIFE	垂直クリッピング終了ライン
30	RW	XSCALE	水平 (X) スケーリング係数
34	RW	XLEN	クリッピング・ライン長
38	RW	YSCALE	垂直 (Y) スケーリング係数
3C	RW	YLEN	クリッピング高さ
40	W	MCONTROL	マスタ・コントロール・レジスタ
40	R	MSTAT	マスタ・ステータス・レジスタ
44	RW	MINTEN	マスタ割り込みイネーブル・レジスタ
48	RW	MICR	マスタ割り込みクリア・レジスタ
50	RW	FBSTART	フレーム・バッファ開始アドレス

### コントロール・レジスタ (CR)

表 4 に、コントロール・レジスタのフォーマットを示します。

表 4. コントロール・レジスタのフォーマット		
ビット	ニーモニック	説明
0	CB	0 = コンポーネント・ビデオ・インタフェースからクリッピング・ブロックに入力 1 = カラーバー・ジェネレータからクリッピング・ブロックに入力
31:1	0	-

## ステータス・レジスタ (SR)

表 5 に、ステータス・レジスタのフォーマットを示します。

表 5. ステータス・レジスタのフォーマット		
ビット	ニーモニック	説明
0	CB	コントロール・レジスタ CB ビットの現在の状態を返します。
31:1	0	–

## カメラ・ライン長 (CAMXLEN)

表 6 に、カメラ・ライン長レジスタのフォーマットを示します。

表 6. カメラ・ライン長レジスタのフォーマット		
ビット	ニーモニック	説明
9:0	CAMXLEN	コンポーネント・ビデオ・ソースのライン長をピクセル単位で指定します。
31:10	0	–

## 水平クリッピング開始ライン (XCLIPS)

表 7 に、水平クリッピング開始ライン・レジスタのフォーマットを示します。

表 7. 水平クリッピング開始ライン・レジスタのフォーマット		
ビット	ニーモニック	説明
9:0	XCLIPS	入力ソースから選択する領域の開始ピクセルです。
31:10	0	–

### 水平クリッピング終了ライン (XCLIFE)

表 8 に、水平クリッピング終了ライン・レジスタのフォーマットを示します。

ビット	ニーモニック	説明
9:0	XCLIFE	入力ソースから選択する領域の終了ピクセルです。
31:10	0	—

### 垂直クリッピング開始ライン (YCLIPS)

表 9 に、垂直クリッピング開始ライン・レジスタのフォーマットを示します。

ビット	ニーモニック	説明
8:0	YCLIPS	入力ソースから選択する領域の開始ラインです。
31:9	0	—

### 垂直クリッピング終了ライン (YCLIFE)

表 10 に、垂直クリッピング終了ライン・レジスタのフォーマットを示します。

ビット	ニーモニック	説明
8:0	YCLIFE	入力ソースから選択する領域の終了ラインです。
31:9	0	—

**水平スケーリング係数 (XSCALE)**

表 11 に、水平スケーリング係数レジスタのフォーマットを示します。

ビット	ニーモニック	説明
11:0	FRAC	スケーリング係数の小数部分です。
15:12	INT	スケーリング係数の整数部分です。
31:16	0	–

**クリッピング・ピクセル数 (XLEN)**

表 12 に、クリッピング・ピクセル数レジスタのフォーマットを示します。

ビット	ニーモニック	説明
9:0	XLEN	クリッピングおよびスケーリング後のライン長をピクセル単位で表します。
31:10	0	–

**垂直スケーリング係数 (YSCALE)**

表 13 に、垂直スケーリング係数レジスタのフォーマットを示します。

ビット	ニーモニック	説明
11:0	FRAC	スケーリング係数の小数部分です。
15:12	INT	スケーリング係数の整数部分です。
31:16	0	–

## クリッピング・ライン数 (YLEN)

表 14 に、クリッピング・ライン数レジスタのフォーマットを示します。

ビット	ニーモニック	説明
8:0	YLEN	クリッピングおよびスケール後のフレームあたりのライン数です。
31:9	0	–

## マスタ・コントロール・レジスタ (MCONTROL)

表 15 に、マスタ・コントロール・レジスタのフォーマットを示します。

ビット	ニーモニック	説明
0	EN	1 = DMA マスタがイネーブル
31:1	0	–

## マスタ・ステータス・レジスタ (MSTAT)

表 16 に、マスタ・ステータス・レジスタのフォーマットを示します。

ビット	ニーモニック	説明
2:0	0	–
3	FB	フレーム全体がメモリに書き込まれたときにフレーム・バッファ完了ビットがセットされます。
31:4	0	–

**マスタ割り込みイネーブル・レジスタ (MINTEN)**

表 17 に、マスタ割り込みイネーブル・レジスタのフォーマットを示します。

<b>表 17. マスタ割り込みイネーブル・レジスタのフォーマット</b>		
<b>ビット</b>	<b>ニーモニック</b>	<b>説明</b>
2:0	0	–
3	FB	フレーム・バッファ割り込みをイネーブルします。
31:4	0	–

**マスタ割り込みクリア・レジスタ (MICR)**

表 18 に、マスタ割り込みクリア・レジスタのフォーマットを示します。

<b>表 18. マスタ割り込みクリア・レジスタのフォーマット</b>		
<b>ビット</b>	<b>ニーモニック</b>	<b>説明</b>
2:0	0	–
3	FB	フレーム・バッファ割り込みをクリアするときに 1 を書き込みます。
31:4	0	–

**フレーム・バッファ開始アドレス (FBSTART)**

表 19 に、フレーム・バッファ開始アドレス・レジスタのフォーマットを示します。

<b>表 19. フレーム・バッファ開始アドレス・レジスタのフォーマット</b>		
<b>ビット</b>	<b>ニーモニック</b>	<b>説明</b>
31:0	FBSTART	フレーム・バッファの開始アドレスです。



## リソース 使用率

Avalon ビデオ入力モジュールを Cyclone デバイスに実装する場合、およそ 2,300 個のロジック・セルを使用します。Stratix または Cyclone II デバイスの実装に必要なロジック・セルの数は、水平および垂直スケーリング・ブロックにハードウェア乗算器を使用すれば、これより少なくなります。



101 Innovation Drive  
San Jose, CA 95134  
(408) 544-7000  
[www.altera.com](http://www.altera.com)  
Applications Hotline:  
(800) 800-EPLD  
Literature Services:  
[lit\\_req@altera.com](mailto:lit_req@altera.com)

Copyright © 2004 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

