

はじめに

PLL (Phase-Locked-Loop) は、いくつかの分周カウンタとさまざまな電圧制御オシレータ (VCO) 位相タップを使用して、周波数合成および位相シフトを実行します。Stratix®II の enhanced PLL および fast PLL では、カウンタ設定と PLL 出力クロックの位相シフトをリアルタイムでリコンフィギュレーションできます。また、チャージ・ポンプおよびループ・フィルタ・コンポーネントを変更して、PLL 帯域幅を動的に変化させることもできます。これらの PLL コンポーネントを使用すると、FPGA 全体をリコンフィギュレーションすることなく、出力クロック周波数、PLL 帯域幅、および位相シフトをリアルタイムで更新できます。

PLL をリアルタイムでリコンフィギュレーションする能力は、複数の周波数で動作する可能性のあるアプリケーションで役立ちます。また、プロトタイプ環境でも有用で、PLL 出力周波数をスイープし、出力クロックを動作中に調整することが可能です。例えば、テスト・パターンを生成するシステムは、テスト対象のデバイスに応じて、50 MHz または 100 MHz でパターンを生成および送信することが要求されます。PLL コンポーネントをリアルタイムでリコンフィギュレーションすると、そのような 2 つの出力周波数間の切り換えを数マイクロ秒以内に行うことが可能です。また、この機能を使用すれば、出力クロックの位相シフトを変更して、clock-to-out (t_{CO}) 遅延をリアルタイムで調整することもできます。この方法では、新しい PLL 設定でコンフィギュレーション・ファイルを再生成する必要はありません。

このアプリケーション・ノートでは、以下について説明します。

- Stratix II PLLでのリアルタイムPLLリコンフィギュレーションの実装およびPLLリコンフィギュレーション機能のソフトウェア実装の手順
- システム設計者が PLL パラメータを選択するときに考慮する必要があるデザインの検討事項
- ユーザがこの機能をより深く理解するためのデザイン例

PLL リコンフィギュレーション・ハードウェア実装

Stratix II デバイスの enhanced PLL および fast PLL は、リアルタイム PLL リコンフィギュレーションをサポートします。次の PLL コンポーネントはリアルタイムでコンフィギュレーション可能です。

- プリ・スケール・カウンタ (n)
- フィードバック・カウンタおよび VCO 位相タップ選択 (m , Φ_m)
- ポスト・スケール出力カウンタおよび VCO 位相タップ選択 ($C0 \sim C5$, $\Phi_{C0 \sim C5}$)
- チャージ・ポンプ電流 (I_{cp})、ループ・フィルタ・コンポーネント (R , C) の動的な調整により、動作中に PLL 帯域幅のリコンフィギュレーションが容易

新しい設定をシリアル・シフト・レジスタ・チェーンまたはスキャン・チェーンにシフトして、PLL カウンタ設定を動的に調整する方法を図 1 に示します。シリアル・データは scandata ポートを介してスキャン・チェーンに入力され、シフト・レジスタは scanclk によってクロックされます。scanclk の最大周波数は 100 MHz です。データの最後のビットがクロックされた後に、最低 1 scanclk クロック・サイクルの間、scanwrite 信号をアサートすると、PLL コンフィギュレーション・ビットがスキャン・レジスタのデータで同期的に更新されます。

図 1. PLL リコンフィギュレーション・スキャン・チェーン 注 (1)

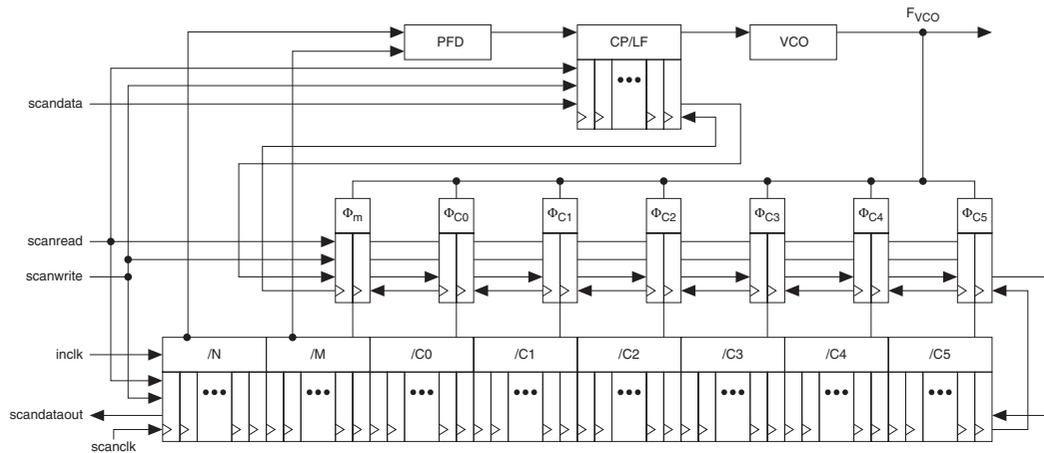


図 1 の注：

- (1) Stratix II fast PLL は、C4 および C5 カウンタと位相シフトの設定をサポートしています。



カウンタおよび位相シフトの設定は、個々のカウンタのクロック周波数に同期して更新されます。したがって、すべてのカウンタは同時には更新されません。

表 1 に、これらの信号をプログラマブル・ロジック・デバイス (PLD) ロジック・アレイまたは I/O ピンでどのようにドライブできるかを示します。

表 1. リアルタイム PLL リコンフィギュレーション・ポート			
PLL ポート名	説明	ソース	送信先
scandata	スキャン・チェーンへのシリアル入力データ・ストリーム。	ロジック・アレイまたは I/O ピン	PLL リコンフィギュレーション回路
scanclk	シリアル・クロック入力信号。このクロックは自走させることができます。	ロジック・アレイまたは I/O ピン	PLL リコンフィギュレーション回路
scanwrite	スキャン・チェーン内のデータを PLL に書き込みます。アクティブ High。	ロジック・アレイまたは I/O ピン	PLL リコンフィギュレーション回路
scanread	スキャン・チェーンへの scandata の書き込みをイネーブルします。アクティブ High。	ロジック・アレイまたは I/O ピン	PLL リコンフィギュレーション回路
scandone	PLL が再プログラミングを完了したことを示します。立ち上がりエッジは、PLL が再プログラミングを開始したことを示します。立ち下がりエッジは、PLL が再プログラミングを終了したことを示します。	PLL リコンフィギュレーション回路	ロジック・アレイまたは I/O ピン
scandataout	スキャン・チェーンの内容を出力するために使用されます。	PLL リコンフィギュレーション回路	ロジック・アレイまたは I/O ピン

m カウンタを除くすべての enhanced PLL カウンタには、20 のコンフィギュレーション・ビットがあります。 m カウンタには 22 のコンフィギュレーション・ビットがあります。5 ページの表 2 を参照してください。

n カウンタを除くすべての fast PLL カウンタには、12 のコンフィギュレーション・ビットがあります。 n カウンタには 3 つのコンフィギュレーション・ビットがあります。8 ページの表 3 を参照してください。

スペクトラム拡散カウンタとポスト・スケール・カウンタの 2 つのクラスのカウンタがあります。以下の 2 つのサブセクションで、これらのカウンタについて説明します。

スペクトラム拡散カウンタ (m , n)

enhanced PLL プリ・スケール・カウンタ n 、およびフィードバック・カウンタ m は、異なる 2 つの分周設定を切り換えることによって、スペクトラム拡散を実装します。これらのカウンタの範囲は 1 ~ 512 です。したがって、ノミナル・カウンタ値およびスペクトラム拡散カウンタ値にはそれぞれ 9 つのコンフィギュレーション・ビット、合計 18 のコンフィギュレーション・ビットが必要です。ノミナル・カウンタおよび拡散カウンタをバイパスするために (例えば、1 で分周)、2 つの追加コンフィギュレーション・ビットが使用されます。これらの 2 つのバイパス・ビットは、正しく動作させるために同じ値に設定する必要があります。そのため、カウンタ・コンフィギュレーション・ビットの総数は 20 になります。スペクトラム拡散を使用しない場合、デバイスはノミナル・カウンタ値を使用し、スペクトラム拡散カウンタ値は無視されます。 m カウンタは 2 つの追加コンフィギュレーション・ビットを使用して、位相シフトを実装します。

ポスト・スケール・カウンタ (C0 ~ C5)

enhanced PLL、C0 ~ C5 のポスト・スケール・カウンタは、プログラマブル・デューティ・サイクルを実装しますが、スペクトラム拡散機能は実装しません。[7 ページの図 3](#) を参照してください。enhanced PLL の場合、各カウンタには 8 ビットの High タイム設定と 8 ビットの Low タイム設定があります。デューティ・サイクルは、全サイクル・タイム (出力 High タイムと Low タイムの合計) に対する出力 High タイムまたは Low タイムの割合です。さらに、これらのカウンタには、カウンタをバイパスするための `rbypass` と、出力クロック・デューティ・サイクルを選択するための `RSELODD` の 2 つのコントロール・ビット、およびアップ / ダウンの位相シフトを選択するための 2 つのコントロール・ビットがあり、コンフィギュレーション・ビットの総数は 20 になります。

`rbypass` ビットが 1 に設定されるとカウンタはバイパスされ、1 分周になります。このビットが 0 に設定されると、High タイムおよび Low タイム・カウンタが追加され、VCO 出力周波数の有効分周比が計算されます。例えば、ポスト・スケール分周係数が 10 の場合、High および Low のカウンタ値をそれぞれ 5 に設定して、50% 対 50% のデューティ・サイクルを達成できます。PLL は、VCO 出力クロックの立ち上がりエッジで出力クロックを High から Low に遷移させることによって、このデューティ・サイクルを実現します。ただし、High および Low のカウンタ値に対して、それぞれ 4 と 6 を設定すると、40% 対 60% のデューティ・サイクルの出力クロックが生成されます。

rselodd ビットは、50% デューティ・サイクルでの VCO 出力周波数に対する奇数の分周係数を示します。例えば、ポスト・スケール分周係数が 3 の場合、High および Low タイム・カウント値をそれぞれ 2 と 1 に設定すると、この分周を実現できます。これは 67% 対 33% のデューティ・サイクルを意味します。50% 対 50% のデューティ・サイクルが必要な場合、RSELODD コントロール・ビットを 1 に設定すると、分周係数が奇数であっても、このデューティ・サイクルが実現できます。PLL は、VCO 出力クロックの立ち下がりエッジで出力クロックを High から Low に遷移させることによって、このデューティ・サイクルを実現します。RSELODD = 1 に設定すると、High タイムから 0.5 サイクルが減算され、Low タイムに 0.5 が加算されます。例えば、次のようになります。

- High タイム・カウント = 2 サイクル
- Low タイム・カウント = 1 サイクル
- RSELODD = '1' とすると、実質的には次のようになります。
 - High タイム・カウント = 1.5 サイクル
 - Low タイム・カウント = 1.5 サイクル
 - デューティ・サイクル = (1.5/3) % の High タイム・カウントおよび (1.5/3) % の Low タイム・カウント

スキャン・チェーンの説明

スキャン・チェーンの長さは、PLL ごとに異なります。enhanced PLL 5、6、11、および 12 には、174 ビットのスキャン・チェーンがあります。表 2 に、enhanced PLL の各コンポーネントに対するビット数を示します。また、図 2 に enhanced PLL に対する PLL コンポーネントのスキャン・チェーンの順序を示します。fast PLL には、6 個のカウンタと 75 ビットのスキャン・チェーンしかありません。9 ページの図 5 に、fast PLL に対する各コンポーネントのスキャン・チェーンの順序を示します。

表 2 に示すように、カウンタ設定用のスキャン・レジスタは N、M、および C0 ~ C5 となっています。2 ページの図 1 に示すように、位相シフトのスキャン・レジスタは ϕ_m 、 ϕ_{C0} ~ ϕ_{C5} となっています。

表 2. enhanced PLL 再プログラミング・ビット (1 / 2)

ブロック名	ビット数			
	カウンタ	位相	その他 (1)	合計
C0	16	2	2	20
C1	16	2	2	20
C2	16	2	2	20
C3	16	2	2	20
C4	16	2	2	20

ブロック名	ビット数			合計
	カウンタ	位相	その他 (1)	
C5	16	2	2	20
M	18	2	2	22
N	18	0	2	20
チャージ・ポンプ	0	0	4	4
ループ・フィルタ抵抗	0	0	6	6
ループ・フィルタ・コンデンサ	0	0	2	2
ビットの総数				174

表 2 の注：

- (1) カウンタをバイパスするための rbypass および出力クロック・デューティ・サイクルを選択するための rselodd の 2 つのコントロール・ビットを含む。

図 2 に、enhanced PLL 5、6、11、および 12 に対する PLL コンポーネントのスキャン・チェーン順序を示します。

図 2. enhanced PLL 5、6、11、および 12 に対するスキャン・チェーン順序

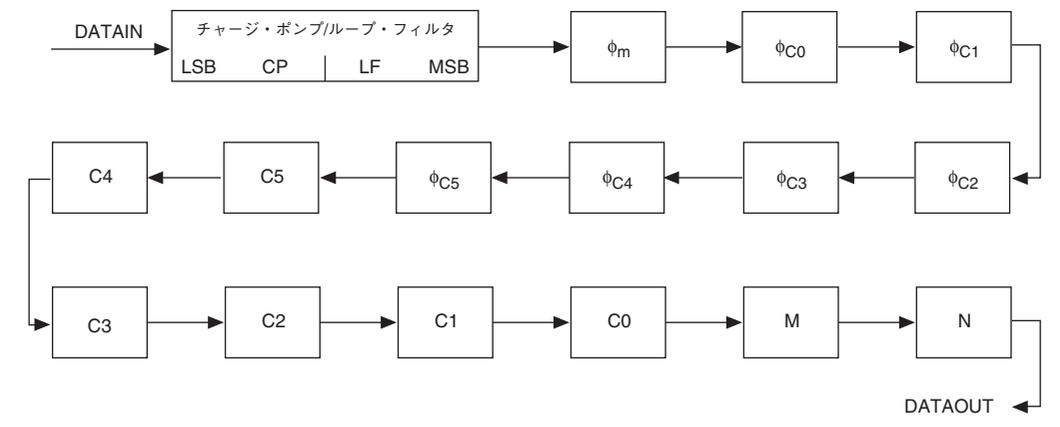


図 3 に、enhanced PLL ポスト・スケール・カウンタに対するスキャン・チェーン・ビット順序のシーケンスを示します。

図 3. enhanced PLL ポスト・スケール・カウンタのビット順序

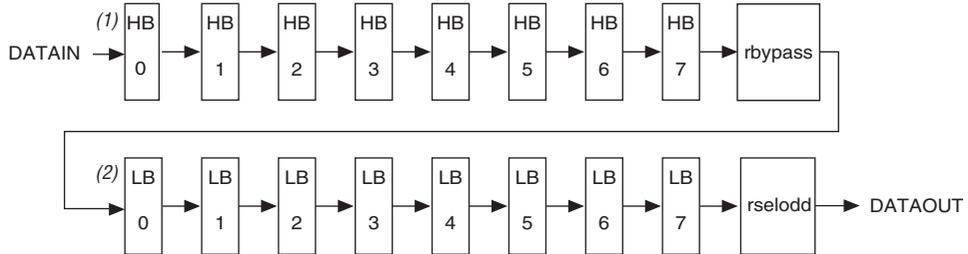


図 3 の注：

- (1) HB: High のビット (High Bit)。
- (2) LB: Low のビット (Low Bit)。

図 4 に、enhanced PLL スペクトラム拡散カウンタに対するスキャン・チェーン・ビット順序のシーケンスを示します。

図 4. スペクトラム拡散カウンタのビット順序

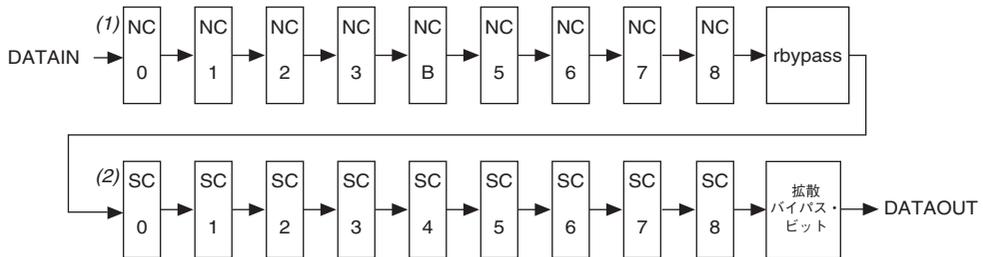


図 4 の注：

- (1) NC: ノミナル・カウント (Nominal Count)。
- (2) SC: 拡散カウント (Spread Count)。

表 3 に、fast PLL のリコンフィギュレーション可能な各コンポーネントに対するビット数を示します。

ブロック名	ビット数			合計
	カウンタ	位相	その他 (1)	
C0	8	2	2	12
C1	8	2	2	12
C2	8	2	2	12
C3	8	2	2	12
M	8	2	2	12
N	2	0	1	3
チャージ・ポンプ	0	0	4	4
ループ・フィルタ抵抗	0	0	6	6
ループ・フィルタ・コンデンサ	0	0	2	2
	ビットの総数			75

表 3 の注：

- (1) カウンタをバイパスするための rbyypass および出力クロック・デューティ・サイクルを選択するための rselodd の 2 つのコントロール・ビットを含む。

図 5 に、fast PLL 内のコンポーネントのスキャン・チェーン順序を示します。

図 5. fast PLL 1、2、3、4、7、8、9、および 10 に対するスキャン・チェーン順序

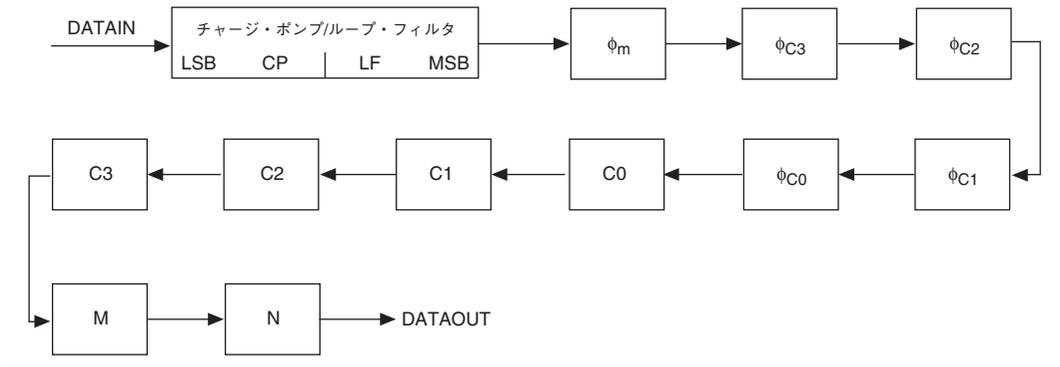


図 6 に、fast PLL ポスト・スケール、 m カウンタに対するスキャン・チェーン・ビット順序のシーケンスを示します。

図 6. ポスト・スケール、 m fast PLL カウンタ・ビット順序

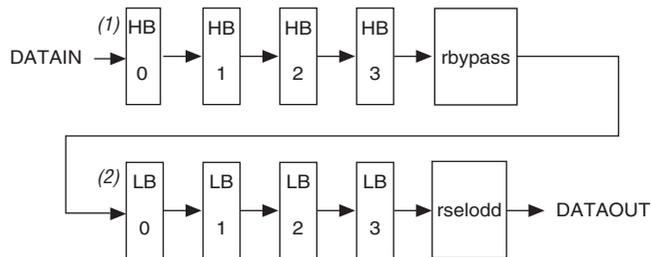


図 6 の注：

- (1) HB: High のビット (High Bit)。
- (2) LB: Low のビット (Low Bit)。

リコンフィギュレーション可能な位相シフト

Quartus®II ソフトウェアは、入力された位相シフトに従って、位相タップおよびカウンタの設定を自動的に行います。希望の位相シフト・パラメータを入力すると、Quartus II ソフトウェアは、自動的にそれに最も近い実現可能な設定を行います。また、システム動作中に位相シフトをリコンフィギュレーションすることも可能です。位相シフト量は、各 PLL クロック出力ポートごとに、または一度にまとめてシフトする全出力に対して同時に（位相角度または時間の単位で）入力できます。位相シフトの値は、時間単位で 125ps ~ 250ps の分解能で選択できます。この分解能は、周波数入力と通倍係数および分周係数の関数（例えば、VCO 周期の関数）で、最小の増分ステップは VCO 周期の 1/8 (0.125 倍) です。

各クロック出力カウンタは、個別のファイン・ステップ選択で最大 8 個のタップから VCO 周期の異なる位相を選択できます。さらに、各クロック出力カウンタは、固有の初期カウント設定を使用して、1 つの VCO 周期のステップで個別に大まかなシフトを選択できます。大まかなシフトと微細シフトを組み合わせることにより、出力クロック周期全体にわたって位相シフトが可能になります。

次の式を使用して、位相シフトの精度（度数）を決定します。

$$(45(\text{VCO の } 45^\circ)) \div \text{ポスト・スケール・カウンタ値} = \text{位相シフトの精度(度数)}$$

したがって、最大ステップ・サイズは VCO の 45° です。出力カウンタ・ポートの分周比に応じて、さらに小さなステップも可能です。上記のように位相シフトを実装すると、プロセス、電圧、および温度の変動による影響が最小になるため、最高の精度が実現します。

図 7 に、Stratix II デバイスでの位相シフト・ステップ機能の動作を示します。例えば、カウンタが 0° の位相タップを基準ソースとして使用している場合を検討します。ユーザは 1 位相ステップだけ進むようにカウンタをプログラムします。0° 位相の立ち上がりエッジで、カウンタ基準クロックは 0° 位相タップから 45° 位相タップに切り換わるため、カウンタから見た次の立ち上がりエッジは 45° 位相タップになります。

図 7. PLL 位相シフトの実装、例 1

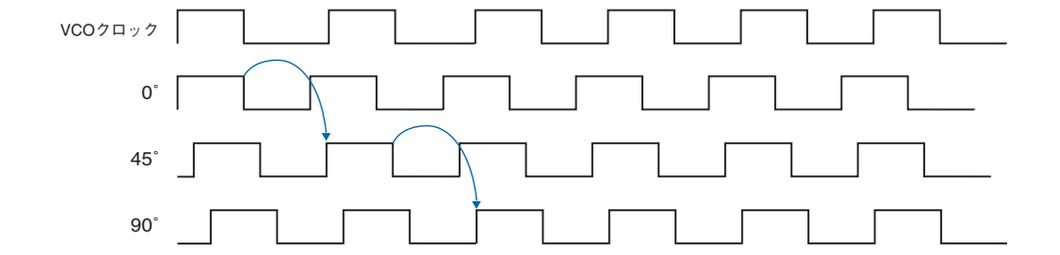


図 8 に、315° 位相タップから 0° 位相タップまで同じ方向に位相をシフトし続けた後、位相シフトがどのように連続するかを示します。

図 8. PLL 位相シフトの実装、例 2

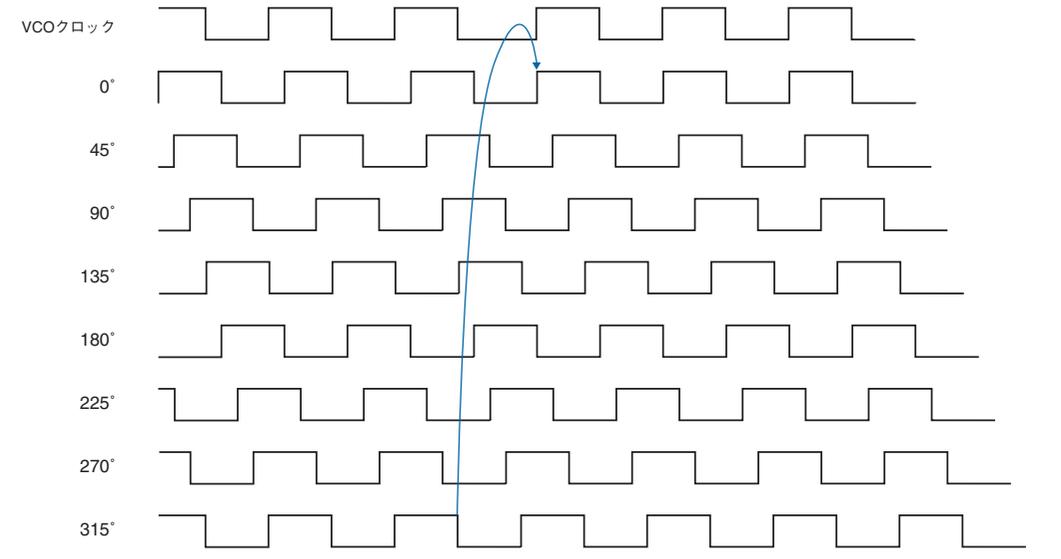


図 9 の矢印で示すように、同じ手法で反対方向に位相をシフトできます。

図 9. PLL 位相シフトの実装、逆方向、例 3

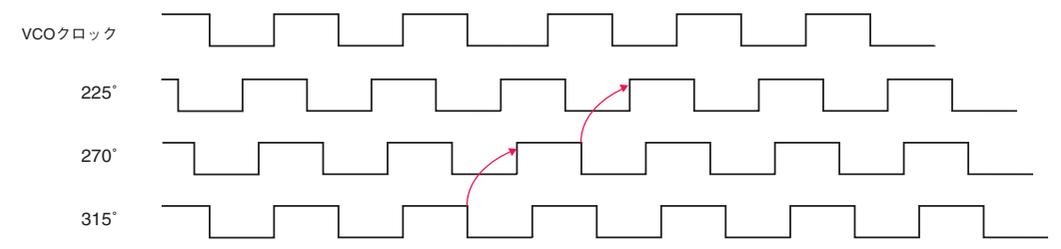
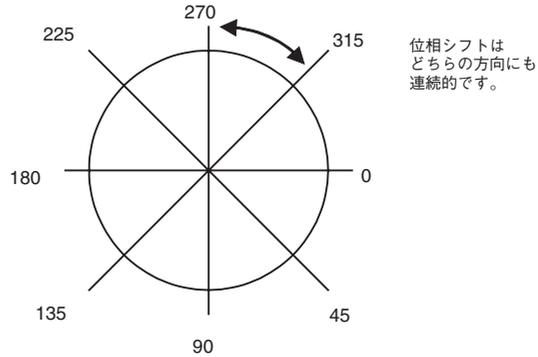


図 10 に、連続位相シフトを別の観点から示します。位相シフトは、時計方向または反時計方向のいずれかに連続的にシフトします。

図 10. リコンフィギュレーション可能な位相シフト



デバイスをプログラムするときは、各カウンタ (m , C0 ~ C5) ごとに VCO の初期位相タップが選択されます。次に、PLL リコンフィギュレーション・インタフェースを使用して、位相タップを変更 (前方または逆方向) できます。areset 信号をトグルするか、または FPGA をリコンフィギュレーションすることによって PLL がリセットされた場合、位相はコンフィギュレーション・ファイル内で元の位相シフトに戻ります。

表 4 に、Stratix II PLL の位相コントロール・ビットの定義を示します。

ΦB1 (方向)	ΦB0 (ステップ・イネーブル)	実行動作
X	0	位相シフトのステップはありません。リコンフィギュレーション可能な位相シフトはディセーブルされています。
0	1	1 位相ステップだけステップ・バックします。
1	1	1 位相ステップだけ前方にステップします。

チャージ・ ポンプおよび ループ・フィ ルタ

チャージ・ポンプおよびループ・フィルタの設定をリコンフィギュレーションして、動作時にPLL帯域幅を更新できます。表5、6および7に、Stratix II PLLに設定可能な値を示します。

表 5. チャージ・ポンプ・ビット・コントロール

コントロール・ビット				ポンピング電流 Icp (μ A)
CP3	CP2	CP1	CP0	
0	0	1	0	30
0	0	1	1	36
0	1	0	0	52
0	1	0	1	57
0	1	1	0	72
0	1	1	1	77
1	0	0	0	92
1	0	0	1	96
1	0	1	0	110
1	0	1	1	114
1	1	0	0	127
1	1	0	1	131
1	1	1	0	144
1	1	1	1	148

表 6. ループ・フィルタ抵抗値のコントロール (1 / 3)

コントロール・ビット						抵抗値 (Ω)
LF5	LF4	LF3	LF2	LF1	LF0	
0	0	0	0	0	0	1,000
0	0	0	0	0	1	1,500
0	0	0	0	1	0	2,000
0	0	0	0	1	1	2,500
0	0	0	1	0	0	3,000

表 6. ループ・フィルタ抵抗値のコントロール (2 / 3)						
コントロール・ビット						抵抗値 (Ω)
LF5	LF4	LF3	LF2	LF1	LF0	
0	0	0	1	0	1	3,500
0	0	0	1	1	0	4,000
0	0	0	1	1	1	4,500
0	0	1	0	0	0	5,000
0	0	1	0	0	1	5,500
0	0	1	0	1	0	6,000
0	0	1	0	1	1	6,500
0	0	1	1	0	0	7,000
0	0	1	1	0	1	7,500
0	0	1	1	1	0	8,000
0	0	1	1	1	1	8,500
0	1	1	0	0	0	9,000
0	1	1	0	0	1	9,500
0	1	1	0	1	0	10,000
0	1	1	0	1	1	10,500
0	1	1	1	0	0	11,000
0	1	1	1	0	1	11,500
0	1	1	1	1	0	12,000
0	1	1	1	1	1	12,500
1	0	1	0	0	0	13,000
1	0	1	0	0	1	13,500
1	0	1	0	1	0	14,000
1	0	1	0	1	1	14,500
1	0	1	1	0	0	15,000
1	0	1	1	0	1	15,500
1	0	1	1	1	0	16,000
1	0	1	1	1	1	16,500

コントロール・ビット						抵抗値 (Ω)
LF5	LF4	LF3	LF2	LF1	LF0	
1	1	1	0	0	0	17,000
1	1	1	0	0	1	17,500
1	1	1	0	1	0	18,000
1	1	1	0	1	1	18,500
1	1	1	1	0	0	19,000
1	1	1	1	0	1	19,500
1	1	1	1	1	0	20,000
1	1	1	1	1	1	20,500

コントロール・ビット		キャパシタンス (pF)
LF7	LF6	
0	0	57
0	1	16
1	0	36
1	1	5

PLL カウンタ のバイパス

PLL カウンタをバイパスすると、通倍係数 (m カウンタ) または分周係数 (n , C0 ~ C5 カウンタ) は 1 になります。

m , n カウンタをバイパスするには、そのカウンタに対するバイパス・ビットを 1 に設定し、カウンタの最下位ビット (LSB) を 0 に設定するのが唯一の方法です。

表 8 に、enhanced PLL の m および n カウンタの設定を示します。

表 8. m 、 n カウンタの設定										説明
enhanced PLL のスキャン・チェーン・ビット [0..9] の設定										
LSB (2)									MSB (1)	
0	X	X	X	X	X	X	X	X	1 (3)	PLL カウンタがバイパスされます。
1	X	X	X	X	X	X	X	X	1 (3)	PLL カウンタがディセーブルされます。
x	X	X	X	X	X	X	X	X	0 (3)	ビット 9 (MSB) が 0 に設定されているため、PLL カウンタはバイパスされずディセーブルもされません。

表 8 の注：

- (1) MSB: 最上位ビット。
- (2) LSB: 最下位ビット。
- (3) バイパス・ビット。

m および n カウンタの場合のみ、バイパス・ビット High を設定し、カウンタ値を 1 (または 1 で終わる任意の数) に設定すると、カウンタがディセーブルされ、PLL は動作不能になります。

6 個の出力カウンタ (C0 ~ C5 カウンタ) のいずれかをバイパスするには、そのバイパス・ビットを 1 に設定します。その他のビットの値は無視されます。



m 、 n を 1 に設定する場合、Quartus II ソフトウェアは、表 8 の最初の行に示すとおり、常に PLL ビット設定 "00000001" を選択します。

Quartus II ソフトウェア でのリコン フィギュレー ション可能な PLL の実装

Quartus II ソフトウェアの altpll MegaWizard® Plug-In Manager で、PLL の I/O 周波数および位相シフトを指定できます。これらのパラメータに基づいて、Quartus II ソフトウェアは PLL の内部設定を選択します。これらの内部設定は、コンフィギュレーション・ファイルに格納され、パワー・アップ後およびコンフィギュレーション後に PLL によって使用されます。

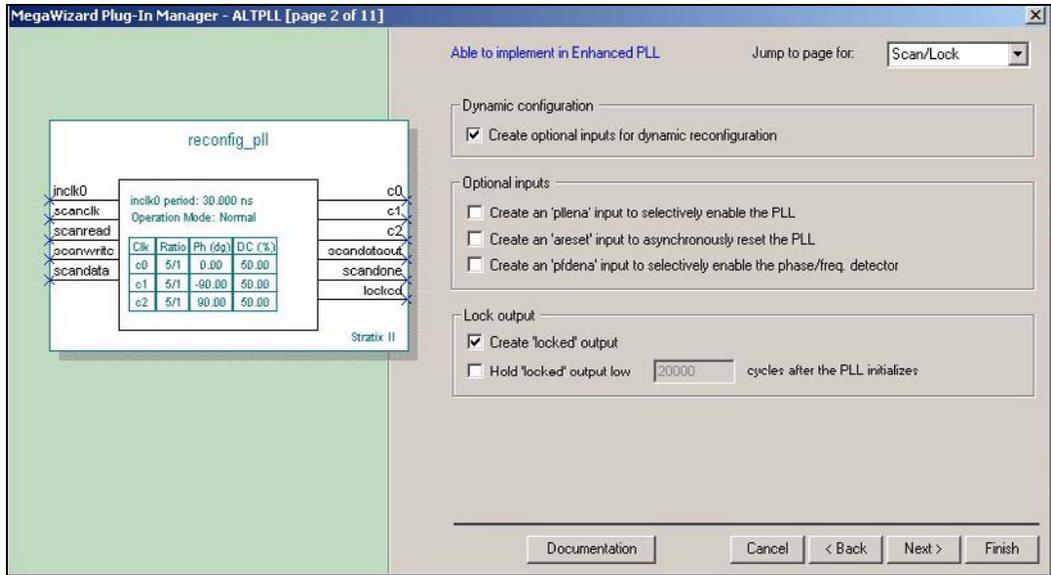


Stratix II PLL をリコンフィギュレーションするには、Quartus II ロジック・オプションの PRESERVE_PLL_COUNTER_ORDER 設定をオンにする必要があります。このオプションをオンにしないと、Quartus II ソフトウェアは PLL カウンタ出力をユーザが予想しない別の出力に配線して、ルータビリティの向上を試みる場合があります。これによって、スキャン・チェーン・ファイルが誤ったカウンタをターゲットにして、リコンフィギュレーション・エラーが発生する原因となることがあります。

altpll MegaWizard Plug-In Manager

altpll Mega Wizard Plug-In Manager を使用すると、図 11 に示すとおり、PLL リコンフィギュレーション回路をイネーブすることができます。リコンフィギュレーション回路をイネーブすると、scanclk、scanread、scanwrite、scandata、scandataout、および scandone ポートが altpll インスタンスに自動的に追加されます。

図 11. Quartus II MegaWizard Plug-In Manager での PLL リコンフィギュレーションのイネーブ

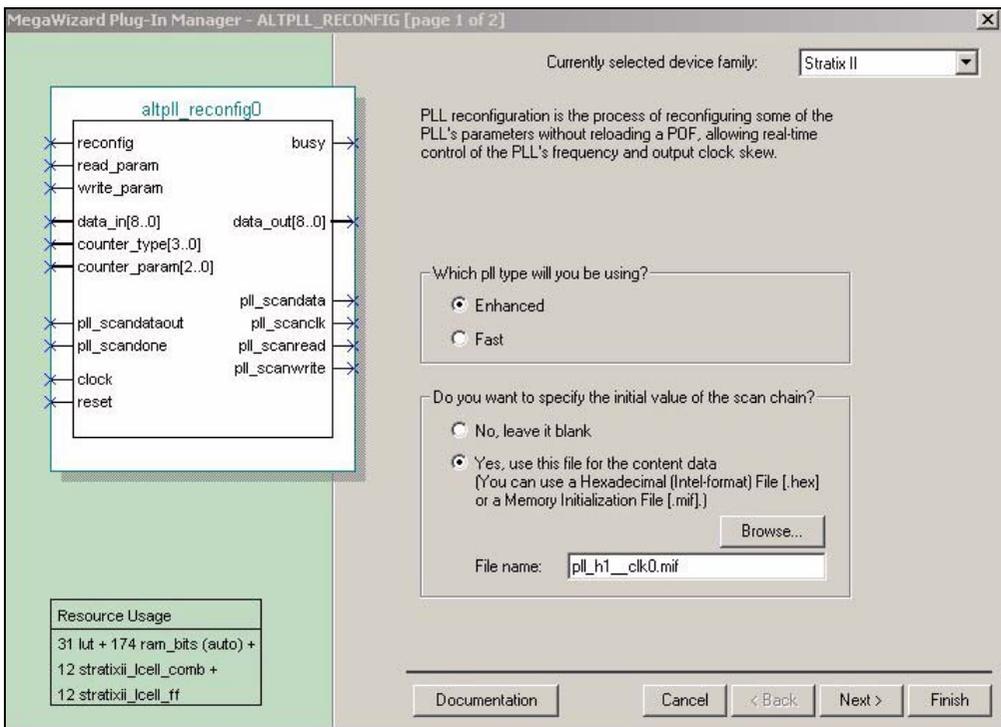


altpll_reconfig メガファンクション

altpll_reconfig メガファンクションを利用すれば、Stratix II enhanced PLL または fast PLL を動作中にリコンフィギュレーションするプロセスが簡単になります。altpll_reconfig MegaWizard Plug-In Manager を使用して、Stratix II enhanced PLL または fast PLL をリコンフィギュレーションできます。

図 12 に、altpll_reconfig メガファンクションに対する MegaWizard インタフェースを示します。このメガファンクションは、Quartus II ソフトウェアで `libraries\megafunctions\gates\altpll_reconfig` を介してアクセスできます。

図 12. MegaWizard Plug-In Manager インタフェース



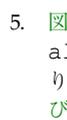
enhanced PLL (PLL の 5、6、11、12 に対する 174 ビット) または fast PLL (PLL の 1、2、3、4、7、8、9、10 に対する 75 ビット) のいずれかが指定できます。また、一般に MIF と呼ばれるメモリ初期化ファイル (.mif)、または新規の PLL 設定が格納された 16 進 (.hex) ファイルを指定し、PLL スキャン・レジスタに転送することもできます。

MIF の生成

altpll_reconfig メガファンクション機能の使い勝手を向上させるために、Quartus II ソフトウェア・コンパイラは、altpll MegaWizard Plug-In Manager で PLL リコンフィギュレーションが実行されているときに、altpll パラメータ設定を参照する MIF を生成します。ここで、この MIF を使用して、altpll_reconfig メガファンクションのスキャン・チェーン (INIT_MIF_FILE パラメータなど) を初期化できます。

PLL をリコンフィギュレーションするには、altpll インスタンスの scanclk ポートを接続する必要があります。これによって、altpll インスタンスの機能がイネーブルになります。Quartus II ソフトウェアは、PLL をリコンフィギュレーションするときのみ MIF を生成します。PLL インスタンス名は、生成された MIF の名前に由来しています。この名前は、コンパイル・レポートの PLL Summary セクションに記載されています。

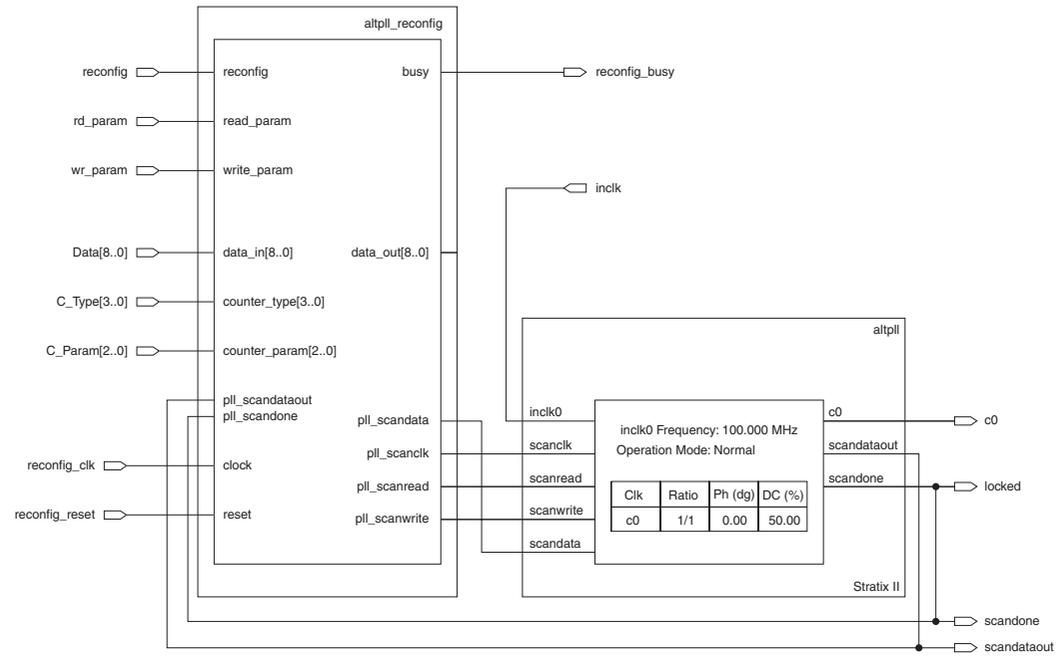
次のステップに従って、altpll_reconfig メガファンクションを実装します。

1. 選択した通倍 / 分周係数で altpll インスタンスを作成し、PLL リコンフィギュレーション機能を **ON** にします。
2. altpll_reconfig インスタンスを作成し、1 ステップで作成した altpll インスタンスと同じ PLL タイプ (enhanced または fast) を指定します。
3. Quartus II ソフトウェアでデザインをコンパイル (または合成) して、PLL スキャン・チェーンの初期状態またはデフォルト状態を表す MIF を生成します。オプションで、PLL リコンフィギュレーション中に変更されるカウンタ / 位相シフト設定に合わせて MIF を変更します。
4. altpll_reconfig 機能のインスタンスを編集し、init_scan_file パラメータを、ステップ 3 で修正した MIF に指定します。
5.  図 13 に示すように、altpll_reconfig インスタンスからの出力ポートを altpll インスタンスの入力ポートに接続します。すべて接続する必要はありません。altpll_reconfig I/O ポートについて詳しくは、「[ポートおよびパラメータ](#)」の項を参照してください。

 altpll I/O ポートについて詳しくは、「altpll Megafunction User Guide」を参照してください。

図 13 に、altpll_reconfig メガファンクションからの pll_scanclk、pll_scanread、pll_scanwrite、および pll_scandata 出力が、PLL リンコンフィギュレーションに使用される入力ポート（scanclk、scanread、scanwrite、scandata など）に供給される様子を示します。

図 13. altpll ブロックへの altpll_reconfig ブロックの接続



altpll_reconfig メガファンクションは、PLL をリコンフィギュレーションするプロセスを簡略化します。altpll_reconfig メガファンクションには、スキャン・チェーンに対するリード/ライト動作中に busy 信号をアサートしたり、最終ビットをスキャン・チェーンにクロックした後で scanwrite をアサートするといった動作を管理するステート・マシンが搭載されています。



ユーザがカウンタ設定をリコンフィギュレーションするための MIF を修正するときには注意が必要です。無効な設定（バイパス・ビット = 1 および n 、 m カウンタの LSB = 1）が原因で、PLL カウンタがリコンフィギュレーション後にディセーブルされることがあります。この設定は、16 ページの表 8 の 2 行目に示されています。

PLL コンフィギュレーション・スキャン・レジスタのビット・マップ

PLL に習熟したユーザは、2 ページの「PLL リコンフィギュレーション・ハードウェア実装」に詳述する情報に基づいて、カウンタおよび位相シフトの設定を手動で選択できます。さまざまなカウンタおよび位相シフトに対して、個別にコンフィギュレーション・ビット設定を決定した後、表 9 に示すとおりビットを配置します。

表 9 に、enhanced PLL スキャン・チェーン・レジスタのビット・マップを示します。スキャン・チェーンに最後にシフトされるビットはビット 0 です。ビット 173 は、enhanced PLL 5、6、11、および 12 にシフトされる最初のビットです。ビット 74 は、fast PLL 1、2、3、4、7、8、9、および 10 にシフトされる最初のビットです。

表 9. enhanced PLL コンフィギュレーション・スキャン・チェーンのビット・マップ (1 / 2)

PLL スキャン・チェーンのビット・マップ (1)									PLL コンポーネント	サイズ (ビット)
LSB				MSB						
					0	1	2	3	チャージ・ポンプ設定 [3:0]	4
	4	5	6	7	8	9	10	11	ループ・フィルタ設定 [11:4]	8
							12	13	m 位相シフト設定	2
							14	15	C0 カウンタ位相シフト設定	2
							16	17	C1 カウンタ位相シフト設定	2
							18	19	C2 カウンタ位相シフト設定	2
							20	21	C3 カウンタ位相シフト設定	2
							22	23	C4 カウンタ位相シフト設定	2
							24	25	C5 カウンタ位相シフト設定	2
	26	27	28	29	30	31	32	33	C5 カウンタ High サイクル・カウント	8
								34	C5 カウンタ・バイパス・ビット	1
	35	36	37	38	39	40	41	42	C5 カウンタ Low サイクル・カウント	8
								43	C5 カウンタ 奇数分周ビット	1
	44	45	46	47	48	49	50	51	C4 カウンタ High サイクル・カウント	8
								52	C4 カウンタ・バイパス・ビット	1
	53	54	55	56	57	58	59	60	C4 カウンタ Low サイクル・カウント	8
								61	C4 カウンタ 奇数分周ビット	1
	62	63	64	65	66	67	68	69	C3 カウンタ High サイクル・カウント	8
								70	C3 カウンタ・バイパス・ビット	1

表 9. enhanced PLL コンフィギュレーション・スキャン・チェーンのビット・マップ (2 / 2)										
PLL スキャン・チェーンのビット・マップ (1)									PLL コンポーネント	サイズ (ビット)
LSB					MSB					
	71	72	73	74	75	76	77	78	C3カウンタLowサイクル・カウント	8
								79	C3 カウンタ奇数分周ビット	1
	80	81	82	83	84	85	86	87	C2カウンタHighサイクル・カウント	8
								88	C2 カウンタ・バイパス・ビット	1
	89	90	91	92	93	94	95	96	C2カウンタLowサイクル・カウント	8
								97	C2 カウンタ奇数分周ビット	1
	98	99	100	101	102	103	104	105	C1カウンタHighサイクル・カウント	8
								106	C1 カウンタ・バイパス・ビット	1
	107	108	109	110	111	112	113	114	C1カウンタLowサイクル・カウント	8
								115	C1 カウンタ奇数分周ビット	1
	116	117	118	119	120	121	122	123	C0カウンタHighサイクル・カウント	8
								124	C0 カウンタ・バイパス・ビット	1
	125	126	127	128	129	130	131	132	C0カウンタLowサイクル・カウント	8
								133	C0 カウンタ奇数分周ビット	1
134	135	136	137	138	139	140	141	142	m カウンタ・ノミナル・カウント	9
								143	m カウンタ・バイパス・ビット	1
144	145	146	147	148	149	150	151	152	m カウンタ拡散カウント	9
								153	m 拡散カウンタ・バイパス・ビット	1
154	155	156	157	158	159	160	161	162	n カウンタ公称カウント	9
								163	n カウンタ・バイパス・ビット	1
164	165	166	167	168	169	170	171	172	n カウンタ・ノミナル・カウント	9
								173	n 拡散カウンタ・バイパス・ビット	1
									スキャン・チェーン長さ	174

表 9 の注 :

- (1) スキャン・チェーン内のすべてのレジスタは、最上位ビット (MSB) が最初にシフトされ、LSB が最後にシフトされるようにセットアップされます。

表 10 に、fast PLL スキャン・チェーン・レジスタのビット・マップを示します。

表 10. fast PLL コンフィギュレーション・スキャン・チェーンのビット・マップ (1 / 2)									
PLL スキャン・チェーンのビット・マップ (1)								PLL コンポーネント	サイズ (ビット)
LSB				MSB					
				0	1	2	3	チャージ・ポンプ設定 [3:0]	4
4	5	6	7	8	9	10	11	ループ・フィルタ設定 [11:4]	8
							12	<i>m</i> 位相シフト設定	2
							14	C3 カウンタ位相シフト設定	2
							16	C2 カウンタ位相シフト設定	2
							18	C1 カウンタ位相シフト設定	2
							20	C0 カウンタ位相シフト設定	2
				22	23	24	25	C0 カウンタ High サイクル・カウント	4
							26	C0 カウンタ・バイパス・ビット	1
				27	28	29	30	C0 カウンタ Low サイクル・カウント	4
							31	C0 カウンタ奇数分周ビット	1
				32	33	34	35	C1 カウンタ High サイクル・カウント	4
							36	C1 カウンタ・バイパス・ビット	1
				37	38	39	40	C1 カウンタ Low サイクル・カウント	4
							41	C1 カウンタ奇数分周ビット	1
				42	43	44	45	C2 カウンタ High サイクル・カウント	4
							46	C2 カウンタ・バイパス・ビット	1
				47	48	49	50	C2 カウンタ Low サイクル・カウント	4
							51	C2 カウンタ奇数分周ビット	1
				52	53	54	55	C3 カウンタ High サイクル・カウント	4
							56	C3 カウンタ・バイパス・ビット	1
				57	58	59	60	C3 カウンタ Low サイクル・カウント	4
							61	C3 カウンタ奇数分周ビット	1
				62	63	64	65	<i>m</i> カウンタ High サイクル・カウント	4
							66	<i>m</i> カウンタ・バイパス・ビット	1

表 10. fast PLL コンフィギュレーション・スキャン・チェーンのビット・マップ (2 / 2)									
PLL スキャン・チェーンのビット・マップ (1)								PLL コンポーネント	サイズ (ビット)
LSB				MSB					
				67	68	69	70	m カウンタ Low サイクル・カウント	4
							71	m カウンタ奇数分周ビット	1
						72	73	n カウンタ・ノミナル・カウント	2
							74	n カウンタ・バイパス・ビット	1
								スキャン・チェーン長さ	75

表 10 の注：

(1) スキャン・チェーン内のすべてのレジスタは、MSB が最初にシフトされ、LSB が最後にシフトされるようにセットアップされます。

デザインの 検討事項

PLL リコンフィギュレーションを使用するときは、以下の内容について検討する必要があります。

- プリ・スケールおよびフィードバック・カウンタの設定 (m , n) を変更すると、PLL VCO 周波数が影響を受けるため、PLL を基準クロックに再ロックしなければならない場合があります。 Φ_m 位相シフト設定を変更すると、基準クロックに対する出力クロックの位相関係が変化するため、PLL も再ロックする必要があります。プリ・スケールおよびフィードバック・カウンタの設定 (m , n) を変更した場合の厳密な影響は、設定の変更内容によって異なりますが、どの変更を行った場合でも通常は再同期化が必要です。
- Φ_m 位相シフト設定を使用して位相シフトを追加すると、すべての PLL クロック出力が基準クロックに対して制御され、効果的に負の位相シフトが追加されます。これは、 (Φ_m) がフィードバック・パスに存在するためです。
- ループ・エレメント (m , n , Φ_m) を変更する場合は、clkena 信号を使用して、ロジック・アレイへの PLL 出力をディセーブルすることを推奨します。これにより、システム・ロジックに影響を与える過度の高周波数状態がなくなります。
- ポスト・スケール・カウンタや位相を変更しても、PLL ロックや VCO 周波数は影響を受けません。ただし、位相設定を大きく変更すると、出力クロックにグリッチが発生することがあります。clkena 信号を使用するか、または小さな増分 (複数位相シフト) で位相設定を変更することを推奨します。
- 出力クロック間の位相関係が重要な場合は、areset 信号を使用して PLL を再同期化します。これにより、すべての内部 PLL カウンタがリセットされ、ロック・プロセスが再開されます。PLL ロック時間はループ帯域幅に依存します。例えば、帯域幅が広くなれば、ロック・プロセスは高速になります。ループ・パラメータ (Icp, R, C) を選択して変更すると、動作中に帯域幅を簡単にリコンフィギュレーションできます。

- Stratix II のスキャン・チェーンでは自走式の scanclk がサポートされているため、クロックの開始と停止を厳密に制御する必要はありません。さらに、scanwrite 信号によって PLL の再プログラミングが開始されます。PLL が正常にリコンフィギュレーションされた後、scanwrite を複数回トグルすると、45° または VCO 周期の 1/8 (0.125) の増分で出力クロックが位相シフトされます。
- scanread 信号は、スキャン・チェーンへのクロックを同期的にイネーブルまたはディセーブルします。scanread 信号が少なくとも 1 scanclk サイクルだけ High になった後、scandata のスキャン・チェーン内への読み込みを開始する必要があります。scanwrite をトグルすると、再プログラミングが完了するまで、チェーンは自動的にディセーブルされます。scanread 信号は常時アクティブにしたままにすることができますが、リコンフィギュレーション機能を使用しない場合は、scanread をデアサートして、消費電力を低減し、スキャン・チェーンの偶発的なクロッキングを防止することを推奨します。
- PLL のリコンフィギュレーション中、またはリコンフィギュレーション後に PLL がロックしない場合、リコンフィギュレーション処理中に、 m 、 n カウンタ設定が変更された可能性があります。さらに、 m 、 n カウンタ / 位相シフトの設定を変更した場合も、PLL がロックしない可能性があります。

例えば、入力クロック周波数が 350 MHz、出力クロック周波数が 700 MHz の場合、Quartus II ソフトウェアは、いくつかの方法の中から、これらの周波数を実現する方法を選択します。例えば、Quartus II ソフトウェアは $m=2$ 、 $n=1$ を選択できます。その結果、VCO 周波数は 700 MHz、 $C0=1$ となり、上記の周波数の組み合わせが実現します。

リコンフィギュレーション中に、 $m=4$ 、 $n=2$ となるように scandata ビットを設定した場合、同じ入力 / 出力周波数の組み合わせが維持されますが、 m 、 n カウンタ値が変更され、PLL はロックがはずれます。スキャン・ビット値を手動で操作しないで、Quartus II ソフトウェアに計算させることを推奨します。

Quartus II ソフトウェアのコンパイル・レポートの PLL Summary セクションを参照して、Quartus II ソフトウェアが m 、 n に選択した値を確認し、これらの設定が PLL リコンフィギュレーション中に誤って変更されていないか確認してください。

- 出力カウンタの1つを、例えば元のクロック周波数の1/5で動作するようにリコンフィギュレーションした場合、 m または n カウンタ値も同時に変更していなければ、その他のクロック出力に影響はありません。リコンフィギュレーションすると、(m または n カウンタ値を変更しないで) リコンフィギュレーションした出力カウンタにのみ新しい周波数が反映されます。

位相シフトのステップ

scanread 信号を使用して、スキャン・チェーンの値を保持し、シフト・アウトしない（スキャン・チェーン・クロックのゲートを閉じる）ようにすることができます。これによって、スキャン・チェーン全体を再書き込みすることなく、scanwrite 信号をトグルしてスキャン・チェーンの内容を PLL に複数回書き込むことが可能です。この機能を利用すれば、ユーザは適切なスキャン・データ（カウンタの選択および位相シフトの方向）を書き込み、scanwrite 信号を必要な回数トグルして希望の位相シフトを生成することにより、位相シフトを単一方向にすばやくステップすることができます。位相シフトの方向を変更する場合は、[12 ページの表 4](#) に示すとおり、位相コントロール・ビットを正しく設定して、スキャン・チェーンを再ロードする必要があります。scanwrite 信号をトグルしても、再プログラミングが完了するまでスキャン・チェーンは自動的にディセーブルされます。

次のステップに従って、PLL をリコンフィギュレーションします。[図 14](#) に、このリコンフィギュレーションの結果を示します。

1. clkena 信号を使用してすべての PLL 出力をディセーブルします。



PLL 出力をディセーブルできない場合は、内部コンポーネントを少しずつ徐々に変更する必要があります。例えば、基準クロック入力 が 100 MHz で、カウンタ n および m がそれぞれ 5 と 25 に設定されている場合、VCO は 500 MHz で動作します。VCO 周波数を 600 MHz に変更する場合、 n および m カウンタをそれぞれ 5 と 30 に設定します。フィードバック・カウンタ (m) は、25 から 30 に 1 の増分で少しずつ変化させる必要があります。これによって、過周波数状態（出力周波数が必要以上に高くなる）になるリスクが低下し、ロックはずれの状態を回避できる可能性があります。

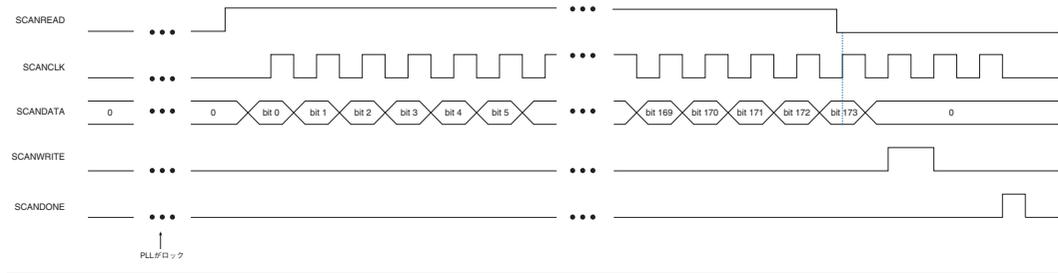
2. scanread 信号が少なくとも 1 scanclk サイクルにわたって High になってから、データをチェーンに読み込むことが必要です。
3. scandata ポートを介して新しいカウンタおよび位相シフトの設定をスキャンします。
4. 最終ビットがスキャン・チェーンにクロック・インされると（enhanced PLL の場合は scanclk の 174 番目の立ち上がりエッジ、fast PLL の場合は scanclk の 75 番目の立ち上がりエッジ）、scanwrite 信号が High に遷移します。

PLL 再プログラミング・スキャン・チェーン全体がシリアル・レジスタにロードされた後に、さらに、これらのシリアル・レジスタを実際の PLL レジスタに同期的にシフト・インする必要があります。したがって、スキャン・チェーン内の最終データ・ビット（enhanced PLL の場合は 174 番目のビット、fast PLL の場合は 75 番目のビット）がクロックされた後で scanread をディセーブルし、次に scanwrite 信号でパラレル転送を開始して再プログラミングを完了する必要があります。

5. このステップはオプションです。このステップを実行しない場合は、ステップ 6 に進みます。scanwrite 信号を必要な回数だけアサートして、希望の位相シフトを生成します。このステップを実行する場合、これが位相シフトをリコンフィギュレーションする最後のステップです。
6. aresetを使用してPLLをリセットし、出力クロック間の位相関係を維持します。
7. 有効なロックを検出した後に、PLL出力を再びイネーブルします。

図 14に、PLLリコンフィギュレーション機能の機能シミュレーションを示します。

図 14. PLL リコンフィギュレーション波形



ポートおよびパラメータ

表 11から 15に、altpll_reconfigメガファンクションに対するパラメータ、入力ポート、出力ポート、およびカウンタ設定を示します。

表 11. altpll_reconfig メガファンクション・パラメータ	
パラメータ名	説明
PLL_TYPE	メガファンクションが制御する PLL のタイプを定義します。enhanced または fast のいずれかの値です。enhanced PLL には 174 ビットのコンフィギュレーションがあり、fast PLL には 75 ビットのコンフィギュレーションがあります。
SCAN_INIT_FILE	スキャン・チェーンの初期値として使用されるメモリ初期化ファイル (MIF) または Intel フォーマット (HEX) ファイルの名前です。このファイルは、PLL_TYPE に応じて、174 ビットまたは 75 ビットのいずれかになります。データ・ビットのフォーマットは、表 9 または表 10 で指定されるスキャン・チェーンのフォーマットに準拠している必要があります。指定されない場合、スキャン・チェーンはデフォルトの 0 で初期化されます。

表 12. altpll_reconfig メガファンクション入力ポート (1 / 2)

ポート名	必須	説明
clock	はい	個々のパラメータをロードするため、そしてリコンフィギュレーション中に PLL をドライブするために使用されるクロック入力です。このポートは有効なクロックに接続する必要があります。
data_in[]	いいえ	パラメータを書き込んで、パラメータ・データを供給できる 9 ビット・バスです。9 ビットのうちの一部しか使用しないパラメータもあります。この場合、ビット 0 から始まるビットのみ使用されます（例えば、位相ステップ設定ではビット 0 ~ 1 が使用されます）。このバスは未接続の場合には、デフォルトの 0 になります。
counter_type[3..0]	いいえ	更新するカウンタ・タイプを選択する 4 ビット・バスです。表 14 に、各 counter_type の値に対して、指定されるカウンタを決定するマップを示します。
counter_param[2..0]	いいえ	あるカウンタ・タイプに対して更新するパラメータを選択する 3 ビット・バスです。表 15 に、各パラメータ・タイプへのマッピングを示します。
read_param	いいえ	counter_type[] および counter_param[] で指定されるパラメータをスキャン・チェーンから読み込んで、data_out[] に供給する必要があることを示す信号です。読み込まれて data_out[] に設定されるビット数は、上記のとおりパラメータ・タイプによって異なります。この信号は立ち上がりクロック・エッジでサンプリングされ、その時点でスキャン・チェーンからのパラメータ値の読み込みが開始されます。さらに、パラメータが以降のクロック・サイクルで再読み込みされないようにするために、この信号は 1 クロック・サイクルのみアサートする必要があります。 read_param が読み込まれて、アサートされた直後に、busy 信号がアクティブになります。パラメータの読み込み中、busy 信号はアサートされたままです。busy 信号が非アクティブになると、data_out[] が有効になり、次のパラメータのロードを開始できます。busy 信号がアクティブの間、data_out[] は無効になります。
write_param	いいえ	counter_type[] および counter_param[] で指定されたパラメータを、data_in[] で与えられる値でスキャン・チェーンに書き込む必要があることを示す信号です。data_in[] から読み込まれるビット数は、上記のパラメータ・タイプによって異なります。この信号は立ち上がりクロック・エッジでサンプリングされ、その時点でパラメータ値のスキャン・チェーンへの書き込みが開始されます。さらに、パラメータが以降のクロック・サイクルで再書き込みされないようにするために、この信号は 1 クロック・サイクルしかアサートしてはなりません。 write_param が読み込まれて、アサートされた直後に、busy 信号がアクティブになります。パラメータが書き込まれている間、busy 信号はアサートされたままです。data_in[] への入力は無視されます。busy 信号が非アクティブになると、デバイスは次のパラメータの書き込みを開始します。

表 12. altpll_reconfig メガファンクション入力ポート (2 / 2)

ポート名	必須	説明
reconfig	はい	<p>スキャン・チェーンで指定される新しいPLL設定を使用して、PLLをリコンフィギュレーションする必要があることを示す信号です。デバイスはクロックの立ち上がりエッジでこの信号をサンプリングし、その時点でスキャン・チェーン設定のPLLへのロードが開始されます。さらに、リコンフィギュレーション完了後にPLLが再ロードされないようにするために、この信号は1クロック・サイクルしかアサートしてはなりません。</p> <p>reconfig信号がアクティブとして読み込まれるとすぐに、busy信号がアクティブになります。さらに、pll_scanwrite信号もアクティブになり、スキャン・チェーンからPLLに新しい設定のロードが開始されます。PLLがリコンフィギュレーションされている間、busy信号はアクティブになったままです。busy信号が非アクティブになると、再びパラメータを修正できます。</p> <p>カウンタおよび位相ステップ・コントロール・ビットを設定し、reconfig信号をHighに遷移させることをお勧めします。これにより、scandataがスキャン・チェーンに一度だけ送信されます。20ページの図13を参照してください。reconfig信号を必要な回数だけトグルするとscanwrite信号がトグルされ、出力クロック(c0)の位相シフトが増分また減分されます。</p>
reset	はい	<p>有効な状態になるようにステート・マシンを初期化するのに使用される非同期リセット入力です。ステート・マシンは、初めて使用する前にリセットする必要があり、そうしない場合は有効な状態が保証されません。このポートは接続する必要があります。</p>
pll_scandataout	いいえ	<p>altpllインスタンスのscandataoutポートでドライブされる入力信号です。scandataout信号は、スキャン・チェーン・シフト・レジスタからの直接出力です。この信号を使用して、スキャン・チェーンの既存の内容を読み出すことができます。</p>
pll_scandone	いいえ	<p>altpllインスタンスのscandoneポートでドライブされる入力信号です。この信号がHighになると、リコンフィギュレーションが完了したことを示します。</p>

表 13. altpll_reconfig メガファンクション出力ポート

ポート名	必須	説明
data_out[8..0]	いいえ	ユーザがパラメータ・データをリード・バックできる 9 ビット・バスです。counter_type[] および counter_param[] の値を使用し、read_param信号をHighに遷移させることによって、パラメータ値が要求され、この時点で、パラメータの値がスキャン・チェーンからロードされ、このバス上でドライブされます。busy信号がデアサートされるとデータが有効になります。
busy	いいえ	ステート・マシンが、スキャン・チェーンにパラメータを読み込み/書き込み中か、または PLL のリコンフィギュレーション中のためにビジーであることを示す信号です。この信号がアサートされている間、ステート・マシンは入力を無視します。この信号がデアサートされるまで、ステート・マシンは変更できません。
pll_scanclk	はい	リコンフィギュレーションする PLL の scanclk ポートをドライブする信号です。
pll_scanread	はい	リコンフィギュレーションする PLL の scanread ポートをドライブする信号です。
pll_scanwrite	はい	リコンフィギュレーションする PLL の scanwrite ポートをドライブする信号です。
pll_scandata	はい	リコンフィギュレーションする PLL の scandata ポートをドライブする信号です。

表 14. altpll_reconfig メガファンクションの counter_type[3..0]の設定 (1 / 2)

カウンタ選択	counter_type[3..0]	
	2 進	16 進
N	0000	0x0
M	0001	0x1
CP/LF	0010	0x2
C0	0100	0x4
C1	0101	0x5
C2	0110	0x6
C3	0111	0x7
C4	1000	0x8

表 14. altpll_reconfig メガファンクションの counter_type[3..0] の設定 (2 / 2)

カウンタ選択	counter_type[3..0]	
	2 進	16 進
C5	1001	0x9
(不正な値)	その他のすべての組み合わせ	

表 15. altpll_reconfig メガファンクションの counter_param[2..0] の設定

カウンタ選択	counter_param [2..0]		幅 (ビット数)
	2 進	16 進	
ノミナル・カウント (enhanced M、N の場合)	000	0x0	9
High サイクル・カウント (enhanced C0~C5 対象) (1)	000	0x0	8
Low サイクル・カウント (enhanced C0~C5 対象) (1)	001	0x1	8
High サイクル・カウント (fast C0 ~ C3、M 対象)	000	0x0	4
Low サイクル・カウント (fast C0 ~ C3、M 対象)	001	0x1	4
ノミナル・カウント (fast N 対象)	000	0x0	2
位相ステップ設定	010	0x2	2
カウンタ・バイパス・ビット	100	0x4	1
カウンタ奇数分周ビット (C0 ~ C5、fast M 対象) (1)	101	0x5	1
拡散カウンタ・バイパス (enhanced M、N 対象)	101	0x5	1
チャージ・ポンプ電流 (CP/LF 対象)	000	0x0	4
ループ・フィルタ・レジスタ (CP/LF 対象)	001	0x1	6
ループ・フィルタ・コンデンサ (CP/LF 対象)	010	0x2	2
(不正な値)	その他のすべての組み合わせ		

表 15 の注：

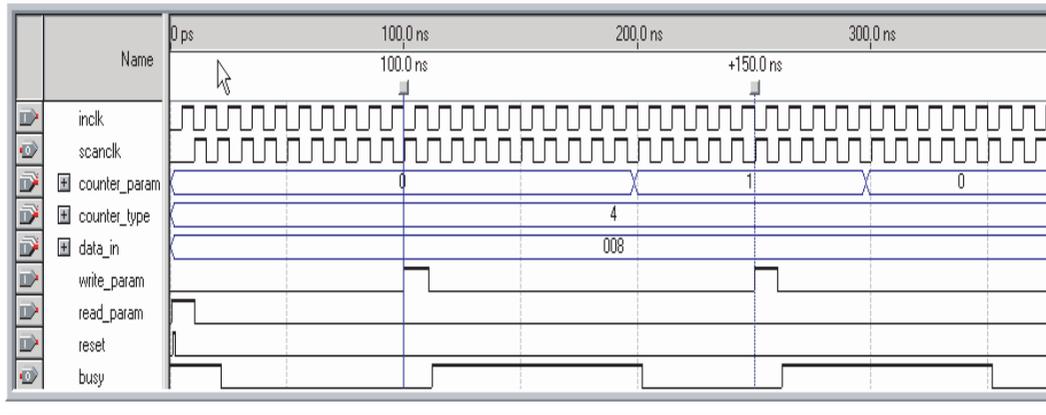
(1) C4 および C5 カウンタは、enhanced PLL に対してのみ有効です。

altpll_reconfig を使用した C0 カウンタのリ コンフィギュ レーション

このセクションでは、ステップ 1 およびステップ 2 に従い、altpll_reconfig メガファンクションを使用して C0 カウンタをリコンフィギュレーションする方法について説明します。

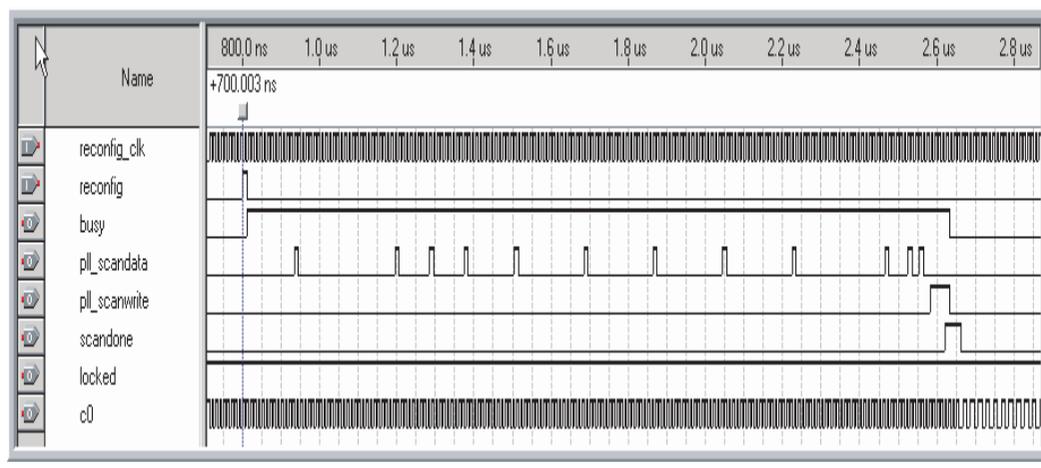
1. カウンタ C0 に対する分周値を 8 から 16 にリコンフィギュレーションします。次のサブステップに、リコンフィギュレーションの実行方法を示します。図 15 の波形はパラメータ値を示します。
 - a. スキャン・チェーンをイネーブルする前にステート・マシンが有効な状態になるように、reset 信号を High に遷移させてステート・マシンを初期化します。
 - b. 1 クロック・サイクルの間 read_param 信号を High に遷移させて、スキャン・チェーンへの書き込みをイネーブルします。
 - c. カウンタ C0 を選択するために、couter_type[] が 0x4 に設定されます。
 - d. High カウンタ・パラメータを選択するために、couter_param[] が 0x0 に設定されます。
 - e. data_in[] が 0x8 に設定され、High カウントに 8 を指定します。
 - f. 1 クロック・サイクルの間 write_param を High に遷移させ、t=100 ns でスキャン・チェーンへのデータ・ロードが開始されるようにします。
 - g. t=150 ns でのデータ・ロード開始時点から t=250ns まで、ステート・マシンが busy 信号を High に遷移させ、t=250 ns の時点でデータ・ロードが正常に完了します。
 - h. couter_param[] が 0x1 に設定され、Low カウンタ・パラメータが選択されます。
 - i. data_in[] が 0x8 に設定され、Low カウントに 8 を指定します。
 - j. 1 クロック・サイクルの間 write_param を High に遷移させ、t=250 ns でスキャン・チェーンへのデータ・ロードが開始されるようにします。
 - k. t=250 ns でのデータ・ロード開始時点から t=350 ns まで、ステート・マシンが busy 信号を High に遷移させ、t=350 ns の時点でデータ・ロードが正常に完了します。

図 15. カウンタ C0 に対する分周値リコンフィギュレーションの波形図



2. 出力クロック周波数が 100 MHz から 50 MHz に変化するように、スキャン・データの現在のパラメータで PLL をリコンフィギュレーションします。次のサブステップで、リコンフィギュレーションの実行方法を示します。図 16 の波形はパラメータ値を示します。
 - a. 1クロック・サイクルの間reconfig信号をHighに遷移させ、 $t = 800 \text{ ns}$ で、スキャン・チェーン内のデータの PLL スキャン・ポートを介した PLL へのロードが開始されるようにします。
 - b. $t = 800 \text{ ns}$ でのデータ・ロード開始時点から、scandata が完全にスキャン・チェーンに書き込まれる $t = 2.65 \mu\text{s}$ まで、ステート・マシンが busy 信号を High に遷移させます。
 - c. pll_scanwrite 信号を High に遷移させると、スキャン・チェーンからの新しいコンフィギュレーション・データが PLL にロードされます。scandone 信号がおおよそ $2.75 \mu\text{s}$ の時点で Low になり、PLL が正常にリコンフィギュレーションされ、C0 クロック周波数が 100 MHz から 50 MHz に変更されたことを通知します。

図 16. PLL のリコンフィギュレーションにおける波形ビュー



同様に、以下のような位相シフト・ステップを実装できます。

1. 12 ページの表 4 に示すように、write_param および data_in を使用して、位相コントロール・ビットの設定をスキャン・チェーンに書き込みます。
2. 必要な回数だけ reconfig 信号をトグルして、45° または VCO 周期の 1/8 (0.125) の増分で出力クロックの位相をインクリメントします。これについては、26 ページの「位相シフトのステップ」で詳細に説明しています。「例 3: ライト・パラメータと altpll_reconfig デザインを使用した位相シフト・ステップの実装」では、位相シフト・ステップの実装方法について説明しています。

デザイン例

この項では、リコンフィギュレーション可能な PLL をデザインに実装する例を示します。

例 1 : MIF を使用した altpll_reconfig デザイン

altpll_reconfig デザインを解凍し、Quartus II ソフトウェアでコンパイルします。C0 カウンタをリコンフィギュレーションして、初期設定の 12 分周ではなく 6 分周できるように MIF がセットアップされました。これにより、出力クロック周波数が 100 MHz から 50 MHz に変化します。その他の設定やカウンタをリコンフィギュレーションするには、まずリコンフィギュレーションの対象となるカウンタを altpll MegaWizard Plug-In でイネーブルし、対応するスキャン・ビット (表 9 に示す) を MIF ファイル内で変更します。

例2: ライト・パラメータを使用したaltpll_reconfigデザイン

altpll_reconfig デザインを解凍し、Quartus II ソフトウェアでコンパイルします。ライト・パラメータ (counter_type、counter_param など) は、PLL のリコンフィギュレーション後に、出力クロック周波数が 100 MHz から 50 MHz に変化するようにセットアップされています。PLL カウンタ / 位相シフトに対するその他の変更は、「[ポートおよびパラメータ](#)」の項の表 15 に示すとおり、カウンタ・パラメータを変更して行うことができます。

例 3 : ライト・パラメータと altpll_reconfig デザインを使用した位相シフト・ステップの実装

altpll_reconfig デザインを解凍し、Quartus II ソフトウェアでコンパイルします。ライト・パラメータ (counter_type、counter_param など) は、45° または VCO 周期の 1/8 (0.125) の増分で前方にステップするようにセットアップされます。reconfig 信号が 5 回トグルして、1.25ns の位相シフトを行います。PLL カウンタ / 位相シフトの設定に対するその他の変更は、「[ポートおよびパラメータ](#)」の項の表 15 に示すように、カウンタ・パラメータを変更して行うことができます。

まとめ

PLL リコンフィギュレーションは、システム設計者がクロック出力周波数を変更したり、動作中に位相シフトするのに使用できる強力な機能です。PLL ロックの喪失、グリッチ、出力位相の関係など、重要な検討事項があり、これらは PLL カウンタや位相シフトの設定を選択する上で影響を与えます。PLL パラメータは、単一ステップで大幅に変化させずに、少しずつインクリメントして変更することをお勧めします。また、PLL リコンフィギュレーション時間も標準で 20 μ s 未満なので、動作モードを迅速に切り換えることができます。Stratix II PLL の柔軟性により、優れたクロック管理システムを実現できます。

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。



101 Innovation Drive
San Jose, CA 95134 (408) 544-7000
www.altera.com
Applications Hotline: (800) 800-EPLD
Literature Services: lit_req@altera.com

Copyright © 2004 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



I.S. EN ISO 9001