



この翻訳版ドキュメントのメンテナンスは終了しております。

この文書には、古いコンテンツや商標が含まれている場合があります。

最新情報につきましては、次のリンクから英語版の最新資料をご確認ください。

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

Please take note that this document is no longer being maintained. It may contain legacy content and trademarks which may be outdated.

Please refer to English version for latest update at

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

### 概要

航空電子、テレコム、システム・コントロール、および軍用アプリケーションの分野で使用されるクリティカルな用途では、以下ができることが重要です。

- FPGA デバイスに格納されたコンフィギュレーション・データが正確であることを確認する。
- システムにコンフィギュレーション・エラーの発生を警告する。



SEU に関する情報は、アルテラ・ウェブサイト ([www.altera.co.jp](http://www.altera.co.jp)) の製品ページにあります。

ある種のデバイスに組み込まれた専用回路は、オプションで継続的かつ自動的に SEU をチェック可能な CRC (Cyclic Redundancy Check) エラー検出機能で構成されています。

Quartus® II ソフトウェア v4.1 から FPGA デバイスにエラー検出 CRC 機能が提供されています。Quartus II ソフトウェア CRC 機能は、以下のデバイスでサポートされています。

- Stratix® IV
- Stratix III
- Stratix II
- Stratix II GX
- Stratix
- Stratix GX
- Cyclone® III
- Cyclone II
- Cyclone



HardCopy®, HardCopy II, および Hardcopy III デバイスはコンフィギュレーション回路を備えていないので、CRC 機能は必要ありません。



このアプリケーション・ノートでは、デバイスがユーザー・モードのときにエラー検出CRC機能をアクティブにして使用する手法、および CRC エラーにより発生したコンフィギュレーション・エラーから回復する方法について説明します。このアプリケーション・ノートの内容は、以下のデバイスのエラー検出 CRC 機能のみを対象としています。

- Stratix II
- Stratix II GX
- Stratix
- Stratix GX
- Cyclone II
- Cyclone



Stratix IV、Stratix III および Cyclone III デバイスのエラー検出 CRC 機能については、「デバイス・ハンドブック」の「SEU の緩和」の章を参照してください。

このアプリケーション・ノートでは、以下について説明します。

- 2 ページの「エラー検出の基礎」
- 3 ページの「コンフィギュレーション・エラー検出」
- 3 ページの「ユーザー・モード・エラー検出」
- 5 ページの「CRC\_ERROR ピン配置」
- 6 ページの「エラー検出 ブロック」
- 9 ページの「エラー検出のタイミング」
- 12 ページの「ソフトウェア・サポート」
- 17 ページの「CRC エラー からの回復」
- 17 ページの「まとめ」

## エラー検出の基礎

エラー検出では、媒体から受信したデータが送信中に破壊されたかどうかを判定します。これを実行するために、トランスミッタはデータのチェックサム値を計算し、オリジナルのデータ・フレームにチェックサムを付加するファンクションを使用します。レシーバは同じ計算方法を使用して、受信データ・フレームのチェックサムを生成し、これを送信されたチェックサムと比較します。この2つのチェックサム値が等しい場合、受信データ・フレームは正しく、送信中またはストレージ中にデータ破壊は発生していません。

エラー検出 CRC 機能も、同じ概念を使用しています。Stratix および Cyclone シリーズ (Stratix II、Stratix II GX、Stratix、Stratix GX、Cyclone II、および Cyclone) のデバイスがユーザー・モードになっている場合は、エラー検出 CRC 機能により、コンフィギュレーション・データの完全性が確保されます。



以下の2つの CRC エラー・チェックがあります。1つはコンフィギュレーション時に常に実行されるチェックで、もう1つはユーザー・モードにおいてバックグラウンドで実行されるオプションの CRC エラー・チェックです。本資料では、ユーザー・モードの CRC エラー検出機能について説明します。

## コンフィギュレーション・エラー検出

デバイスがユーザー・モードのときにのみ利用可能なエラー検出 CRC 機能は、フレーム・ベースの CRC を超える追加的な機能です。この機能により、Stratix および Cyclone シリーズのデバイスのコンフィギュレーション中にデータ完全性がチェックされます。コンフィギュレーション・モードでは、フレーム・ベースの CRC がコンフィギュレーション・データ内に格納され、各データ・フレームの CRC 値を保持しています。

コンフィギュレーション中には、FPGA が受信したデータ・フレームに基づいて CRC 値を計算し、それをデータ・ストリームのフレーム CRC 値と比較します。コンフィギュレーションは、デバイスがエラーを検出するか、コンフィギュレーションが完了するまで続きます。

## ユーザー・モード・エラー検出

すべての Stratix および Cyclone シリーズのデバイスは、CRAM (configuration randomaccess memory) セル内のソフト・エラーによるデータ破壊を検出するエラー検出回路を内蔵しています。


ソフト・エラーとは、放射性粒子によって生じる CRAM ビット状態の変化のことです。

デバイスをリコンフィギュレーションすることによってデータ・ビットが正しい値に書き直されると、デバイスは正しく機能します。このエラー検出機能は、コンフィギュレーション済みの CRAM ビットの CRC を継続的に計算し、それを計算済みの CRC と比較します。両方の CRC が一致する場合、現在のコンフィギュレーション CRAM ビットにはエラーはありません。このエラー検出プロセスは、デバイスがリセットされる (nCONFIG を Low に設定) まで続きます。

Stratix および Cyclone シリーズのデバイスのエラー検出機能は、メモリ・ブロックと I/O バッファはチェックしません。メモリ・ブロックは、内容にエラーがないかチェックするのに使用されるパリティ・ビットをサポートしています。I/O バッファのビットは、ストレージ・エレメントとしてソフト・エラーに強いフリップ・フロップを使用しているため、エラー検出時にチェックされません。計算済み CRC と他のエラー検出回路のオプション・ビットを格納するために、同様なフリップ・フロップが使用されています。

Stratix および Cyclone シリーズのデバイスのエラー検出回路は、32 ビット CRC IEEE 802 規格と 32 ビット多項式を CRC ジェネレータとして使用します。したがって、32 ビットの CRC 計算はデバイスによって実行されます。ソフト・エラーが発生しない場合、結果の 32 ビット・シグネチャ値は 0x00000000 で、結果として出力信号 CRC\_ERROR は 0 になります。デバイス内でソフト・エラーが発生すると、結果のシグネチャ値はゼロ以外になり、出力信号 CRC\_ERROR は 1 になります。

Stratix II、Stratix II GX および Cyclone II デバイスは、ユーザー・モードのときに、CHANGE\_EDREG JTAG 命令をサポートしており、これで 32 ビット・ストレージ・レジスタに書き込むことができます。Jam ファイル (.jam) を使用して、テストと検証プロセスを自動化することができます。これは、デバイスをリコンフィギュレーションすることなく、CRC 機能をイン・システムでオン・ザ・フライに検証できるようにする強力なデザイン機能です。CRC 回路の使用に切り換えて、SEU で誘発された実際のエラーをチェックできます。

 デバイスがユーザー・モードのときは、CHANGE\_EDREG JTAG 命令しか実行できません。

**表 1. CHANGE\_EDREG JTAG 命令**

JTAG 命令	命令コード	説明
CHANGE_EDREG	00 0001 0101	この命令は、TDI と TDO の間に 32 ビット CRC オプション・レジスタを接続します。CRC_ERROR ピンにあるエラー検出 CRC 回路の動作をテストするために、計算済み CRC を CRC オプション・レジスタにロードできます。

Stratix II および Stratix II GX デバイスは、コンフィギュレーション・モード中に CRC 値を計算します。これらのデバイスは、コンフィギュレーション・モードの終了時に CRC 値を 32 ビット・ストレージ・レジスタにロードします。

Stratix、Stratix GX、Cyclone II および Cyclone デバイスの場合、CRC は Quartus II ソフトウェアで計算され、コンフィギュレーション・ビット・ストリームの一部としてデバイスにダウンロードされます。これらのデバイスは、コンフィギュレーション・モードの終了時に 32 ビット・ストレージ・レジスタに CRC を格納します。

ユーザー・モードでエラー検出 CRC 機能がイネーブルされると、これらのデバイスはデバイスに基づいて CRC を再計算し、それを 32 ビット・ストレージ・レジスタと比較します。

## CRC\_ERROR ピン配置

表 2 は、CRC\_ERROR ピンを説明しています。表 3 および 4 に、Stratix および Stratix GX デバイス・ファミリの CRC\_ERROR ピン位置を示します。

ピン名	ピン・タイプ	説明
CRC_ERROR	I/O、出力	エラー検出回路がコンフィギュレーション CRAM ビットでエラーを検出したことを示すアクティブ High 信号です。このピンはオプションで、エラー検出 CRC 回路がイネーブルされるときに使用されます。エラー検出 CRC 回路がディセーブルされると、ユーザー I/O ピンになります。WYSIWYG 機能を使用するとき、CRC エラー出力は CRC_ERROR ピンへの専用パスです。CRC_ERROR ピンはオープン・ドレインや反転をサポートしません。



WYSIWYG (What You See Is What You Get) は、Quartus II ソフトウェアの VQM (Verilog Quartus Mapping) ネットリストで最適化を行う最適化手法です。

デバイス	デバイス・パッケージ						
	484 ピン FineLine BGA (1)	672 ピン BGA	672 ピン FineLine BGA	780 ピン FineLine BGA	956 ピン BGA	1,020 ピン FineLine BGA	1,508 ピン FineLine BGA
EP1S10 (2)	N14	W10	W10	AA20	—	—	—
EP1S20	N14	W10	W10	AA20	—	—	—
EP1S25	—	W10	W10	AA20	—	AF20	—
EP1S30	—	—	—	AA20	AE21	AF20	—
EP1S40	—	—	—	AA20	AE21	AF20	AN25
EP1S60	—	—	—	—	AE21	AF20	AN25
EP1S80	—	—	—	—	AE21	AF20	AN25

### 表 3 の注 :

- (1) FineLine BGA とは、FineLine ボール・グリッド・アレイのパッケージ・タイプです。
- (2) EP1S10 エンジニアリング・サンプル (ES) デバイスはエラー検出機能をサポートしていません。

表 4. Stratix GX デバイスの CRC\_ERROR ピン・テーブル

デバイス	デバイス・パッケージ	
	672 ピン FineLine BGA	1,020 ピン FineLine BGA
EP1SGX10C	U15	—
EP1SGX10D	U15	—
EP1SGX25C	U15	—
EP1SGX25D	U15	AE21
EP1SGX25F	—	AE21
EP1SGX40D	—	AE21
EP1SGX40G	—	AE21

Stratix II、Stratix II GX、Cyclone II および Cyclone デバイスの CRC\_ERROR ピン情報は、アルテラ・ウェブサイト ([www.altera.co.jp](http://www.altera.co.jp)) にある Literature ページのデバイス・ピン配列にレポートされます。

## エラー検出 ブロック

Quartus II ソフトウェアでは、Stratix または Cyclone シリーズのデバイスのエラー検出ブロックをイネーブ爾できます (12 ページの「ソフトウェア・サポート」を参照)。このブロックには、デバイス内のコンフィギュレーション CRAM ビット用の 32 ビット CRC シグネチャの計算に必要なロジックが含まれています。

この CRC 回路はエラーが発生した場合でも継続して動作します。ソフト・エラーが発生すると、デバイスは CRC\_ERROR ピンを High に設定します。以下の 2 つのタイプの CRC 検出により、コンフィギュレーション・ビットをチェックします。

- 1 つは、CRC\_ERROR ピンで使用するためのユーザー・モード中の CRAM エラー・チェック機能 (32 ビット CRC) です。32 ビット CRC 値は 1 つしかなく、この 32 ビット CRC 値で CRAM データをすべてカバーします。
- もう 1 つは、各コンフィギュレーション・データ・フレームに組み込まれている 16 ビット CRC です。コンフィギュレーション中、データのフレームが FPGA にロードされた後、計算済み CRC が CRC 回路にシフト・インされます。同時に、シフト・インされたデータ・フレームの CRC 値が計算されます。計算済み CRC と計算された CRC 値が一致しない場合、nSTATUS が Low に設定されます。どのデータ・フレームにも 16 ビット CRC があるため、コン

フィギュレーション・ビット・ストリーム全体では多数の 16 ビット CRC 値があります。コンフィギュレーション・データ・フレームの長さはデバイスごとに異なります。

このアプリケーション・ノートでは、最初のタイプ、すなわちデバイスがユーザー・モードの場合のみの 32 ビット CRC を中心に扱います。

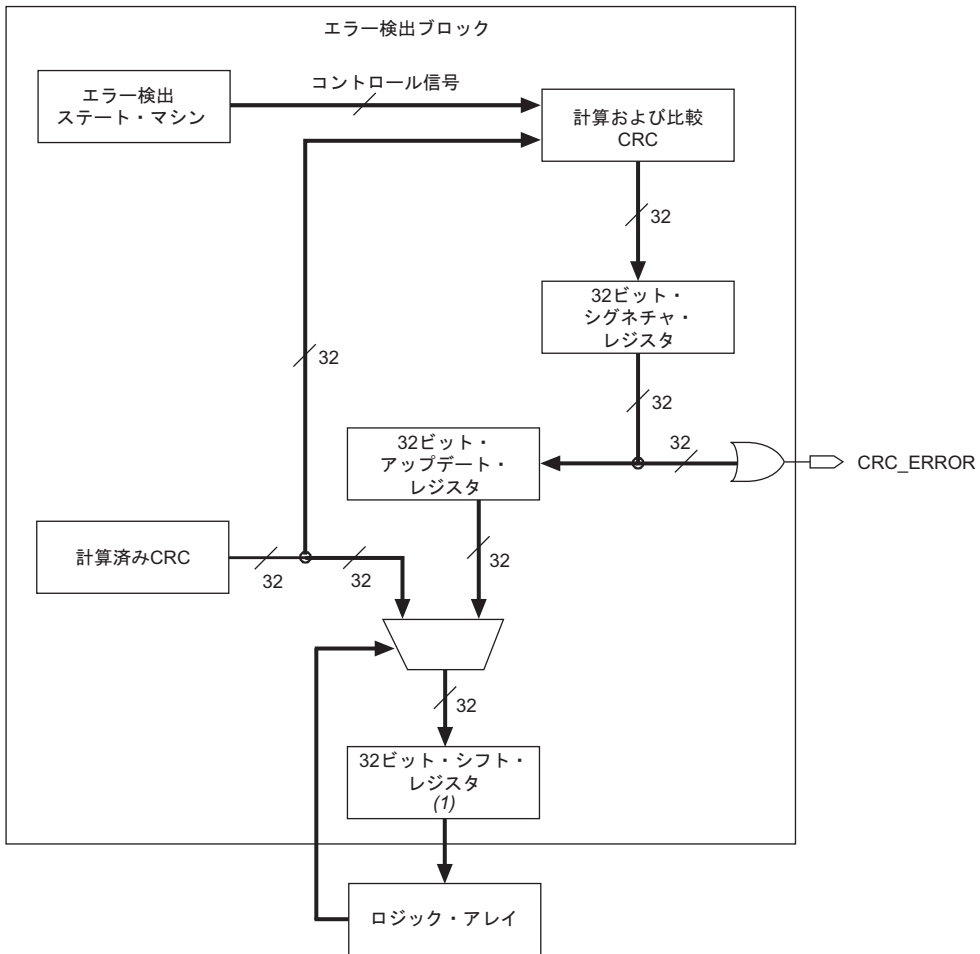


## エラー検出レジスタ

エラー検出回路には、計算された CRC シグネチャと計算済み CRC 値を格納する 2 組の 32 ビット・レジスタがあります。シグネチャ・レジスタにゼロ以外の値がある場合、CRC\_ERROR ピンは High に設定されます。

図 1 に、エラー検出ブロックおよび関連する 32 ビット・レジスタのブロック図を示します。

図 1. エラー検出ブロック図



**図 1 の注:**

(1) 32 ビット・シフト・レジスタを読み出すには、31 サイクルの clk 信号をクロックさせる必要があります。

表 5 は、図 1 に示すレジスタを定義しています。


レジスタ	機能
32 ビット・シグネチャ・レジスタ	このレジスタには CRC シグネチャが含まれます。シグネチャ・レジスタには、ユーザー・モードで計算された CRC 値を計算済み CRC 値と比較した結果が含まれます。エラーが検出されなかった場合、シグネチャ・レジスタはすべてゼロになります。シグネチャ・レジスタにゼロ以外の値がある場合、コンフィギュレーション CRAM の内容にエラーがあることを示します。 CRC_ERROR 信号は、このレジスタの内容から派生したものです。
32 ビット・ストレージ・レジスタ	このレジスタには、コンフィギュレーション・ステージの終了時に 32 ビットの計算済み CRC シグネチャがロードされます。このシグネチャは、ユーザー・モード時には、CRC エラーを計算するために 32 ビット CRC 回路（図 1 に示すように Compute and Compare CRC ブロックと呼びます）にロードされます。 CHANGE_EDREG JTAG 命令の実行中、このレジスタは 32 ビット・スキャン・チェーンを形成します。CHANGE_EDREG JTAG 命令は、ストレージ・レジスタの内容を変更できます。したがって、エラー検出 CRC 回路の機能は、動作中にエラーを発生させる命令を実行することによって、イン・システムでチェックされます。CHANGE_EDREG 命令を発行するときに、デバイスの動作は停止しません。
32 ビット・アップデート・レジスタ	このレジスタは、シグネチャ・レジスタの内容が有効になってから 1 サイクル後にシグネチャ・レジスタの内容で自動的にアップデートされます。これにより、シフト・レジスタがアップデート・レジスタの内容を読み取っているときに同時にアップデート・レジスタがシグネチャ・レジスタの内容によって書き換えられることはありません。
32 ビット・シフト・レジスタ	ロジック・アレイは、このレジスタにアクセスできます。また、このレジスタにより、ユーザー・ロジックは、アップデート・レジスタまたは計算済み CRC 値が格納されたレジスタの内容を読み取ることができます。

## エラー検出の タイミング

デバイス・コンフィギュレーションを完了し、デバイスをユーザー・モードにすると、CHANGE\_EDREG JTAG 命令を実行することができます。ソフト・エラーがない場合、コマンドが実行される前に CRC\_ERROR ピンが Low に設定されます。エラー検出 CRC 回路の 32 ビット CRC オプション・レジスタを変更して、ソフト・エラーを発生させることができます。CRC\_ERROR ピンが High に設定され、エラーが示されます。CRC 値の変更によって誘発された障害を検証した後、同じ命令を使用して正しい値を挿入することによって、32 ビット CRC 値を正しい CRC 値に戻すことができます。不正値を入れて更新する前に、まず正しい値を読み出してください。さらに、Jam ファイルを作成して、このプロセスを自動化することができます。

Quartus II ソフトウェアを通してエラー検出 CRC 機能がイネーブルされると、デバイスはコンフィギュレーションおよび初期化の完了後、ユーザー・モードに入ったときに自動的に CRC プロセスをアクティブにしま

す。CRC\_ERROR ピンはエラーが発生するまで Low にドライブされます。CRC\_ERROR ピンは、エラー検出回路が前の CRC 計算で不正なビットを検出したときに High にドライブされます。

 アルテラでは、テストの完了後にデバイスをリコンフィギュレーションすることを推奨しています (CRC オプション・レジスタが変更されたため)。

CRC\_ERROR ピンは一度 High になると、次の CRC 計算中も High になったままです。このピンは前の CRC 計算の記録は保持しません。新しい CRC 計算に不正なビットが含まれていない場合、CRC\_ERROR ピンは Low にドライブされます。エラー検出はデバイスがリセットされるまで動作します。

デバイスがユーザー・モードに入ると直ちに、エラー検出 CRC 機能がイネーブルされます。エラー検出回路はコンフィギュレーション・オシレータを動作させます。CRC 回路は、最大周波数およびその分周周波数で内部コンフィギュレーション・オシレータを動作させます。表 6 に、最小および最大エラー検出周波数を示します。

デバイス・タイプ	エラー検出周波数	最大エラー検出周波数	最小エラー検出周波数	有効な除数 (2 <sup>n</sup> )
Stratix および Stratix GX	100 MHz/2 <sup>n</sup>	100 MHz	390 kHz	0、1、2、3、4、5、6、7、8
Stratix II および Stratix II GX	100 MHz/2 <sup>n</sup>	50 MHz	390 kHz	1、2、3、4、5、6、7、8
Cyclone および Cyclone II	80 MHz/2 <sup>n</sup>	80 MHz	312.5 kHz	0、1、2、3、4、5、6、7、8

QuartusII ソフトウェアで分周係数を指定することによって、低いクロック周波数を設定することができます (12 ページの「ソフトウェア・サポート」を参照)。除数は 2 のべき乗 (2<sup>n</sup>) です。ここで、n は 0 ~ 8 です。除数の範囲は 1 ~ 256 です。以下の等式を参照してください。

$$\text{エラー検出周波数} = \frac{100 \text{ MHz}}{2^n}$$

各 CRC の計算に要する時間は、デバイスとエラー検出クロック周波数によって決まります。表 7 に、Stratix および Cyclone シリーズのデバイスの最小および最大クロック周波数での各CRC計算に対する見積り時間を示します。

<b>表 7. CRC の計算に要する時間 (1/2)</b>		
<b>デバイス</b>	<b>最小時間 (ms) 注 (1)</b>	<b>最大時間 (s) 注 (2)</b>
<b>Stratix II GX デバイス</b>		
EP2SGX30	22	2.816
EP2SGX60	39	4.992
EP2SGX90	59	7.552
EP2SGX130	86	11.008
<b>Stratix II デバイス</b>		
EP2S15	10	1.28
EP2S30	22	2.816
EP2S60	39	4.992
EP2S90	59	7.552
EP2S130	86	11.008
EP2S180	115	14.72
<b>Stratix デバイス</b>		
EP1S10	4.3	1.1
EP1S20	7.2	1.9
EP1S25	9.8	2.5
EP1S30	12.8	3.3
EP1S40	15.3	3.9
EP1S60	21.7	5.6
EP1S80	29.6	7.6
<b>Cyclone デバイス</b>		
EP1C3	0.92	0.24
EP1C4	1.3	0.32
EP1C6	1.8	0.45
EP1C12	3.5	0.90
EP1C20	5.4	1.4

表7. CRC の計算に要する時間 (2/2)		
デバイス	最小時間 (ms) 注 (1)	最大時間 (s) 注 (2)
<b>Stratix GX デバイス</b>		
EP1SGX10C	4.3	1.1
EP1SGX10D	4.3	1.1
EP1SGX25C	9.8	2.5
EP1SGX25D	9.8	2.5
EP1SGX25F	9.8	2.5
EP1SGX40D	15.3	3.9
EP1SGX40G	15.3	3.9
<b>Cyclone II デバイス</b>		
EP2C5	2	0.512
EP2C8	3	0.768
EP2C20	6	1.536
EP2C35	11	2.816
EP2C50	16	4.096
EP2C70	23	5.888

**表7の注:**

- (1) 最小時間は、最大エラー検出クロック周波数に対応しており、プロセス、電圧、温度によって変動する可能性があります。
- (2) 最大時間は、最小エラー検出クロック周波数に対応しており、プロセス、電圧、温度によって変動する可能性があります。

## ソフトウェア・サポート

Quartus II ソフトウェアは、バージョン 4.1 以降でエラー検出 CRC 機能をサポートしています。この機能をイネーブルすると、オプションの兼用 CRC\_ERROR ピンに CRC\_ERROR 出力を生成します。

エラー検出 CRC 機能は、Quartus II ソフトウェアの **Device & Pin Options** ダイアログ・ボックスで制御され、32 ビット CRC 回路を使用してデータの信頼性を確保しています。

CRC を使用したエラー検出機能は、以下のステップを実行することによりイネーブルされます。

1. Quartus II ソフトウェアを開いて、Stratix または Cyclone シリーズのデバイスを使用してプロジェクトを読み込みます。
2. Assignments メニューの **Settings** をクリックします。Settings ダイアログ・ボックスが表示されます。


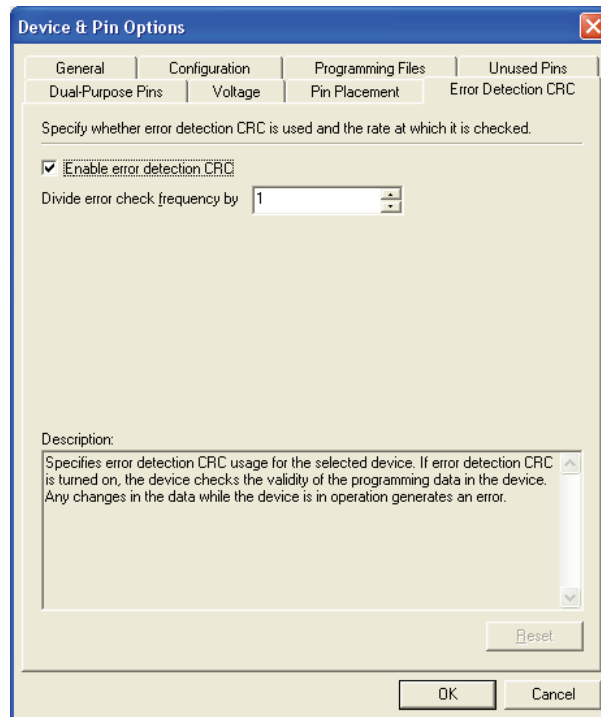
3. **Category** リストの **Device** を選択します。 **Device** ページが表示されます。
4. **Device & Pin Options** をクリックします。 **Device & Pin Options** ダイアログ・ボックスが表示されます (図 2 を参照)。
5. **Device & Pin Options** ダイアログの **Error Detection CRC** タブをクリックします。
6. **Enable error detection CRC** をオンにします。
7. 10 ページの表 6 に示すとおり、 **Divide error check frequency by** ボックスに有効な除数を入力します。  
 この除数値は、CRC 回路をクロックするコンフィギュレーション・オシレータ出力クロックの周波数を分周します。
8. **OK** をクリックします。

図 2. Quartus II ソフトウェアにおけるエラー検出 CRC 機能のイネーブル

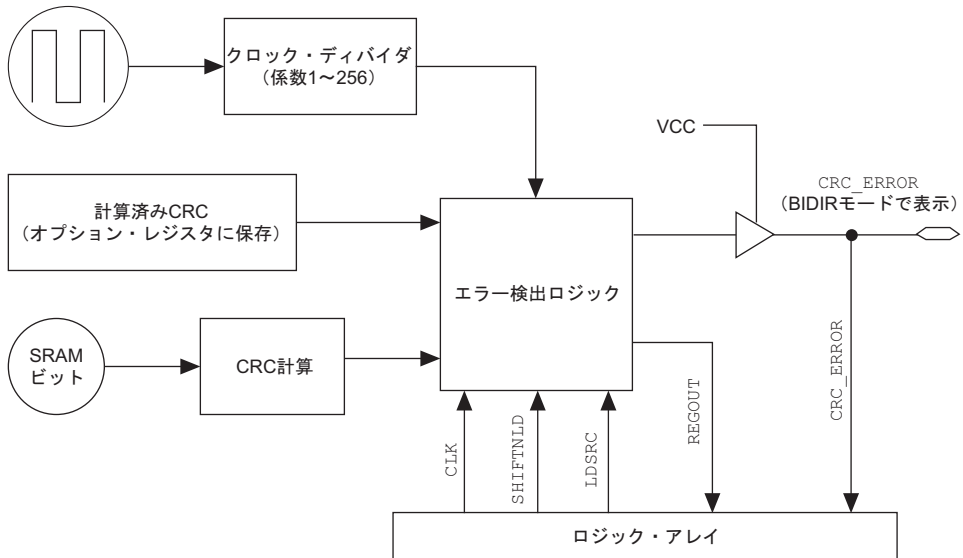


## ユーザー・ロジックを通じたエラー検出ブロックへのアクセス

エラー検出回路には、計算された 32 ビット CRC シグネチャを格納し、ユーザー・ロジックによるこのシグネチャの読み出しを可能にする特定のレジスタが含まれています。ユーザー・ロジックをエラー検出回路にインタフェースするには、ロジック・アレイにアクセスする必要があります。<device>\_crcblock は、ユーザー・ロジックからエラー検出回路へのインタフェースを確立するために使用される WYSIWYG コンポーネントです。<device>\_crcblock プリミティブ・アトムには、アトムの中に含めなければならない入力および出力ポートが入っています。ロジック・アレイにアクセスするには、<device>\_crcblock WYSIWYG アトムをデザインに挿入しなければなりません。図 3 は、FPGA デバイスのエラー検出ブロック図を示したもので、ユーザーのデザイン中で WYSIWYG アトムによりイネーブルされるインタフェースが示されています。

図 3. エラー検出ブロック図

100 MHz/80 MHz チップ内蔵オシレータ





ユーザー・ロジックは、ソフト・エラー障害によって影響を受ける可能性があるため、ソフト・エラー検出のためにシフト・レジスタを通じた 32 ビット CRC シグネチャの読み出しに依存してはなりません。CRC\_ERROR 出力信号はソフト・エラーによって影響を受けないので、CRC\_ERROR 出力信号自体に依存すべきです。



デザインに <device>\_crcblock WYSIWYG アトムを組み込むには、Quartus II ソフトウェアの **Device & Pin Options** ダイアログ・ボックスでエラー検出 CRC 機能もイネーブルしなければなりません。

<device>\_crcblock WYSIWYG アトムをイネーブルするには、各デバイスについてアトムに名前を付ける必要があります。表 8 に、各デバイスについての WYSIWYG アトムの名前を示します。Stratix II、Stratix II GX、Stratix、Stratix GX、Cyclone II、および Cyclone デバイスでは、アトムの入力および出力ポートは類似しています。表 9 に、アトムに組み込まなければならない入力および出力ポートを示します。以下の例は、Stratix デバイスの WYSIWYG アトムの入力および出力ポートを示したものです。

---

**例 1-1.**

```
stratix_crcblock <crcblock_name>
(
    .clk(<clock source>),
    .shiftnld(<shiftnld source>),
    .ldsrc(<ldsrc source>),
    .crcerror(<crcerror out destination>),
    .regout(<output destination>)
);
```

---



**表 8. WYSIWYG アトム**

デバイス	WYSIWYG アトム
Stratix II GX	stratixiigx_crcblock
Stratix II	stratixii_crcblock
Stratix GX	stratixgx_crcblock
Stratix	stratix_crcblock
Cyclone III	cycloneiii_crcblock
Cyclone II	cycloneii_crcblock
Cyclone	cyclone_crcblock

**表 9. CRC ブロックの入力および出力ポート (1/2)**

ポート	入力 / 出力	定義
<crcblock_name>	入力	CRC ブロックの固有の識別子で、Verilog HDL、VHDL、AHDL など特定の記述言語について正当な識別名を表します。このフィールドは必須です。
.clk (<clock source>)	入力	この信号は、このセルのクロック入力を指定します。このセルのすべての動作は、このクロックの立ち上がりエッジを基準にしています。それがセルへのデータのローディングであっても、セルからのデータ出力であっても、常に立ち上がりエッジで行われます。このポートは必須です。
.shiftnld (<shiftnld source>)	入力	この信号はエラー検出ブロックへの入力です。shiftnld=1 の場合、データは clk の各立ち上がりエッジで内部シフト・レジスタから REGOUT にシフトされます。shiftnld=0 の場合、シフト・レジスタは、ldsrc ポート入力に応じて計算済み CRC 値またはアップデート・レジスタの内容のどちらかをパラレル・ロードします。このポートは必須です。
.ldsrc (<ldsrc source>)	入力	この信号はエラー検出ブロックへの入力です。ldsrc=0 の場合、shiftnld=0 のときに clk の立ち上がりエッジで 32 ビット・シフト・レジスタへのローディングのために計算済み CRC レジスタが選択されます。ldsrc=1 の場合、shiftnld=0 のときに clk の立ち上がりエッジでシフト・レジスタへのローディングのためにシグネチャ・レジスタ (CRC 計算の結果) が選択されます。shiftnld=1 の場合、このポートは無視されます。このポートは必須です。

表 9. CRC ブロックの入力および出力ポート (2/2)

ポート	入力 / 出力	定義 (続き)
.crcerror (<crcerror out destination>)	出力	この信号はセルの出力で、デバイスの内蔵オシレータ (100 MHz または 80 MHz の内蔵オシレータ) に同期され、clk ポートには同期されません。SRAM ビットが反転したことをエラー検出ブロックが検出し、内部の CRC 計算値が計算済みの値と異なることが示された場合、この信号は自動的に High にアサートされます。この信号は、出力ピンか双方向ピンのどちらかに接続しなければなりません。出力ピンに接続されている場合は、CRC_ERROR ピンをモニタすることのみができます (コアはこの出力にアクセスできません)。コア・ロジックによるエラー検出ロジックの読み出しに CRC_ERROR 信号を使用する場合、この信号は BIDIR ピンに接続しなければなりません。この信号は、oe ポートが V <sub>CC</sub> に接続されている BIDIR ピンに供給することにより、間接的にコアに供給されます (図 3 を参照)。
.regout (<output destination>)	出力	この信号は、clk ポートに同期されたエラー検出シフト・レジスタの出力であり、コア・ロジックによって読み出されます。この信号は各サイクルで 1 ビットだけシフトします。ユーザーは、シフト・レジスタの 32 ビットを読み出すために、clk 信号の 31 サイクルをクロックする必要があります。.regout ポートの値は、実際の値を反転したものです。

## CRC エラーからの回復

アルテラ FPGA を搭載するシステムは、デバイスのリコンフィギュレーションを制御しなければなりません。CRC\_ERROR ピンでエラーを検出した後、nCONFIG を Low にストローブして、Quartus II ソフトウェアが FPGA をリコンフィギュレーションするのに安全な状況でリコンフィギュレーションを実行するよう時間を指示します。

Quartus II ソフトウェアでは、エラー検出 CRC 機能は、32 ビット CRC 回路を使用してデータの信頼性を確保し、SEU による影響を受けた場合にリコンフィギュレーションをトリガします。

アルテラの FPGA ではソフト・エラーはめったに発生しませんが、高信頼性アプリケーションでは、これらのエラーに対応したデザインが要求される場合があります。

## まとめ

エラー検出 CRC 機能の目的は、ソフト・エラーに起因する Stratix または Cyclone シリーズのデバイス内のどれかのコンフィギュレーション CRAM ビットでの反転を検出することです。エラー検出回路を使用して、コンフィギュレーション CRAM ビットの完全性を連続的に確認することができます。

## 改訂履歴

表 10 に、このアプリケーション・ノートの改訂履歴を示します。

表 10. 改訂履歴		
日付およびドキュメント・バージョン	変更内容	概要
2008 年 7 月 v1.4	<ul style="list-style-type: none"> <li>■ 概要の項を更新。</li> <li>■ 表 2、表 5、表 7、および表 9 を更新。</li> <li>■ 図 1 および図 3 を更新。</li> <li>■ ソフトウェア・サポートおよびユーザー・ロジックを通じたエラー検出ブロックへのアクセスを更新。</li> <li>■ 表 8 を追加。</li> </ul>	—
2008 年 6 月 v1.3	<ul style="list-style-type: none"> <li>■ 「はじめに」 および 「エラー検出レジスタ」 を更新。</li> <li>■ 「図 1」 を更新。</li> <li>■ 「表 5」と「表 7」を更新。</li> <li>■ 新しい項「ユーザー・ロジックを通じたエラー検出ブロックへのアクセス」を追加。</li> <li>■ 「図 3」を追加</li> <li>■ 「表 9」を追加。</li> </ul>	—
2007 年 1 月 v1.3	<ul style="list-style-type: none"> <li>■ 「はじめに」の項のテキストのマイナーな編集。</li> <li>■ 改訂履歴の項を追加。</li> </ul>	—



101 Innovation Drive  
San Jose, CA 95134  
[www.altera.com](http://www.altera.com)  
Technical Support:  
[www.altera.com/support/](http://www.altera.com/support/)  
Literature Services:  
[literature@altera.com](mailto:literature@altera.com)

Copyright © 2008 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



I.S. EN ISO 9001