

## はじめに

従来、FPGA を搭載したシステムは、クロック信号の立ち上がりエッジでデータを送信するシングル・データ・レート (SDR) SDRAM を使用していました。SDR メモリ・デバイスが送信または受信できる合計データ量は、クロック・スピードにバス幅を掛けた値に等しくなります。データ・レート伝送を増やすには、いずれかのパラメータを大きくする必要があります。デュアル・エッジ・クロッキングを提供するダブル・データ・レート (DDR) SDRAM は、クロック信号の立ち上がりエッジと立ち下がりエッジの両方でデータを送信することができます。DDR SDRAM は、クロック・スピードやバス幅を増やすことなく、送信するデータ量を効果的に SDR SDRAM の倍に引き上げます。

DDR SDRAM デバイスは、エンベデッド・プロセッサ・システム、画像処理、ストレージ、通信、ネットワーキングなどの多様なアプリケーションで幅広く使用されています。Stratix® デバイスおよび Stratix GX デバイスは、最大 200 MHz/400 Mbps のコンポーネント構成またはモジュール構成で、DDR SDRAM とインタフェースすることができます。表 1 と 2 に、Stratix および Stratix GX デバイスでの DDR SDRAM インタフェースのサポートを示します。

表 1. Stratix EP1S10 ~ EP1S40 および、すべての Stratix GX での DDR SDRAM のサポート

DDR メモリ・ タイプ	標準 I/O 規格	最大クロック・レート						
		-5 スピード・ グレード	-6 スピード・ グレード		-7 スピード・ グレード		-8 スピード・ グレード	
		フリップ・ チップ	フリップ・ チップ	ワイヤ・ ボンド	フリップ・ チップ	ワイヤ・ ボンド	フリップ・ チップ	ワイヤ・ ボンド
DDR SDRAM (1)	SSTL-2	200 MHz	167 MHz	133 MHz	133 MHz	100 MHz	100 MHz	100 MHz
DDR SDRAM、 サイド・ バンク (2)	SSTL-2	150 MHz	133 MHz	110 MHz	133 MHz	100 MHz	100 MHz	100 MHz

### 表 1 の注：

- これらの最大クロック・レートは、Stratix デバイスまたは Stratix GX デバイスが DQS 位相シフト回路を使用して DDR SDRAM とインタフェースする場合に適用されます。DQS 位相シフト回路は、トップおよびボトムにある I/O バンク (I/O バンク 3、4、7、および 8) でのみ利用可能です。
- DDR SDRAM は、専用の DQS 位相シフト回路のない Stratix デバイスのサイド・バンク (I/O バンク 1、2、5、および 6) でサポートされます。このモードではリード DQS 信号は無視されます。

**表 2. Stratix EP1S60 ~ EP1S80 デバイスでの DDR SDRAM のサポート**

DDR メモリ・タイプ	標準 I/O 規格	最大クロック・レート		
		-5 スピード・ グレード	-6 スピード・ グレード	-7 スピード・ グレード
		フリップ・ チップ	フリップ・ チップ	フリップ・ チップ
DDR SDRAM (1)	SSTL-2	167 MHz	167 MHz	133 MHz
DDR SDRAM、 サイド・バンク (2)	SSTL-2	150 MHz	133 MHz	133 MHz

**表 2 の注：**

- (1) これらの最大クロック・レートは、Stratix デバイスまたは Stratix GX デバイスが DQS 位相シフト回路を使用して DDR SDRAM とインタフェースする場合に適用されます。DQS 位相シフト回路は、トップおよびボトムにある I/O バンク (I/O バンク 3、4、7、および 8) でのみ利用可能です。
- (2) DDR SDRAM は、専用の DQS 位相シフト回路のない Stratix デバイスのサイド・バンク (I/O バンク 1、2、5、および 6) でサポートされます。このモードではリード DQS 信号は無視されます。

DDR SDRAM を Stratix デバイスとインタフェースするには、アルテラの DDR SDRAM コントローラ MegaCore<sup>®</sup> ファンクションを使用します。MegaCore ファンクションは、システムのタイミング解析、再同期化、DQS ポストアンブル・ロジックのタイミングを処理するほか、データ・バスおよび DQS ポストアンブル・ロジックのオープン・ソース・コードを提供します。アルテラの DDR SDRAM コントローラの MegaCore ファンクションを使用すれば、ボード上で OpenCore<sup>®</sup> Plus ハードウェア評価機能を使用してテスト可能なデザインを、数分で簡単に生成することができます。必要に応じて MegaCore ファンクションの暗号化部分を独自の DDR SDRAM ステート・マシン・コントローラに置き換えることもできます。

このアプリケーション・ノートでは、Stratix および Stratix GX デバイスでの DDR SDRAM のインタフェース機能について説明します。また、Stratix および Stratix GX デバイスとの DDR SDRAM インタフェースのタイミング解析についても説明します。

## 機能の説明

DDR SDRAM は、1 クロック・サイクルごとに 2 回のデータ転送を実行する 2n プリフェッチ・アーキテクチャです。リードおよびライト動作では、データ・ピン (DQ) のグループに関連付けられているストローク信号 DQS を使用します。DQS ポートと DQ ポートはどちらも双方向ポートです。アドレス・ポートはリード動作とライト動作で共用されます。

リード動作とライト動作はバーストで送られ、DDR SDRAM は 2、4、および 8 のバースト長をサポートしています。各ライト・トランザクションで 2、4、または 8 グループのデータを供給し、各リード・トランザクションで 2、4、または 8 グループのデータを受け取ります。リード・コマンドがメモリに送られてからデータがメモリ・ピンに現れるまでの間隔は、カラム・アドレス・ストローク (CAS) レイテンシと呼ばれます。DDR SDRAM は、動作周波数に応じて CAS レイテンシ 2、2.5、および 3 をサポートします。バースト長と CAS レイテンシはどちらも DDR SDRAM モード・レジスタで設定されます。

DDR SDRAM デバイスは SSTL-2 Class II I/O 規格を使用し、JEDEC 仕様に従って 64 Mb ~ 1 Gb のデータを保持することができます。各デバイスは 4 つのバンクに分割され、各バンクには固定数のロウとカラムがあります。各バンクでは一度に 1 つのロウにしかアクセスできません。ACTIVE コマンドはロウを開き、PRECHARGE コマンドはロウを閉じます。

データの読み出しでは、DDR SDRAM 内の DLL (Delay-Locked Loop) が CK を基準にして DQ 信号と DQS 信号をエッジで揃えます。DLL は通常の動作ではオンにする必要がありますが、電力の節約やデバッグのためにオフにすることもできます。(本書のすべてのタイミング解析では、DLL がオンになっていると仮定しています。) また、DDR SDRAM には調節可能な出力ドライブ強度があります。最大性能を達成するために、DDR SDRAM の高いドライブ強度を使用して、Stratix デバイスが最小のドライブ強度を使用することを推奨します。



DDR SDRAM の仕様の詳細については、[www.jedec.org](http://www.jedec.org) をご覧ください。

# インタフェース・ピン

表3は、DDR SDRAM インタフェース・ピンと、それらを Stratix および Stratix GX デバイスに接続する方法を示しています。

表3. DDR SDRAM インタフェース・ピン		
ピン	説明	Stratix および Stratix GX で使用されるピン
DQ	双方向リード/ライト・データ	DQ
DQS	双方向リード/ライト・データ・ストロープ	DQS
CK	システム・クロック	ユーザ I/O ピン
CK#	システム・クロック	ユーザ I/O ピン
DM	書き込み中は DQ のエッジに揃えられる、オプションのライト・データ・マスク	ユーザ I/O ピン
その他すべて	アドレスおよびコマンド	ユーザ I/O ピン

## クロック、ストロープ、およびデータ

DDR SDRAM は、差動の CK および CK# クロック信号を使用して、コマンドやアドレスをメモリに送ります。メモリは、これらの信号を使用して、メモリ内部の DLL を介して読み出し中に DQS 信号を生成します。CK または CK# と SDRAM で生成される DQS 信号との間のスキューは、DDR SDRAM データシートで  $t_{DQSCK}$  として規定されています。

DQ 信号と DQS 信号はどちらも双方向信号です (同じ信号が書き込みと読み出しの両方に使用されます)。DQ ピンのグループは 1 本の DQS ピンに関連付けられています。×8 および ×16 DDR SDRAM デバイスでは、1 本の DQS ピンが 8 本の DQ ピンに関連付けられています (Stratix および Stratix GX ×8 モード定義)。Stratix および Stratix GX I/O バンク 3、4、7、または 8 から DDR SDRAM とインタフェースするときは、Stratix および Stratix GX ピン配置に示されている DQS ピンとそれらに関連付けられている DQ ピンを使用します。Stratix および Stratix GX I/O バンク 1、2、5、および 6 から DDR SDRAM とインタフェースするときは、それらのバンクの任意のユーザ定義ピンを DQS ピンとして使用します。I/O バンク 1、2、5、および 6 には専用の位相シフト回路はなく、150 MHz までの DDR SDRAM インタフェースしかサポートできません。

表 4 と 5 は、それぞれ Stratix デバイスと Stratix GX デバイスでサポートされる DQS/DQ グループの数を示しています。

表 4. Stratix デバイスでの DQS および DQ バス・モードのサポート		注 (1)		
デバイス	パッケージ	×8 モードの グループ数	×16 モードの グループ数	×32 モードの グループ数
EP1S10	672 ピン BGA 672 ピン FineLine BGA	12 (2)	0	0
	484 ピン FineLine BGA 780 ピン FineLine BGA	16 (3)	0	4
EP1S20	484 ピン FineLine BGA	18 (4)	7 (5)	4
	672 ピン BGA 672 ピン FineLine BGA	16 (3)	7 (5)	4
	780 ピン FineLine BGA	20	7 (5)	4
EP1S25	672 ピン BGA 672 ピン FineLine BGA	16 (3)	8	4
	780 ピン FineLine BGA 1,020 ピン FineLine BGA	20	8	4
EP1S30	956 ピン BGA 780 ピン FineLine BGA 1,020 ピン FineLine BGA	20	8	4
EP1S40	956 ピン BGA 1,020 ピン FineLine BGA 1,508 ピン FineLine BGA	20	8	4
EP1S60	956 ピン BGA 1,020 ピン FineLine BGA 1,508 ピン FineLine BGA	20	8	4
EP1S80	956 ピン BGA 1,508 ピン FineLine BGA 1,923 ピン FineLine BGA	20	8	4

**表 4 の注 :**

- (1) V<sub>REF</sub> ガイドラインについては、「Stratix デバイス・ハンドブック Volume 2、Selectable I/O Standards in Stratix & Stratix GX Devices」の章を参照してください。
- (2) これらのパッケージには I/O バンク 3 と 4 に 6 グループ、I/O バンク 7 と 8 に 6 グループが提供されています。
- (3) これらのパッケージには I/O バンク 3 と 4 に 8 グループ、I/O バンク 7 と 8 に 8 グループが提供されています。
- (4) これらのパッケージには I/O バンク 3 と 4 に 9 グループ、I/O バンク 7 と 8 に 9 グループが提供されています。
- (5) これらのパッケージには I/O バンク 3 と 4 に 3 グループ、I/O バンク 7 と 8 に 4 グループが提供されています。

デバイス	パッケージ	×8 モードのグループ数	×16 モードのグループ数	×32 モードのグループ数
EP1SGX10	672 ピン FineLine BGA	12 (2)	0	0
EP1SGX25	672 ピン FineLine BGA	16 (3)	8	4
	1,020 ピン FineLine BGA	20	8	4
EP1SGX40	1,020 ピン FineLine BGA	20	8	4

表 5 の注：

- (1) V<sub>REF</sub> ガイドラインについては、「Stratix デバイス・ハンドブック Volume 2、Selectable I/O Standards in Stratix & Stratix GX Devices」の章を参照してください。
- (2) これらのパッケージには I/O バンク 3 と 4 に 6 グループ、I/O バンク 7 と 8 に 6 グループが提供されています。
- (3) これらのパッケージには I/O バンク 3 と 4 に 8 グループ、I/O バンク 7 と 8 に 8 グループが提供されています。

データ信号 (DQ) は、メモリからの読み出しの時は DQS 信号とエッジで揃えられ、メモリへの書き込みの時は DQS 信号と中央で揃えられます。メモリ・コントローラは、書き込みの時は DQS 信号を DQ 信号の中央で揃えるために DQS 信号をシフトし、読み出しの時はキャプチャ・レジスタで DQS 信号が DQ 信号の中央で揃うように DQS 信号をシフトします。Stratix および Stratix GX デバイスは、書き込みの時は PLL (Phase-Locked Loop) を使用して DQS 信号を DQ 信号の中央で揃え、読み出しの時は専用の DQS 位相シフト回路を使用して入力 DQS 信号をシフトします。図 1 は 2 つの読み出しのバースト中に DQS 信号を中央で揃える例を示しています。図 2 は 2 つの書き込みのバースト中のデータとデータ・ストロープとの関係の例を示しています。

図 1. バースト長 2 の読み出し時の DQS 信号のシフト

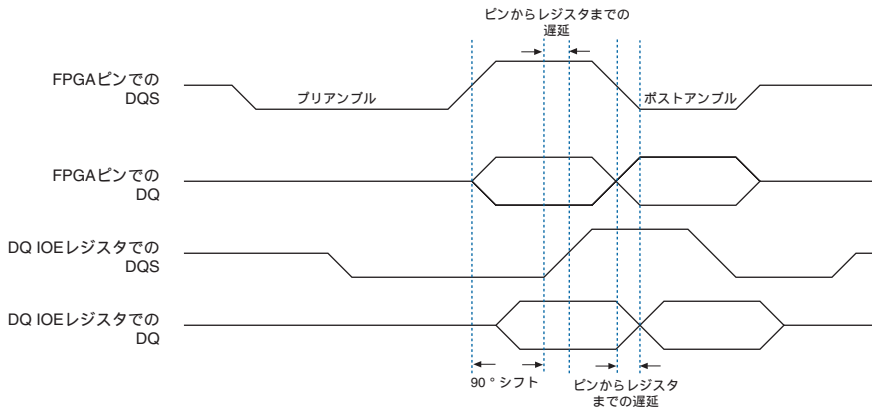
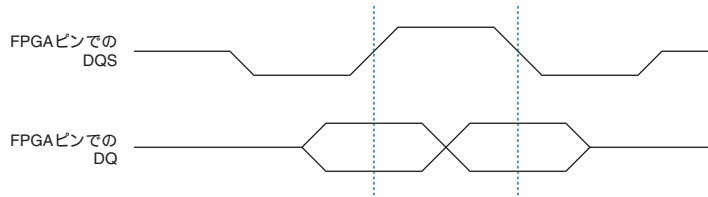


図 2. パースト長 2 の書き込み時のデータとデータ・ストロープ



書き込み中のメモリ・デバイスの DQ ピンおよび DM ピンのセットアップ時間 ( $t_{DS}$ ) とホールド時間 ( $t_{DH}$ ) は、CK または CK# クロックではなく、DQS ライト信号のエッジを基準にします。これらの時間は等しく ( $t_{DS} = t_{DH}$ )、200 MHz DDR SDRAM デバイスで標準 0.4 ns です。

DQS 信号は一般に (以下に説明する  $t_{DQSS}$  の要求のために) システム・クロックの正エッジで生成されます。DQ 信号とデータ・マスク (DM) 信号は、システム・クロックから  $-90^\circ$  シフトしたクロックで駆動されます。DQS のエッジは、DQ および DM 信号が DDR SDRAM に到達すると、それらの中央に揃えられます。

DQS、DQ、および DM 信号の到着時間のスキューを最小化するため、ボード上でこれらのトレース長をほとんど同じにする必要があります。

DDR SDRAM には書き込み要求の  $t_{DQSS}$  があり、書き込み時に DQS の正エッジが DDR SDRAM クロック入力の正エッジの 25% ( $90^\circ$ ) 以内でなければなりません。そのため、IOE の DDR レジスタを使用して、DQS 信号に合わせて CK 信号と CK# 信号を生成し、プロセス、電圧、および温度に起因する変動を低減します。

200 MHz DDR SDRAM インタフェースの再同期化を改善するには、CK 信号をメモリ・ピンから Stratix または Stratix GX デバイスに戻します。別の出力ピンをフィードバック・クロック用に使用することもできます。再同期化の詳細については、9 ページの「DQS 位相シフト回路を使用した読み出し側の実装」を参照してください。

## DM ピンとオプションの ECC ピン

DDR SDRAM は書き込み中にデータ・マスク (DM) ピンを使用します。DM ピンを Low にドライブすると、書き込みが有効になります。DM ピンが High にドライブされている場合、メモリは DQ 信号をマスクします。関連付けられている DQS/DQ ピンと同じバンク内の任意の I/O ピンを使用して、DM 信号を生成することができます。

DDR SDRAM 入力の DM タイミング条件は、DQ データのタイミング条件と同じです。-90° シフトしたクロックで駆動される DDR レジスタが DM 信号を生成します。

DDR SDRAM デバイスのなかには、データ送信中にエラーを検出して自動的に訂正する ECC (Error Correction Coding) をサポートしているものもあります。72 ビット DDR SDRAM モジュールには、64 本のデータ・ピンに加えて 8 本の ECC ピンがあります。DDR の ECC ピンを Stratix または Stratix GX デバイスの DQS/DQ グループに接続してください。ECC データのエンコードとデコードのために、コントローラには追加ロジックが必要です。

## コマンドとアドレス

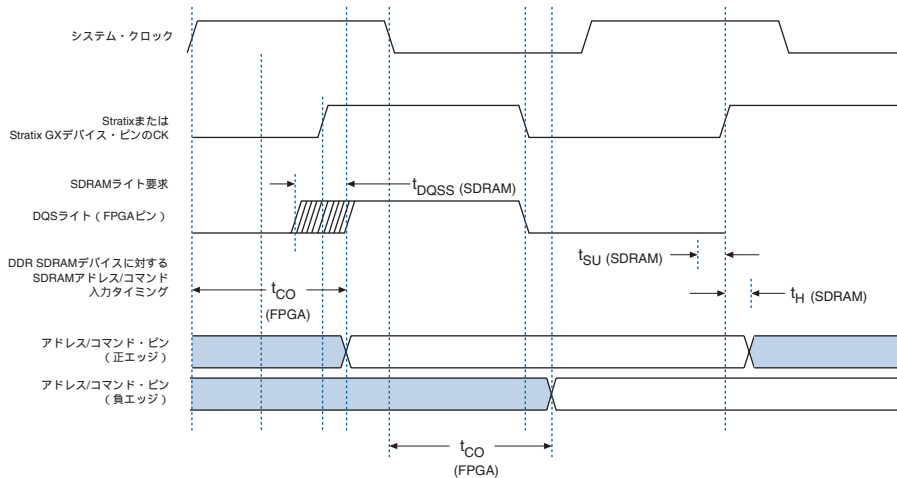
DDR SDRAM のコマンドとアドレスは、CK 信号と CK# 信号を使用し、片方のクロック・エッジだけを使用するシングル・データ・レートでメモリに送られます。DDR SDRAM デバイスには、デバイスの能力に応じて、12 ~ 14 本のアドレス・ピンがあります。アドレス・ピンは多重化されるため、ロウ、カラム、およびバンク・アドレスを送信するには 2 クロック・サイクルが必要です。CS、RAS、CAS、および WE ピンは DDR SDRAM のコマンド・ピンです。

DDR SDRAM のアドレスおよびコマンド入力は、DDR SDRAM クロックに対して、同じセットアップ時間とホールド時間が必要です。Stratix および Stratix GX デバイスのアドレスおよびコマンド信号は、DQS ライト信号と同時に変化します。これはいずれもシステム・クロックから生成されるためです。DDR SDRAM クロック CK の正エッジは、 $t_{DQSS}$  を満たすために DQS に揃えられます。コマンド出力とアドレス出力がクロックの正エッジで生成される場合、ホールド時間の要求 (図 3 を参照) を満たさないことがあります。そのため、DDR SDRAM へのコマンドとアドレスにはシステム・クロックの負エッジを使用する必要があります。任意の I/O ピンをコマンドとアドレスに使用できます。

図 3 は、アドレスおよびコマンドのタイミングと DDR SDRAM の  $t_{DQSS}$ 、 $t_{DS}$ 、および  $t_{DH}$  タイミング条件を示しています。



図 3. アドレスおよびコマンドのタイミング 注 (1)、(2)



## 図 3 の注：

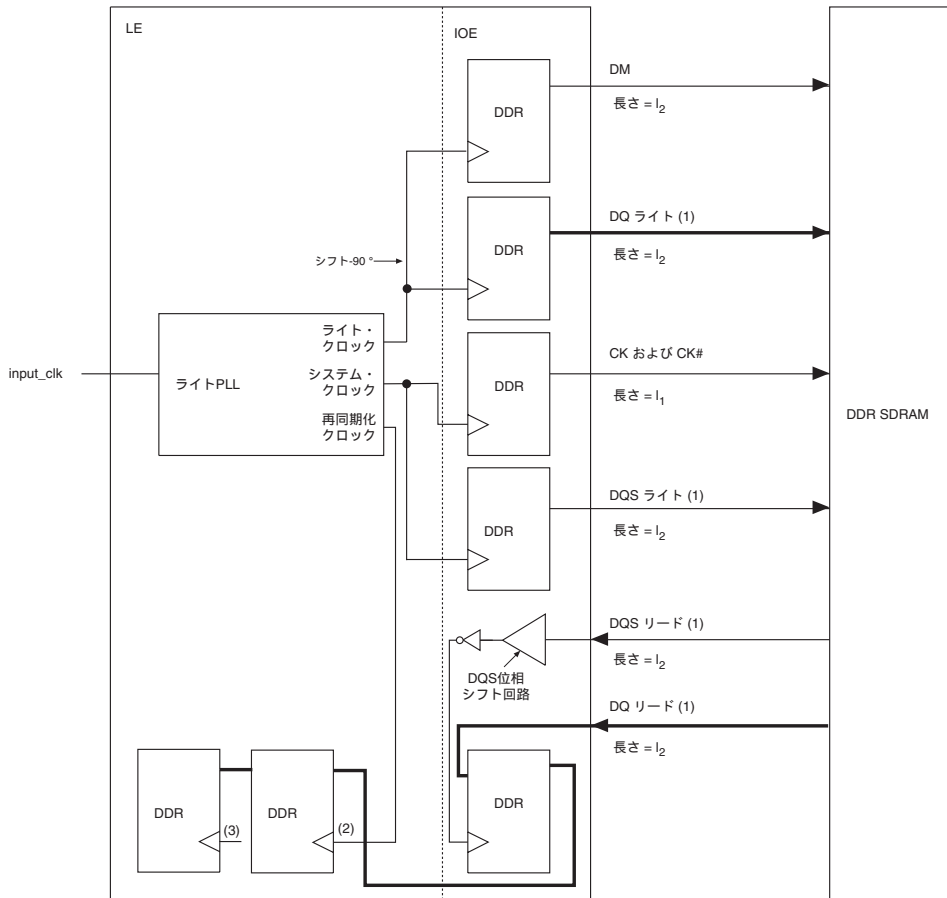
- (1) 図 3 に示すアドレスとコマンドのタイミングは、読み出しと書き込みの両方に適用されます。
- (2) ボード上で DQS、CK、アドレス、およびコマンドの各ピンのトレース長が同じ場合、Stratix および Stratix GX デバイスのピンにおける信号の関係は、DDR SDRAM のピンで維持されます。

## DQS 位相 シフト回路を 使用した 読み出し側の 実装

DQS 位相シフト回路はデバイスのトップとボトムに 1 つずつあります。各 DQS 位相シフト回路に入力基準クロックが必要です。DQS 位相シフト回路は、IOE レジスタで DQ 信号の中央で揃うように DQS 信号をシフトし、データが IOE レジスタでラッチされるようにします。次に、「Stratix デバイス・ハンドブック Volume 2, External Memory Interfaces」の章に記述されているとおり、DQS 信号は DQ IOE クロック・ポートに送られる前に反転されます。

図 4 は、Stratix および Stratix GX デバイスで DQ、DQS、CK、および CK# 信号がどのように生成されるかを示しています。ライト PLL がシステム・クロックと  $-90^\circ$  シフトしたクロック (ライト・クロック) を生成します。ライト PLL の入力クロックは、DDR SDRAM の動作周波数と同じ異なる周波数を使用できます。周波数が異なる場合は、DQS 位相シフト回路の入力基準クロックを別の入力クロック・ピンから供給する必要があります (詳細については、「Stratix デバイス・ハンドブック Volume 2, External Memory Interfaces」の章を参照してください)。システム・クロックとライト・クロックの周波数は DQS 周波数と同じです。ライト・クロックはシステム・クロックから  $-90^\circ$  シフトされています。

図 4. DQS 位相シフト回路を使用した DDR SDRAM



## 図 4 の注：

- (1) DQ 信号と DQS 信号は双方向信号です。1 つの DQS 信号が DQ 信号のグループに関連付けられています。
- (2) 再同期化レジスタのクロックは、システム・クロック、ライト・クロック、またはライト PLL の追加クロック出力から供給できます。図 4 は、ライト PLL の追加クロック出力から再同期化レジスタのクロックを供給する場合は示しています。
- (3) このレジスタへのクロックは、システム・クロックがライト PLL の別のクロック出力から供給できます。このレジスタにクロックを供給するレジスタを別のライト PLL クロック出力でクロック駆動する場合、データをシステム・クロック・ドメインに転送するための別のレジスタが必要です。

図 5 は、 $\times 8$  モードの Stratix および Stratix GX デバイスのリード・データ・バスをより詳細に示しています。DQS 信号が DQS 位相シフト回路に送られてシフトされます。シフトされた DQS 信号は、DQS ローカル・バスで反転されます。この反転された信号が、入力レジスタで DQ をサンプルします。次に、DQ 入力レジスタの出力がロジック・アレイ内の再同期化レジスタに送られます。resynch\_clock 信号が再同期化レジスタをクロック駆動します。resynch\_clock 信号は、システム・クロック、ライト・クロック、またはライト PLL の別の出力から供給できます。

図 5. Stratix および Stratix GX デバイスの DDR SDRAM リード・データ・バス

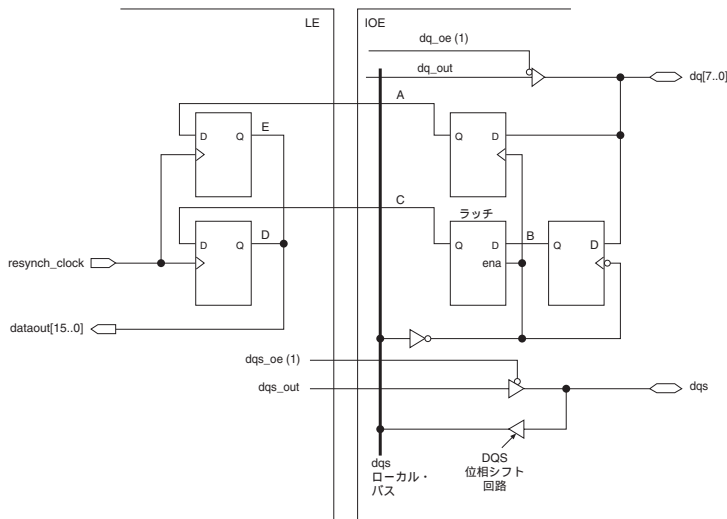


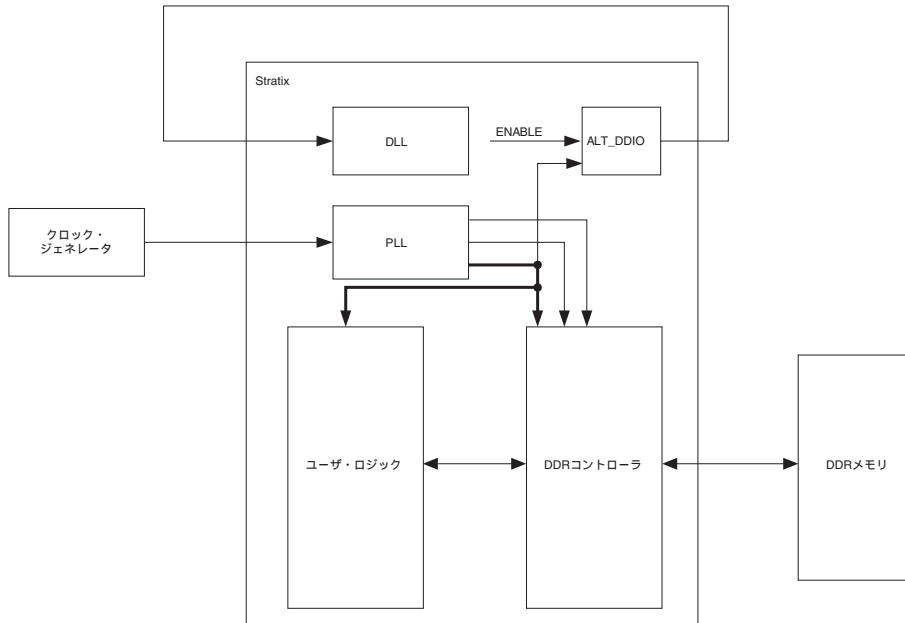
図 5 の注:

- (1) ここでは出力イネーブル・レジスタは示されていませんが、シリコンでは dqs\_oe および dq\_oe はアクティブ Low です。ただし、Quartus® II ソフトウェアはその信号をアクティブ High として実装し、コンパイル時に自動的にインバータを追加します。

## DDR SDRAM インタフェースでの DQS 位相シフト回路の使用

Stratix デバイス、Stratix GX デバイス、および DDR SDRAM デバイスのシステム特性評価では、DQS 位相シフト回路の DLL を初期化およびリフレッシュ・サイクル中にのみオンにすると、タイミング・マージンが向上します。これは、Stratix または Stratix GX デバイスに読み込まれた DQ 信号が送られている間に、DQS 位相シフト回路が DQS ピンの位相シフトを変更する可能性を回避する目的があります。これに従って、コントローラは DLL の入力基準クロックをオンまたはオフにしなければなりません。入力基準クロックに追加クロック・ピンを使用している場合は、レジスタにイネーブル信号を追加して、基準クロックをオンまたはオフにするためのクロックを生成することができます (図 6 を参照)。それ以外の場合は、DLL の入力基準クロックを制御する他の何らかのメカニズムが必要です。

図 6. 簡単な DDR インタフェースの例



詳細なタイミング解析を提供するシステム特性評価では、167 MHz 以下の DDR SDRAM インタフェースで、72° の位相シフトによりタイミング・マージンが向上します。これは、DDR SDRAM データシートの  $t_{DQSQ}$  および  $t_{QHS}$  パラメータで規定されるとおりに、すべての DQ 信号がエッジで DQS 信号に揃えられるわけではないためです。ただし、200 MHz DDR SDRAM インタフェースでは、72° の位相シフトを使用した場合、DQS ポストアンプの問題（「[DQS ポストアンプ](#)」を参照）を回避するためのソフト・ロジックがタイミング条件を満たさないことがあります。Stratix および Stratix GX デバイスで使用される DQS 位相シフト回路のガイダンスについては、[表 6](#) を参照してください。DDR SDRAM のリード動作の詳細なタイミング解析については、[19 ページの表 9](#) を参照してください。

表 6. Stratix および Stratix GX デバイスで推奨される DQS 位相シフト回路

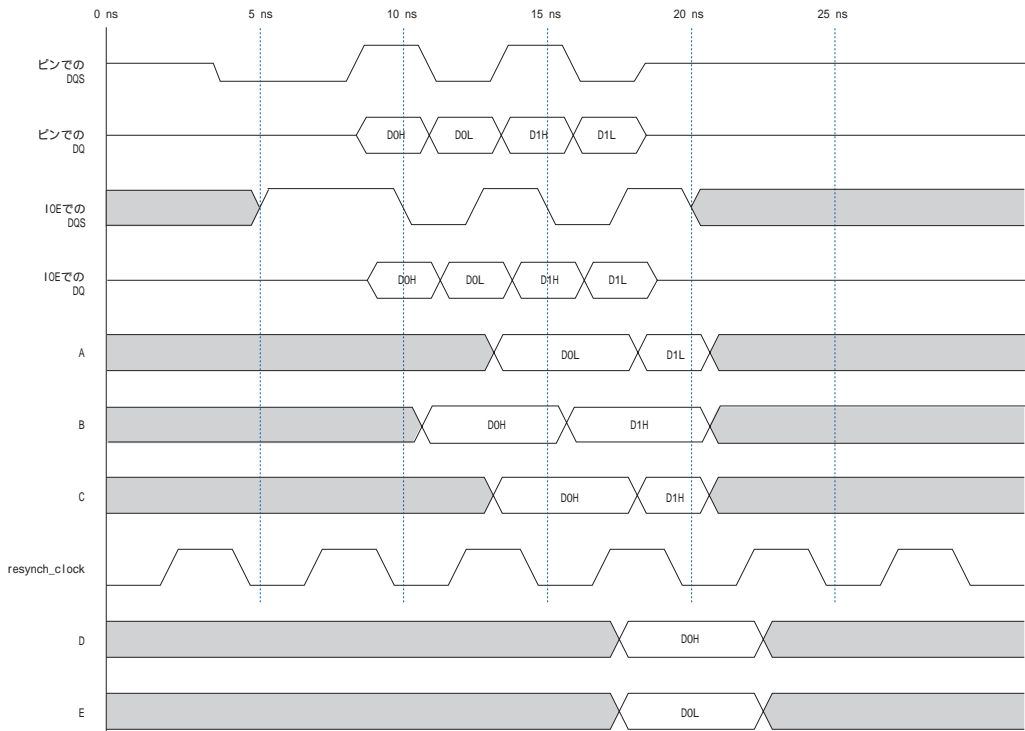
データ・レート	位相シフト		初期化およびリフレッシュ・サイクル中のみ DLL をオン
	72° の位相シフト	90° の位相シフト	
< 200 MHz	√		√
200 MHz		√	√

## DQS ポストアンプル

DDR SDRAM の DQ ピンと DQS ピンは SSTL-2 Class II I/O 規格を使用します。Stratix デバイス、Stratix GX デバイス、または DDR SDRAM デバイスが DQ ピンおよび DQS ピンをドライブしない場合、信号はハイ・インピーダンス・ステートになります。プルアップ抵抗が DQ と DQS の両方を  $V_{TT}$  (1.25 V) に終端するため、ハイ・インピーダンス・ラインの実効電圧は 1.25 V です。SSTL-2 I/O 規格の JEDEC JESD 8-9 仕様に従うと、これは不確定ロジック・レベルであり、入力バッファはこれをロジック High またはロジック Low のいずれかに解釈する可能性があります。DQS ラインにノイズがある場合、入力バッファはそのノイズを実際のストロープのエッジとして解釈することがあります。したがって、リード・ポストアンプルの後で DQS 信号がハイ・インピーダンス・ステートになる場合は、入力バッファへのクロックをディセーブルして、誤ったデータがラッチされないようにし、メモリから読み出されるすべてのデータが適切に再同期化されるようにしてください。

図 7 は、DQS ポストアンプルが問題となる可能性のあるリード動作の例を示しています。11 ページの図 5 は、A、B、C、D、および E 波形の定義を示しています。波形 A はアクティブ High IOE レジスタの出力を示します。波形 B は Stratix および Stratix GX IOE のアクティブ Low レジスタ出力を示します。アクティブ Low レジスタ出力はラッチに入れられ、その出力は波形 C で示されます。波形 D および E は再同期化レジスタの後の出力信号を示します。

図 7. DQS ポストアンブルの問題があるリード動作の例



IOE レジスタで DQS の最初の立ち下がりエッジは 10 ns で発生します。この時点で、データ D0H はアクティブ Low レジスタによってクロック・インされます (波形 B)。12.5 ns で、データ D0L はアクティブ High レジスタによってサンプリングされ (波形 A)、データ D0H はラッチを通過します (波形 C)。この例では、resynch\_clock 信号の正エッジは 16.5 ns で発生し、この場合 D0H と D0L の両方が LE の再同期化レジスタによってサンプリングされます。同様に、データ D1H は 15 ns でアクティブ Low レジスタによってクロック・インされ、データ D1L はアクティブ High レジスタによってクロック・インされ、データ D1H は 17.5 ns でラッチを通過します。20 ns で、DQS ラインのノイズが IOE レジスタで、波形 A、B、および C の値を変更する有効なクロック・エッジを発生させます。resynch\_clock 信号の次の立ち上がりエッジは 21.5 ns まで発生しませんが、ラッチの出力とアクティブ High 入力レジスタで、データ D1L および D1H はもはや有効ではなくなっています。したがって、再同期化レジスタは D1L と D1H をサンプリングせず、代わりに誤ったデータをサンプリングする可能性があります。

この可能性を回避するには、非遅延 DQS 信号によってクロック駆動される 1 個のレジスタを、関連付けられている DQ グループの最も近くの LE に追加し、各 DQS/DQ グループのイネーブルとして機能させます (図 8 を参照)。このレジスタの出力 `dq_enable` は、DQ IOE レジスタのクロック・イネーブルを制御します。LE レジスタのデータ入力は GND に設定され、このレジスタのプリセット・ポートは図の `dq_enable_preset` と呼ばれる信号に接続されます。コントローラは、`dq_enable_preset` を生成し、DQS が最初に Low で検出される (リード・プリアンブル中) と High に、DQS の最後のアクティブ・エッジ前のサイクル中は Low になるようにしなければなりません。これによって、`dq_enable` 信号は DQS 信号の最後のアクティブ負エッジで Low になります。次に、DQS がハイ・インピーダンス・ステートになる前に、レジスタ  $A_1$  および  $B_1$  はディセーブルされます。ラッチ  $C_1$  は、トランスベント・ステートがラッチド・ステートに関係なく、レジスタ  $B_1$  によってキャプチャされた最後のデータを保持します。

図 8. DQS ポストアンブルの問題を回避するためのソフト・ロジック

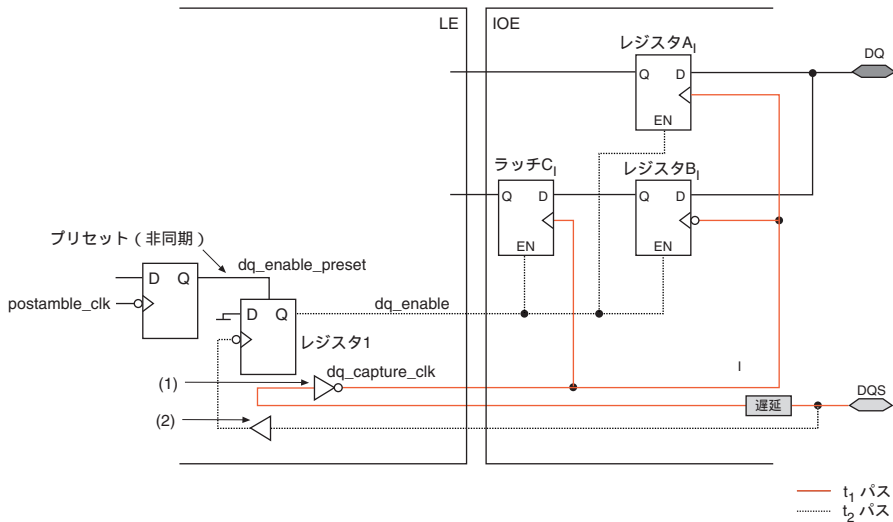


図 8 の注：

- (1) DQ ピンに対する IOE の `inclock` に供給する前に、DQS ピンに対する IOE の `combout` を反転します。DQ ピンに対して `altdq` メガファンクションを使用する場合、この反転は自動で行われます。
- (2) 0 個、1 個、または 2 個の LE バッファを持つことができます。これらのバッファは、低周波数時にキャプチャ・レジスタがディセーブルされるのが早過ぎないようにするために必要です。

図 9 は、図 8 の信号に必要なタイミングを示しています。

図 9. DQS ポストアンブル回避ソフト・ロジックのタイミング図

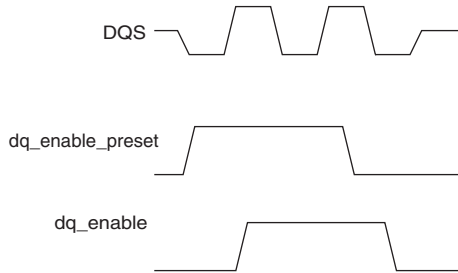


図 8 に示す回路のタイミングを解析するために、 $t_1$  は補正遅延を通る DQS パッドからレジスタ  $A_1$  および  $B_1$  への遅延、 $t_2$  はレジスタ 1 ( $t_{CO}$ ) を通る DQS パッドからレジスタ  $A_1$  および  $B_1$  のイネーブル・ピンへの遅延、 $T$  はクロック周期と仮定しています。タイミングの計算式は次のとおりです。

$$t_2 > t_1 + \text{マイクロ・ホールド時間}$$

$$t_2 < t_1 + 0.4T - \text{マイクロ・セットアップ時間}$$

$t_1$  は、実際には  $72^\circ$  または  $90^\circ$  の位相シフトに PVT の変動を加えたもの、 $t_{1a}$  は PVT によって変化する遅延なので、 $t_1$  は  $t_{1a} + 0.25T$  ( $90^\circ$  の場合) または  $t_{1a} + 0.2T$  ( $72^\circ$  の場合) になります。 $90^\circ$  の位相シフトを使用する場合、上の計算式は次のようになります。

$$t_2 > t_{1a} + 0.25T$$

$$t_2 < t_{1a} + 0.25T + 0.4T$$

この式を整理して、次の計算式を得ることができます。 $0.25T < t_2 - t_{1a} < 0.65T$

上の式は  $t_2$  と  $t_{1a}$  が PVT によって同様に変化することを示しています。したがって、タイミング解析では、 $t_2$  の最大タイミングを  $t_{1a}$  の最大タイミングによって検討し、最小タイミングの場合はその逆を行う必要があります。表 7 と 8 の計算式は、それぞれ  $90^\circ$  および  $72^\circ$  の位相シフトを使用するときの各動作周波数のタイミング条件を示しています。

表 7. $90^\circ$ の位相シフト使用時のタイミング条件	
周波数	計算式
200 MHz	$1.25 \text{ ns} < t_2 - t_{1a} < 3.25 \text{ ns}$
166 MHz	$1.5 \text{ ns} < t_2 - t_{1a} < 3.9 \text{ ns}$
133 MHz	$1.875 \text{ ns} < t_2 - t_{1a} < 4.875 \text{ ns}$

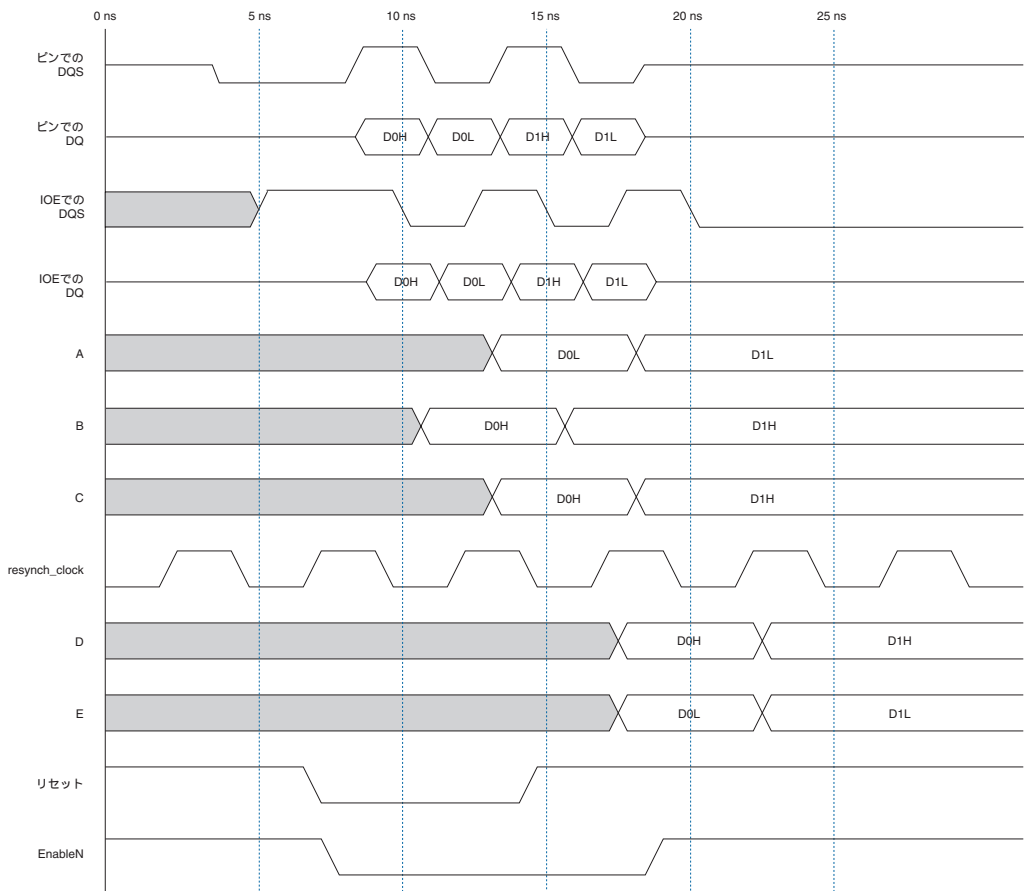


表 8. 72° の位相シフト使用時のタイミング条件

周波数	計算式
200 MHz	$1 \text{ ns} < t_2 - t_{1a} < 3 \text{ ns}$
166 MHz	$1.2 \text{ ns} < t_2 - t_{1a} < 3.6 \text{ ns}$
133 MHz	$1.5 \text{ ns} < t_2 - t_{1a} < 4.5 \text{ ns}$

図 10 は、Stratix および Stratix GX DQS ポストアンプル回路を使用する場合のリード・タイミング波形を示します。

図 10. Stratix および Stratix GX DQS ポストアンプル回路のリード・タイミング波形



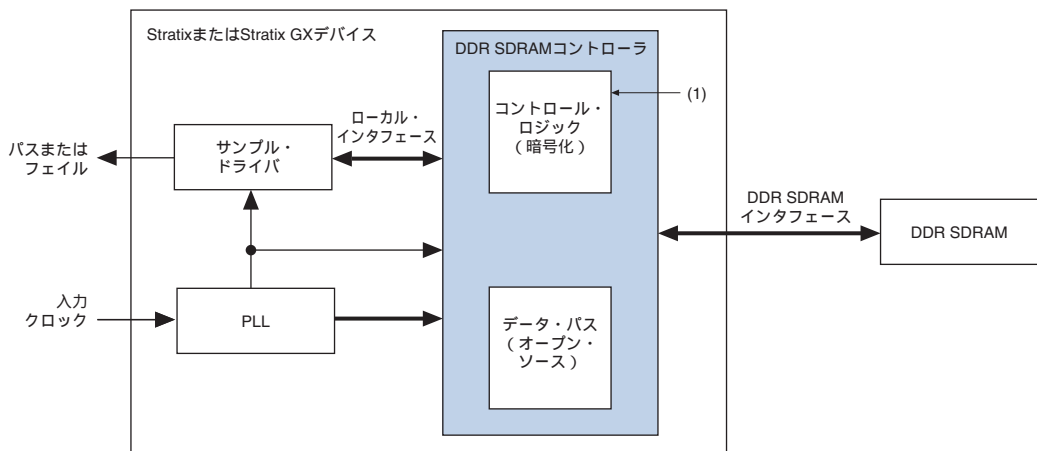
## DDR SDRAM コントローラ MegaCore

DDR SDRAM コントローラ MegaCore ファンクションを使用すれば、業界標準の DDR SDRAM メモリへの簡単なインタフェースをインスタンス化することができます。DDR SDRAM コントローラは、メモリ・デバイスを初期化し、SDRAM バンクを管理し、デバイスを適切な間隔でリフレッシュします。MegaCore ファンクションは、ローカル・インタフェースのリードおよびライト要求を、必要なすべての SDRAM コマンド信号に変換します。

DDR SDRAM コントローラには、暗号化されたコントロール・ロジックと、ライセンスなしでデザインに利用できるオープン・ソースのデータ・バスが含まれます。アルテラの DDR SDRAM コントローラを使用する予定があるかどうかに関係なく、この MegaCore ファンクションをダウンロードして、オープン・ソースのデータ・バス、オープン・ソースの DQS ポストアンプル・ロジック、配置制約、およびタイミング・マージン解析を入手することができます。

MegaCore ファンクションは DDR SDRAM IP Toolbench を介してアクセスできます。ユーザのカスタム DDR SDRAM インタフェースをパラメータ化するとき、DDR SDRAM IP Toolbench は、その DDR SDRAM インタフェースに最適なマージンを与える位相シフトと FPGA 設定を自動的に決定します。次に、[図 11](#) に示すとおり、PLL、サンプル・ドライバ、およびカスタム DDR SDRAM コントローラをインスタンス化するインスタンス例を生成します。

図 11. DDR SDRAM コントローラ MegaCore システム・レベルのブロック図



インスタンス例は、シミュレーション、合成、およびハードウェアで使用可能な、完全に動作するデザインです。サンプル・ドライバはコントローラにリード・コマンドとライト・コマンドを発行し、リード・データをチェックしてパス / フェイル信号およびテスト完了信号を生成します。DDR SDRAM コントローラの暗号化されたコントロール・ロジックを使用しない場合は、それを独自のカスタム・ロジックに置き換えることができます。これによって、アルテラのデータ・パスをユーザ独自のロジックで使用できます。



アルテラの DDR SDRAM コントローラの詳細については、「DDR SDRAM Controller MegaCore Function User Guide」を参照してください。

## リード・タイミング・マージン解析

表 9 は、-5 スピード・グレードの EP1S25 デバイスの 133、166、および 200 MHz でのワースト・ケースの DDR SDRAM リード・タイミング・マージン解析を示します。このとき、DQ および DQS ピンのボード上のトレース長の変動は 50 ps (約 0.3 インチの FR4 トレース長の変動) です。

表 9. EP1S25 デバイスで DQS 回路を使用したときのリード・タイミング解析の例 ( 1 / 3 )					
パラメータ	仕様	133 MHz (1)	166 MHz (1)	200 MHz (1)	説明
メモリ仕様	$t_{HP}$	3.38 ns	2.7 ns	2.25 ns	メモリ・データシートで規定される 1/2 期間
	$t_{QHS}$	0.75 ns	0.55 ns	0.5 ns	メモリ・データシートで規定される データ・ホールド・スキュー・ファクタ
	$t_{DQSQ}$	0.5 ns	0.45 ns	0.40 ns	メモリからの DQS と DQ 間のスキュー

表 9. EP1S25 デバイスで DQS 回路を使用したときのリード・タイミング解析の例 ( 2 / 3 )

パラメータ	仕様	133 MHz (1)	166 MHz (1)	200 MHz (1)	説明
FPGA 仕様	DLL 位相シフト (2)	1.5 ns	1.2 ns	1 ns	理想的な DLL 位相シフト
	$t_{DLLUJITTER}$ (3)	0 ps	0 ps	0 ps	Stratix および Stratix GX デバイスの DLL ジッタ
	$t_{PSERR}$	82 ps	82 ps	82 ps	DLL 位相シフト誤差
	$t_{DQS2IOE\_MIN}$ (4)	0.579 ns	0.579 ns	0.579 ns	DQS ピンから IOE レジスタへの最小遅延
	$t_{DQS2IOE\_MAX}$ (4)	1.008 ns	1.008 ns	1.008 ns	DQS ピンから IOE レジスタへの最大遅延
	$t_{DQ2IOE\_MIN}$ (4)	0.521 ns	0.521 ns	0.521 ns	DQ ピンから IOE レジスタへの最小遅延
	$t_{DQ2IOE\_MAX}$ (4)	0.908 ns	0.908 ns	0.908 ns	DQ ピンから IOE レジスタへの最大遅延
	$t_{DQSQINT}$ (5)	150 ps	150 ps	150 ps	Stratix および Stratix GX デバイス内の DQS と DQ との間の内部スキュー
	$\mu t_{SU}$	80 ps	80 ps	80 ps	IOE レジスタの固有セットアップ時間 (ラウンドアップ)
	$\mu t_{H}$	70 ps	70 ps	70 ps	IOE レジスタの固有ホールド時間 (ラウンドアップ)
ボード仕様	$t_{EXT}$	$\pm 50$ ps	$\pm 50$ ps	$\pm 50$ ps	DQ および DQS ラインでのボード・トレース長の変動
タイミング計算	$t_{SHIFT\_MIN}$	1.418 ns	1.118 ns	0.918 ns	DQS 位相シフト回路で提供される最小シフト (DLL 位相シフト - $t_{PSERR} - t_{DLLUJITTER}$ )
	$t_{SHIFT\_MAX}$	1.582 ps	1.282 ps	1.082 ps	DQS 位相シフト回路で提供される最大シフト (DLL 位相シフト + $t_{PSERR} + t_{DLLUJITTER}$ )
	$t_{DELTA\_MIN}$	1.476 ns	1.176 ns	0.976 ns	DQS 信号バスと DQ 信号バスとの差の最小値 ( $t_{DQS2IOE\_MIN} + t_{SHIFT\_MIN} - t_{DQ2IOE\_MIN}$ )
	$t_{DELTA\_MAX}$	1.682 ns	1.382 ns	1.182 ns	DQS 信号バスと DQ 信号バスとの差の最大値 ( $t_{DQS2IOE\_MAX} + t_{SHIFT\_MAX} - t_{DQ2IOE\_MAX}$ )

表 9. EP1S25 デバイスで DQS 回路を使用したときのリード・タイミング解析の例 ( 3 / 3 )

パラメータ	仕様	133 MHz (1)	166 MHz (1)	200 MHz (1)	説明
結果	リード・セットアップ・タイミング・マージン	696 ps	446 ps	296 ps	$t_{\text{DELTA\_MIN}} - t_{\text{DQSQ}} - t_{\text{EXT}} - t_{\text{DQSQINT}} - \mu t_{\text{SU}}$
	リード・ホールド・タイミング・マージン	673 ps	498 ps	298 ps	$t_{\text{QH}} - \mu t_{\text{H}} - t_{\text{EXT}} - t_{\text{DQSQINT}} - t_{\text{DELTA\_MAX}}$

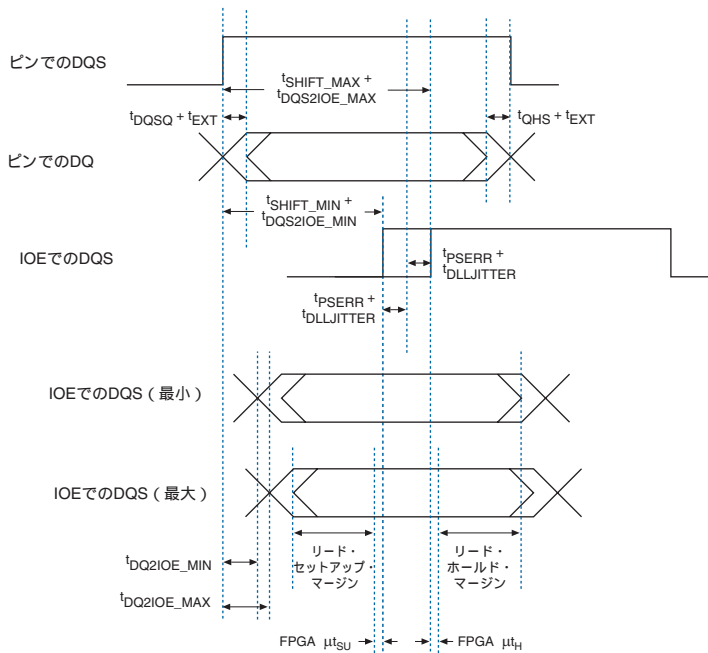
## 表 9 の注：

- (1) ここで使用するメモリの数値は Micron MT16VDDT3264A のものです。スピード・グレード -262、-335、および -40B はそれぞれ、133、167、および 200 MHz として使用されます。
- (2) この例では 72° の位相シフトを使用しています。
- (3) この例では、DLL は初期化およびリフレッシュ・サイクル中のみオンであると仮定しています。Stratix および Stratix GX デバイスの  $t_{\text{DLLJITTER}}$  仕様値については、「Stratix デバイス・ハンドブック Volume 1、DC & Switching Characteristics」の章を参照してください。
- (4) これらの数値は Quartus II ソフトウェア、バージョン 4.0 のものです。アルテラでは、Quartus II ソフトウェアの最新バージョンをデザインに使用することを推奨します。
- (5) これらは暫定的な数値です。

表 9 は、メモリ仕様、FPGA 仕様、ボード仕様、タイミング計算、および結果の 5 つのセクションに分かれています。メモリ仕様のセクションでは、計算に使用されるメモリ・データシートの項目をリストしています。FPGA 仕様のセクションでは計算に必要な FPGA の項目をリストしています。ボード仕様のセクションには、システムボード・トレース長のスキューが含まれます。タイミング計算のセクションでは計算を示し、結果のセクションでは最終的なセットアップ時間およびホールド時間のマージンを示しています。

図 12 は 19 ページの表 9 のタイミング計算を示します。タイミング計算で、 $t_{\text{SHIFT\_MIN}}$  および  $t_{\text{SHIFT\_MAX}}$  仕様は、DLL で提供される最小および最大シフトです。DLL の入力基準クロックを初期化およびリフレッシュ・サイクル中にのみオンにする場合、DLL ジッタは 0 と見なすことができます。DLL ジッタの仕様については、「Stratix デバイス・ハンドブック Volume 1、DC & Switching Characteristics」の章を参照してください。

図 12. リード・タイミング解析図



$t_{DELTA\_MIN}$  および  $t_{DELTA\_MAX}$  は、位相シフトを含む DQS ピンから IOE レジスタへのパスと、DQ ピンから IOE レジスタへのパスとの差を示します。

19 ページの表 9 の  $t_{HP}$ 、 $t_{QHS}$ 、および  $t_{DQSQ}$  値を、実際に使用するメモリ・データシートの  $t_{DQS2IOE\_MIN}$ 、 $t_{DQS2IOE\_MAX}$ 、 $t_{DQ2IOE\_MIN}$ 、および  $t_{DQ2IOE\_MAX}$  に置き換えることにより、別の DDR SDRAM メモリとのインタフェースについて Quartus II ソフトウェアから同様のタイミング解析を行うことができます。

## ラウンド・トリップ遅延の計算

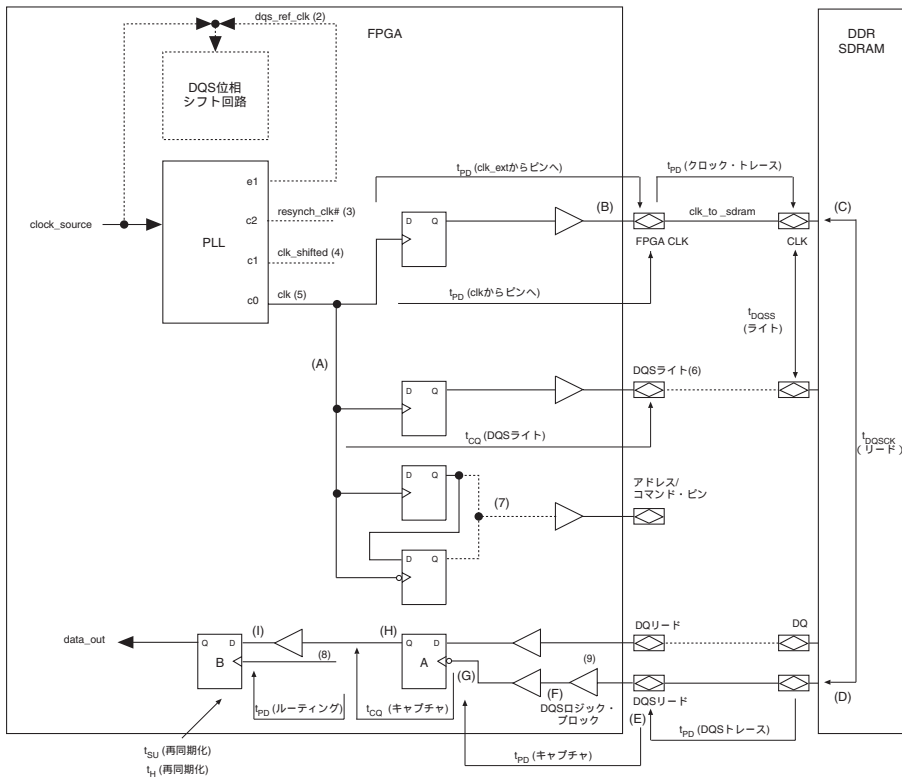
リード・データは、DQS 信号をクロックとして使用して DDR レジスタに送られます。そのため、データは、DQS クロック・ドメインからシステム・クロック・ドメインに転送しなければなりません (再同期化)。

図 13 に、Stratix および Stratix GX デバイスにおけるタイミング解析とラウンド・トリップ遅延を示します。ラウンド・トリップ遅延は、FPGA クロックから DDR SDRAM を経由して FPGA に戻る (レジスタ B への入力) までの遅延です。再同期化クロックによってクロック駆動されるレジスタ出力がシステム・クロック・ドメインに到達する前に、別の再同期化ステージを必要とするかどうかを計算できます。この解析は、(IOE 内の) レジスタ A から (LE 内の) レジスタ B にデータを高い信頼性で転送するために必要です。



また、フィードバック・クロックと第 2 の PLL を再同期化クロックに使用することもできます。

図 13. ラウンド・トリップ遅延 注(1)



## 図 13 の注：

- (1) ラウンド・トリップ遅延解析用のノードには (A) ~ (I) の文字が付いています。
- (2) Stratix および Stratix GX デバイスの dqs\_ref\_clk 入力、入力クロック・ピンからのみ直接取り込むことができます。入力を PLL から供給するには、PLL 出力を FPGA の外に配線し、DLL への入力クロック・ピンにループ・バックさせます。
- (3) resynch\_clk 信号はオプションで、システムのラウンド・トリップ遅延に基づきます。
- (4) clk\_shifted 信号も参考のために示してありますが、ラウンド・トリップ遅延やアドレス / コマンド・タイミングのタイミング解析ではこの信号は必要ありません。
- (5) clk はシステム・クロックです。
- (6) DQS 信号は双方向です。DQS ライトと DQS リードは、このタイミング解析用の 2 本の独立したピンとして示されます。
- (7) アドレス / コマンド・レジスタは、システム・クロック信号の立ち上がりエッジまたは立ち下がりエッジのいずれかでクロック駆動できます。
- (8) レジスタ B のクロック入力は、clk、clk\_shifted、または resynch\_clk のいずれも使用できます。clk および clk\_shifted 信号は、必要に応じてレジスタ B で反転させることも可能です。
- (9) DQS 位相シフト・リファレンス回路は、90° 位相シフトを動的に制御します。コントロール・パスは示されていません。また、動作はユーザから見えません。



図 13 のレジスタ A は DDR キャプチャ・ロジックを表します。レジスタ A からの Q 出力は、リード・データが DDR から SDR に変換されたポイントを表します。レジスタ A の出力では、データは既にシングル・データ・レートですが、まだ DQS クロック・ドメイン内にあります。DQ<sub>H</sub> (DQS high の間の DQ データ) は 90° の位相シフト DQS パルスの正エッジでサンプリングされますが、90° の位相シフト DQS パルスの負エッジで再度サンプリングされて DQ<sub>L</sub> (DQS low の間の DQ データ) に揃えられます。

DQ<sub>L</sub> と DQ<sub>H</sub> は、90° の位相シフト DQS パルスの負エッジでサンプリングされた後はいつでも再同期化に使用できます。

レジスタ B に入るレジスタ A の Q 出力をサンプリングするには、レジスタ B のクロック入力と D 入力間にタイミング関係が必要です。このタイミング関係は、DQS とクロック間の位相関係によって異なり、次のステップが必要です。

1. システムのラウンド・トリップ遅延を計算します (下記参照)。
2. 計算されたセーフ再同期化ウィンドウに基づいて、レジスタ A の Q 出力を高い信頼性でサンプリングできるシステム・クロックまたは他の使用可能なクロックの再同期化位相を選択します。26 ページの図 14 を参照してください。
3. メモリ・コントローラ内の再同期化ロジック用の適切なクロック・エッジを適用します。

clk、clk\_shifted、または resynch\_clk 信号をレジスタ B のクロック入力として使用します。また、必要に応じて clk と clk\_shifted を反転させることもできます。クロックを基準にして、レジスタ B の D 入力のデータ・タイミングを決定するには、次のタイミング・パスの依存関係を検討します。

- DDR SDRAM クロック入力に到達する (クロックの遅延バージョン)。
- DDR SDRAM からの DQS ストローブがレジスタ A のクロック入力に到達する。
- データがレジスタ A の Q 出力に到達する。
- データがレジスタ B の D 入力に到達する。

このパスには 3 つの主要部分があります。

- FPGA グローバル・クロック・ネットと DDR SDRAM クロック入力間のクロック遅延。
- DDR SDRAM クロック入力と FPGA キャプチャ・レジスタでの DQS 到達までの間の DQS ストローブ遅延。
- レジスタ A の出力とレジスタ B の入力間のリード・データ遅延。

データを高い信頼性で再同期化可能なポイントを求めるには、最小および最大ラウンド・トリップ遅延を計算し、システムで使用する再同期化ロジックを決定します。PVT 変動を考慮することを忘れないでください。

図 13 は、ポイント (A) ~ (I) の間の各遅延を示します。これらすべての遅延の合計がラウンド・トリップ遅延です。図 14 は、CAS レイテンシが 2.5 の場合のポイント (A) ~ (I) 間の遅延に対する信号のタイミング関係を示します。

図 14. フィードバック・クロックがない場合のラウンド・トリップ遅延の計算 注(1)

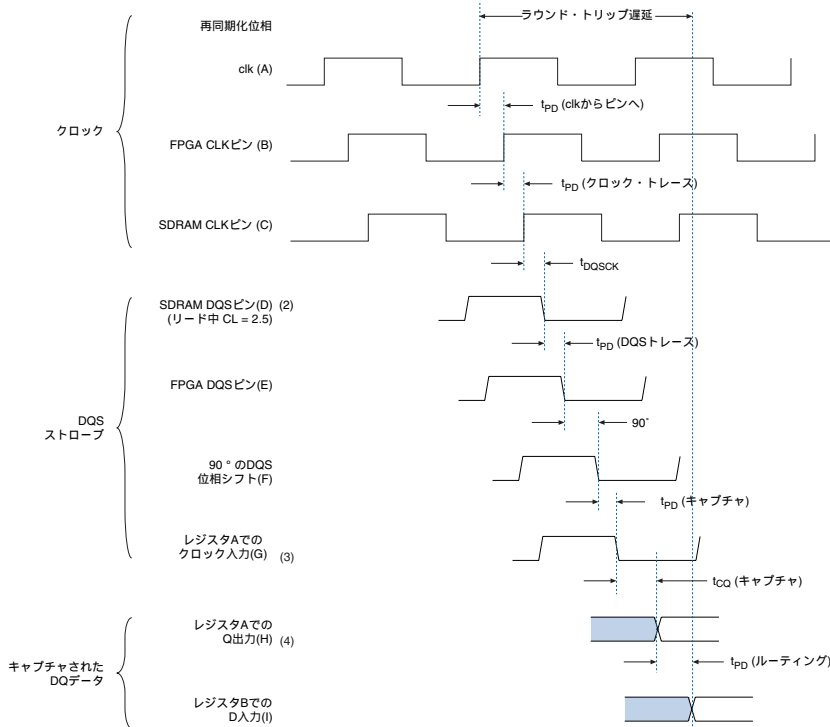


図 14 の注 :

- (1) 括弧内の文字は、図 13 で使用されている文字です。
- (2) DQS ストロブ・エッジは、DDR SDRAM クロック・ピン・エッジの  $\pm t_{DQSCCK}$  内のどこにあってもかまいません。  
 図 14 では、DQS ストロブが、最小ラウンド・トリップ遅延計算用クロックの  $t_{DQSCCK}$  時間前と、最大ラウンド・トリップ遅延計算用クロックの  $t_{DQSCCK}$  時間後に発生するものと想定しています。
- (3) FPGA ピンからキャプチャ・レジスタまでの DQS パスでの遅延は、DQS 遅延チェーンを除いて DQ パスの遅延と一致します。
- (4) データは、最初に DQS の正エッジでキャプチャ・レジスタにサンプリングされますが、 $DQ_H$  と  $DQ_L$  は、DDR キャプチャ・ロジックの Q 出力において、SDR の負エッジでのみ利用できます。

(A) から (B) の遅延は、DDR SDRAM デバイスへのクロック信号を生成するためのクロックから出力までの時間です。

(B) から (C) の遅延は、クロックのトレース遅延です。システムに複数の DIMM またはデバイスがある場合、最大ラウンド・トリップ遅延の計算には FPGA から最も離れたデバイスを使用し、最小ラウンド・トリップ遅延の計算には FPGA に最も近いデバイスを使用します。

(C) から (D) の遅延は、読み出し中のクロックと DQS ストローブ間の関係です。これは DDR SDRAM 仕様の  $t_{DQSCK}$  であり、通常は 0 ですが DDR SDRAM デバイスのスピード・グレードに応じて 0.75 ns だけ変化する可能性があります。DQS 出力ストローブは、クロック入力の  $t_{DQSCK}$  内に収まることだけが保証されます。したがって、最大ラウンド・トリップ遅延の計算には  $t_{DQSCK}$ (最大)(通常は +0.75) を使用し、最小ラウンド・トリップ遅延の計算には  $t_{DQSCK}$ (最小)(通常は -0.75 ns) を使用します。

(D) から (E) の遅延は、DQS のトレース遅延で、通常は同じバイト・グループ内の DQ 信号のトレース遅延に一致します。最大ラウンド・トリップ遅延を計算するには、トレース長が最長のバイト・グループを使用し、最小ラウンド・トリップ遅延を計算するには、トレース長が最短のバイト・グループを使用します。システムに複数の DIMM またはデバイスがある場合、最大ラウンド・トリップ遅延の計算には FPGA から最も離れたデバイスを使用し、最小ラウンド・トリップ遅延には FPGA に最も近いデバイスを使用します。異なるバイト・グループ間のトレース長を厳密に一致させる必要はありませんが、最長トレースと最短トレースの間に差があると、データを高い信頼性で再同期化できるセーフ再同期化ウィンドウが減少します。

また、PLL ジッタとクロックのデューティ・サイクルもラウンド・トリップ遅延に影響します。これらの各遅延を最大値に加算し、最小値から減算します。PLL ジッタとクロックのデューティ・サイクルは図 13 には示してありませんが、ラウンド・トリップ遅延の計算例を示す表 10 には含まれています。

表 10. ラウンド・トリップ遅延の計算例 ( 1 / 2 ) 注 (1)

遅延	図 13 および 14 の番号	最小値の例 (ns)	最大値の例 (ns)	コメント
$t_{PD}$ (クロックからピン)	(A) から (B)	2.00	3.00	$t_{cQ}$ (DQS ライト) と同じ
$t_{PD}$ (クロック・トレース)	(B) から (C)	0.33	0.50	166 ps/inch で 2 ~ 3 インチ (2)
$t_{DQSCK}$	(C) から (D)	-0.60	+ 0.60	DDR SDRAM 仕様を参照
$t_{PD}$ (DQS トレース)	(D) から (E)	0.33	0.50	166 ps/inch で 2 ~ 3 インチ (2)

表 10. ラウンド・トリップ遅延の計算例 ( 2 / 2 ) 注 (1)

遅延	図 13 および 14 の番号	最小値の例 (ns)	最大値の例 (ns)	コメント
90° の位相シフト	(E) から (F)	1.15	1.35	Stratix および Stratix GX DLL ジッタと位相シフト・エラーを含む
$t_{PD}$ (キャプチャ)	(F) から (G)	0.50	1.00	
$t_{CO}$ (キャプチャ)	(G) から (H)	0	0.16	
$t_{PD}$ (配線)	(H) から (I)	1.00	1.50	
PLL ジッタ	-	-0.10	+0.10	PLL ジッタ仕様
クロックのデューティ・サイクル	-	-0.25	+0.25	200 MHz で 45 ~ 55% のデューティ
ラウンド・トリップの合計	(A) から (I)	4.36	8.96	

## 表 10 の注：

- (1) これらの数字は、特定のシステムまたは特定のデバイスに関するものではありません。この例では、クロック周波数は 200 MHz です。
- (2) システムの正確な遅延を知るには、システムで時間領域反射測定法 (TDR) 解析を実行します。

## 再同期化の選択

DQS 信号が Stratix または Stratix GX デバイスに到達すると、専用の位相シフト回路が信号をシフトして DQ 信号をキャプチャします。これにより、DQ 信号はシステム・クロックと同期可能な状態になります。ラウンド・トリップ遅延値は、ボード遅延とデバイスの内部遅延によって異なります。タイミング解析を実行して、同期レジスタにライト・クロックのシステム・クロックの立ち下がりエッジまたは立ち上がりエッジを使用するかどうかを決めます。最大および最小ラウンド・トリップ遅延の計算後に、動作周波数における同等なシステム・クロック・サイクル数を求め、データがクロックに対して有効になるポイントを見つけます。表 10 に示す例は、最大遅延は 200 MHz で 1.8 サイクル、最小遅延は 0.9 サイクルであることを表しています。CAS レイテンシが含まれる場合 (この例では 3)、最小遅延は 3.9 サイクル、最大遅延は 4.8 サイクルになることを表しています。

最小および最大データ有効ウィンドウのオーバーラップによってデータ有効ウィンドウが定義され、これがセーフ再同期化ウィンドウと、レジスタ B の  $t_{SU}$  および  $t_{H}$  を構成します。

図 15 に、ラウンド・トリップ遅延解析の例を示します。DDR IOE レジスタはシフトおよび反転した DQS 信号の立ち下がりエッジで FPGA コアにデータを転送するため、余分な 1/2 周期が示してあります。

図 15. ラウンド・トリップ遅延図、クロック 例 1 注 (1)

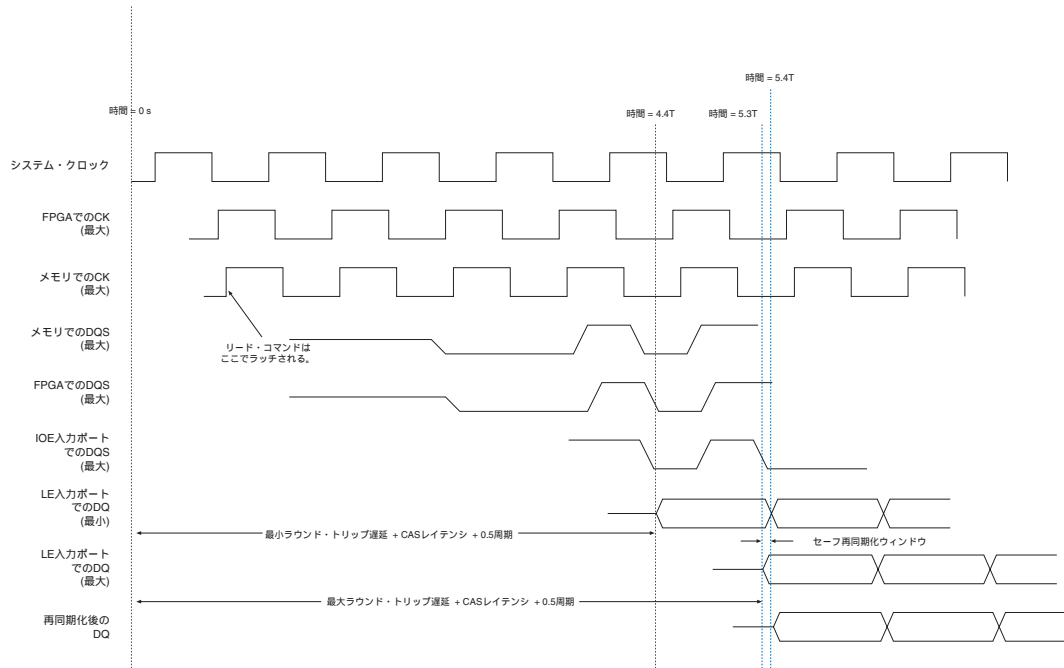


図 15 の注 :

(1) T は、システムのクロック周期を示します。この例では 5 ns です。

ラウンド・トリップ遅延は、セーフ再同期化ウィンドウとデータの再同期化方法を判断するのに役立ちます。このセクションでのタイミング解析は、IOE レジスタから LE レジスタにクロック・ドメイン転送が発生することを想定しています。

リード・コマンドは、Stratix または Stratix GX デバイスから (時間 0 で) clk の立ち上がりエッジを受け取ると、DDR SDRAM に送られます。セーフ再同期化ウィンドウの有効時間は、次の式で計算できます。

$$\text{セーフ再同期化ウィンドウの最小有効時間} = \text{最大ラウンド・トリップ遅延} + \text{CAS レイテンシ} \cdot \text{クロック周期} + \mu t_{\text{SU}}$$

$$\text{セーフ再同期化ウィンドウの最大有効時間} = \text{最小ラウンド・トリップ遅延} + (\text{CAS レイテンシ} + 1) \cdot \text{クロック周期} - \mu t_{\text{H}}$$

27 ページの表 10 に、最大ラウンド・トリップ遅延が 8.96 ns (~1.8 クロック・サイクル)、最小ラウンド・トリップ遅延が 4.36 ns (~0.9 クロック・サイクル) の例を示します。これらの数字を、上記のセーフ再同期化ウィンドウの最小および最大有効時間の式に代入すると、この例のシステムの場合、セーフ再同期化ウィンドウの最小有効時間は 4.8 サイクル、最大有効時間は 4.9 サイクルになります ( $t_{SU}$  と  $t_H$  は無視)。

また、セーフ再同期化ウィンドウのサイズは、次の式から計算しされ 0.1 サイクルになります。

$$\begin{aligned} \text{セーフ再同期化ウィンドウのサイズ} = \\ & \text{セーフ再同期化ウィンドウの最大有効時間} - \\ & \text{セーフ再同期化ウィンドウの最小有効時間} \end{aligned}$$

PLL の 2 つの出カクロック間におけるワースト・ケースのクロック・スキュー (150 ps) に対応するには、セーフ再同期化ウィンドウのサイズが 150 ps より大きくなければなりません。

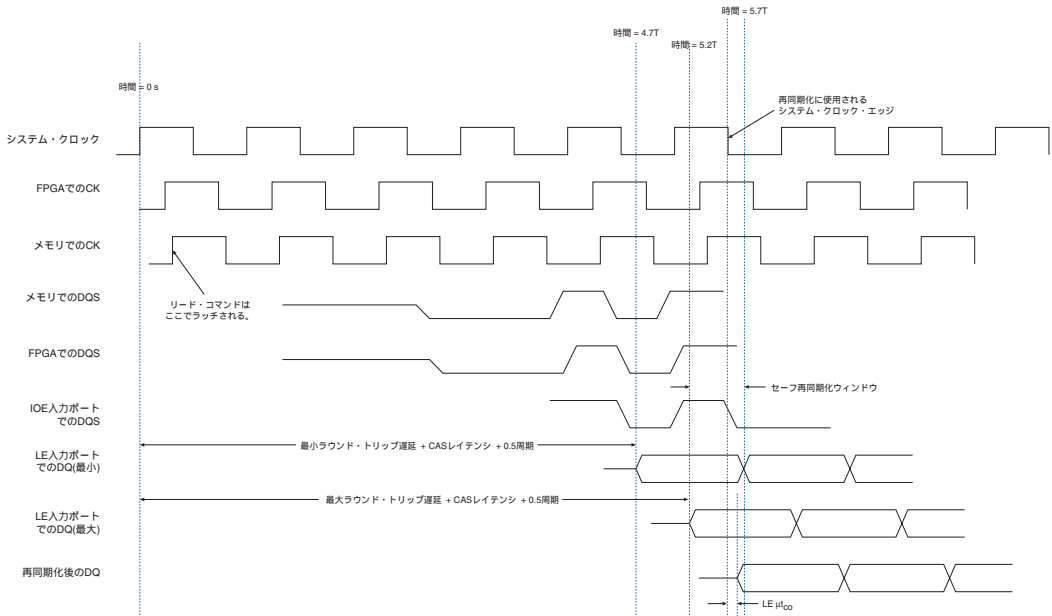
セーフ再同期化ウィンドウ時間を計算した後、セーフ再同期化ウィンドウの最小有効時間 ÷ 半クロック・サイクルの上限関数を計算することによって、時間 0 からセーフ再同期化ウィンドウの最小有効時間 (numcycle) までに経過する半クロック・サイクル数を求めます。セーフ再同期化ウィンドウがクロック・エッジ内に収まるかどうかを判断するには、numcycle と半クロック・サイクルを乗算します。結果がセーフ再同期化ウィンドウの最大有効時間より小さい場合、システム・クロック・エッジはセーフ再同期化ウィンドウ内に収まります。そうでない場合は、再同期化クロックに別の PLL 出力が必要です。

図 15 に示すとおり、27 ページの表 10 の例は、numcycle が 10 に等しく、セーフ再同期化ウィンドウがシステム・クロック・エッジ内に収まらないことを示しています。

再同期化クロックが必要なく、numcycle が偶数の場合、再同期化のためのアクティブなシステム・クロック・エッジは正エッジです。numcycle が奇数の場合、再同期化システム・クロック・エッジは負エッジで、再同期化位相を選択する必要があります。

図 16 に、セーフ再同期化ウィンドウがシステム・クロック・エッジ内にある例を示します。この例では、numcycle は 9 (時間 = 4.5T) で、再同期化クロックにシステム・クロックの負エッジが使用されます。

図 16. ラウンド・トリップ遅延図、クロック例 2 注(1)



## 図 16 の注：

(1) T は、システムのクロック周期を示します。この例では 5 ns です。

セーフ再同期化ウィンドウ内にクロック・エッジがなく、別に再同期化クロックが必要な場合は、いずれかのエッジからシステム・クロックをシフトします。この場合、numcycle が偶数であれば、セーフ再同期化ウィンドウの直近のシステム・クロック・エッジは負です。numcycle が奇数の場合、直近のクロック・エッジは正です。

再同期化クロックに必要な位相シフトは、次の式から計算できます。

$$\begin{aligned} \text{最小位相シフト} = & \\ & \text{セーフ再同期化ウィンドウの最小有効時間} - \\ & \text{PLL クロック・スキュー (150 ps)} - (\text{numcycle} - 1) t_{\text{CK}}/2 \end{aligned}$$

$$\begin{aligned} \text{最大位相シフト} = & \\ & \text{セーフ再同期化ウィンドウの最小有効時間} + \\ & \text{PLL クロック・スキュー (150 ps)} + (\text{numcycle} - 1) t_{\text{CK}}/2 \end{aligned}$$

27 ページの表 10 の位相シフトの計算例は、最小位相シフトが 1.52、最大位相シフトが 1.61 ns であることを示しています。これは、セーフ再同期化ウィンドウが 300 ps 未満であるためです。再同期化クロックの位相シフトに中間値 (1.565 ns) を選択することもできます。

次に結果を同等な角度の位相シフトに変換する必要があります。セーフ再同期化ウィンドウに直近のクロック・エッジが負の場合は、変換後に  $180^\circ$  を加算または減算して、クロックを正エッジからシフトします。27 ページの表 10 の例の場合、位相シフトの範囲は負エッジ・クロックに基づき  $1.52 \sim 1.61$  ns になります。この数字の中間値は  $1.565$  ns で、 $\sim 113^\circ$  (200 MHz クロックから) になります。このクロックをシステム・クロックの正エッジからシフトする場合は、 $293^\circ$  ( $113^\circ + 180^\circ$ ) または  $67^\circ$  ( $113^\circ - 180^\circ$ ) のいずれかを使用します。

アルテラ DDR SDRAM コントローラ MegaCore ファンクションを使用すると、再同期化サイクルと位相を設定できます (図 17 を参照)。0 再同期化サイクルは、IOE レジスタでの DQS 信号の最初の立ち下がりエッジの後、システム・クロック (clk) の最初の立ち上がりクロックで開始されます。各再同期サイクルは 1 クロック周期です。セーフ再同期化ウィンドウ内にクロック・エッジがない場合は、位相シフトを設定する必要があります。29 ページの図 15 に示す例では、0 再同期サイクルを  $40^\circ$  の位相シフトで選択して CAS レイテンシを 2.0 または 3.0 に設定する必要があります。0 再同期サイクルを  $220^\circ$  の位相シフトで選択して、CAS レイテンシを 2.5 に設定します。



図 17. RTL の例で再同期化位相の選択に対するリード・ラウンド・トリップ遅延の影響 注(1)

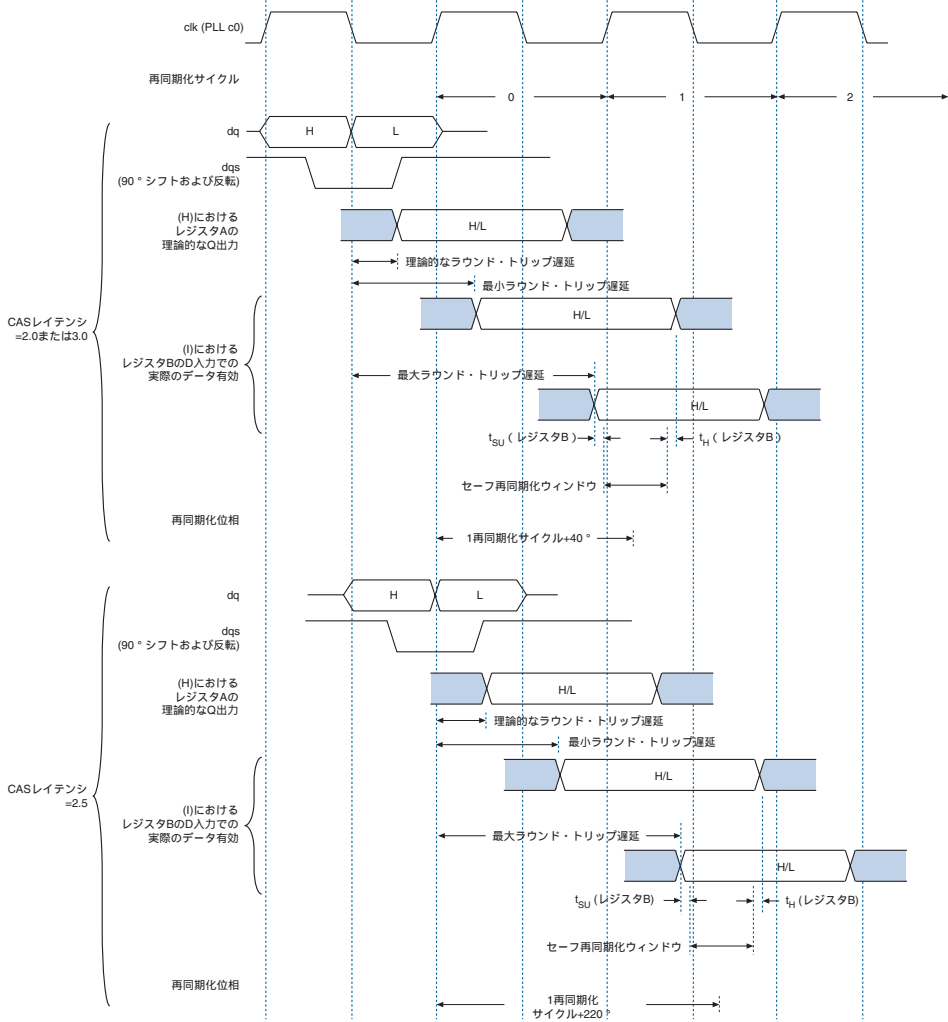


図 17 の注 :

(1) 括弧内の文字は、24 ページの図 13 で使用されている文字です。

## PLL を 使用した 読み出し側の 実装

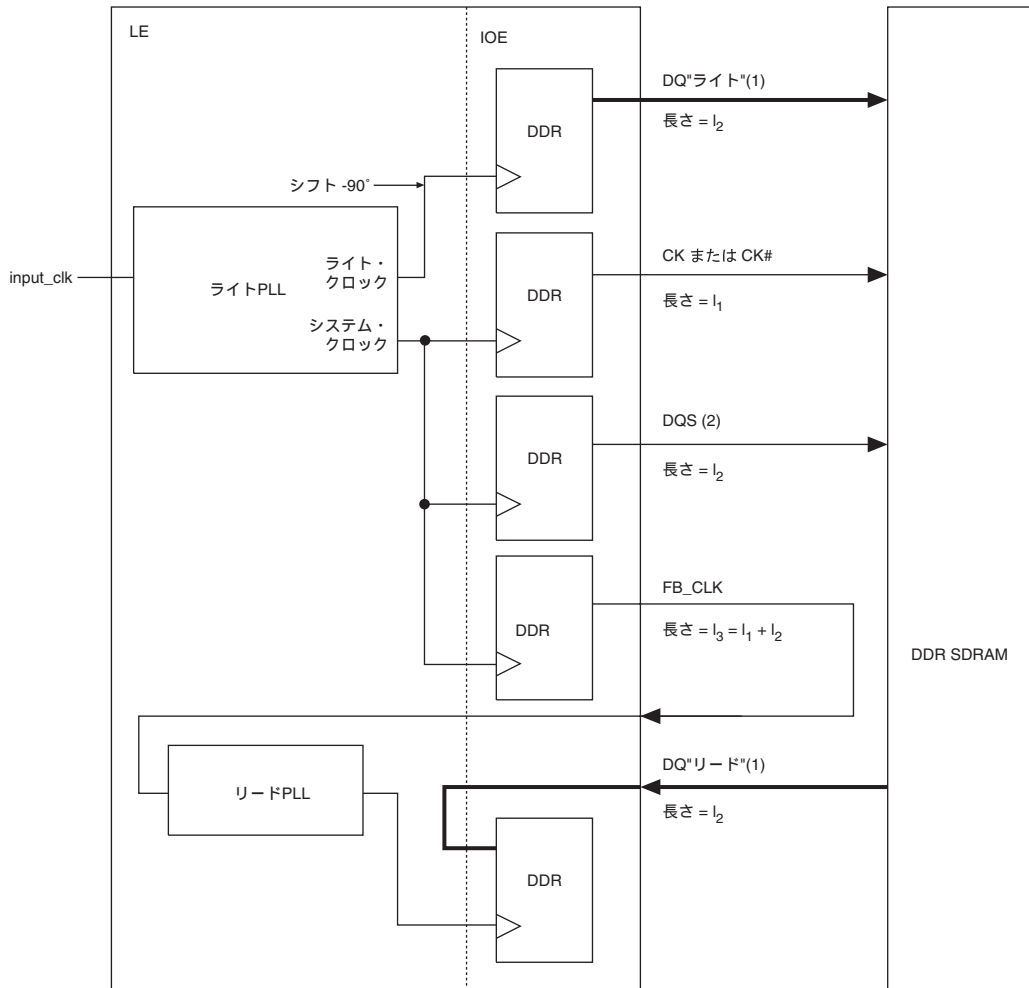
DQS 位相シフト回路を使用しなくても、Stratix デバイスと Stratix GX デバイスを DDR SDRAM デバイスにインタフェースすることができます。ここでは、最高の性能を得るために 1 つの I/O バンクあたり 2 組の PLL (ライト PLL とリード PLL) と、ライト PLL とリード PLL の間でフィードバック・クロックを使用する例を示します (図 18 を参照)。

DQ、DQS、および DM ピンには、任意のユーザ I/O ピンを選択できます。DQ、DQS、および DM ピンのボード・トレース長は、厳密に一致する必要があります。

ライト PLL は、システム・クロック、 $-90^\circ$  シフトしたクロック、およびフィードバック・クロック FB\_CLK を生成します。フィードバック・クロックは、FPGA の外に配線されて FPGA に戻ります。このボード・トレース長は、FPGA からメモリまでのクロック・トレース長に、メモリから FPGA までの DQ トレース長を加えた長さと同じでなければなりません。クロック・トレース長を  $l_1$  とし、DQ トレース長を  $l_2$  とした場合、FB\_CLK のトレース長  $l_3$  は、 $(l_1 + l_2)$  でなければなりません (図 18 を参照)。

リード PLL は、フィードバック・クロックを入力クロックとして使用して、読み出し中に DQ をキャプチャするのに必要なクロックを生成します。FPGA に入る DQS 信号は、この方式では無視されます。リード PLL はノーマル・モードなので、LE レジスタでの PLL 出力は、クロック・ピンでは PLL 入力と同相です。フィードバック・クロックのトレース長は CK/CK# および DQS トレース長と同じなので、FPGA に入る FB\_CLK は、わずかなスキューを持つ DQS 信号に類似します。この後、リード PLL をシフトしてスキューを補正し、 $90^\circ$  の PLL 位相シフトを生成して読み出し中に DQ 信号をキャプチャすることができます。

図 18. サイド I/O ピンへの DDR SDRAM の実装 注 (1)、(2)



## 図 18 の注 :

- (1) DQ は双方向ラインです。
- (2) 読み出し中、DQS は無視されます。

## タイミング・マージン解析

この例では、Stratix および Stratix GX デバイスの I/O バンク 1、2、5、および 6 のサイド I/O ピンは最大 150 MHz の DDRSDRAM をサポートできます (最高の性能を得るために 1 つの I/O バンクあたり 2 個の PLL を使用)。

表 11 と 12 は、この実装のタイミング解析を示します。表 11 に、タイミング解析のために 100、133、および 150 MHz に基づいて計算された、FPGA ピンでのデータ有効ウィンドウを示します。表 12 に、タイミング解析とこれらの周波数におけるタイミング・マージンを示します。

仕様	150 MHz	133 MHz	100 MHz	概要
$t_{HP}$	3.0 ns	3.38 ns	4.5 ns	メモリ・データ・シートで規定される半周期 (= $0.45 \times t_{CK}$ )
$t_{AC}$	$\pm 0.70$ ns	$\pm 0.75$ ns	$\pm 0.80$ ns	メモリ・データ・シートで規定されるデータ・ホールド・スキュー・ファクタ
$t_{EXT}$	$\pm 0.05$ ns	$\pm 0.05$ ns	$\pm 0.05$ ns	DQ および DQS ラインのボード・トレース変動 (FR4 トレースの場合は 1 インチあたり 166 ps)
$t_{DV}$	1.6 ns	1.88 ns	2.9 ns	メモリからのデータ有効ウィンドウ ( $t_{HP} - t_{QHS} - t_{DQSQ}$ )
$t_{DVFPGA}$	1.5 ns	1.78 ns	2.8 ns	FPGA でのデータ有効ウィンドウ ( $t_{DV} - (2 \times t_{EXT})$ )

### 表 11 の注:

- (1) この表中の数値は、Micron MT16VDDT3264A のものです。この解析では、100、133、150 MHz にそれぞれ -202、-262、-335 のスピード・グレードを使用します。

仕様	デバイス ( ターゲット・クロック周波数 )				概要
	-5 スピード・グレード (150 MHz)	-6 スピード・グレード (133 MHz)	-7 スピード・グレード (133 MHz)	-8 スピード・グレード (100 MHz)	
$t_{JITTER}$ (2)	$\pm 133$ ps	$\pm 150$ ps	$\pm 150$ ps	$\pm 200$ ps	Stratix および Stratix GX デバイスの高速 PLL の出力ジッタ仕様
$t_{PLLSKEW}$	150 ps	150 ps	150 ps	150 ps	同じ PLL からの 2 つの出力間のスキュー

表 12. フリップ・チップ・パッケージの EP1S25 に PLL を使用した場合のリード・タイミング・マージン解析の例 ( 2 / 2 ) 注 (1)

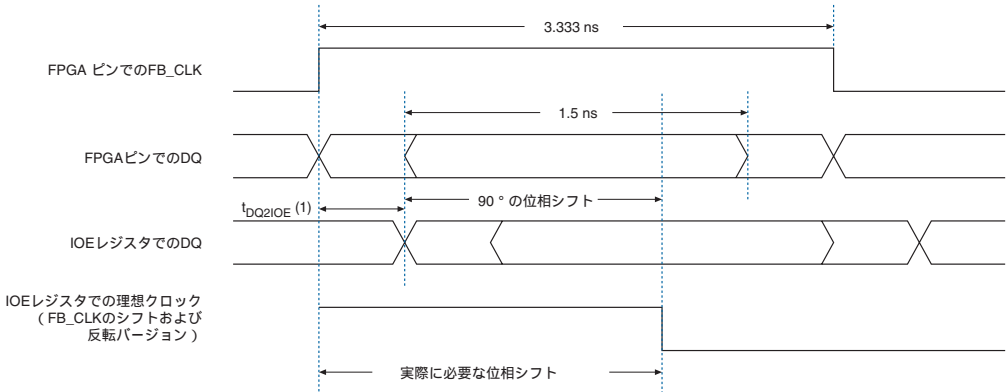
仕様	デバイス (ターゲット・クロック周波数)				概要
	-5 スピード・グレード (150 MHz)	-6 スピード・グレード (133 MHz)	-7 スピード・グレード (133 MHz)	-8 スピード・グレード (100 MHz)	
$t_{OSKEW}$	90 ps	90 ps	90 ps	90 ps	EP1S25 デバイスの共通クロック・ソースから供給される I/O バンク 1、2、5、または 6 の同一バンク内にある任意の 2 個の出力レジスタ間のクロック・出力時間 ( $t_{CO}$ ) における差の絶対値
$t_{DQSQINT}$	$\pm 220$ ps	$\pm 250$ ps	$\pm 330$ ps	$\pm 440$ ps	ピンからサイド I/O ピンのチップへの暫定的な DQS-DQ スキュー
$t_{PLLSEERR}$ (3)	$\pm 80$ ps	$\pm 85$ ps	$\pm 85$ ps	$\pm 115$ ps	高速 PLL の位相シフト・エラー
$\mu t_{SU}$	80 ps	80 ps	80 ps	80 ps	IOE レジスタでの固有のセットアップ・タイム (切り上げ)
$\mu t_{H}$	70 ps	70 ps	70 ps	70 ps	IOE レジスタでの固有のホールド・タイム (切り上げ)
トータル変動	1,256 ps	1,360 ps	1,520 ps	1,900 ps	すべてのスキューと変動の合計
マージン (4)	104 ps	284 ps	260 ps	900 ps	この方式でのリード・タイミング・マージン ( $t_{bVFPGA}$ - トータル変動)

## 表 12 の注：

- (1) これはワースト・ケース解析で、PVT 変動を考慮しています。
- (2) PLL ジッタ仕様は、出力クロックが 200 MHz より大きい場合は 100 ps、200 MHz 未満の場合は 20 mUI です。
- (3) シフト・エラーを 3% と仮定していますが、シフトが約 145° の場合には 8° の変動に相当します。
- (4) これらの数値は、特性評価が確定するまでは暫定的な値です。

リード PLL 位相シフトを計算するには、DQ ピンから IOE ( $t_{DQ2IOE}$ ) レジスタまでの遅延と共に 90° シフトを加算し、ボード・トレース長のスキューを考慮します。メモリ自体からの DQ と CK の間にスキューがあるため、計算ではある程度の誤差が生じます。図 19 に、理想的な状況における 150 MHz 動作時の DQ と  $FB\_CLK$  信号の関係を示します。

図 19. 150 MHz 動作時の DQ と FB\_CLK の関係の例



## 図 19 の注：

(1)  $t_{DQ2IOE}$  値は Quartus II ソフトウェアで使用できます。

## ラウンド・トリップ遅延の計算

データのキャプチャに使用すると同じリードPLLクロック出力を使用して、IOE レジスタから LE レジスタへのデータを再同期化することができます。リードPLL 出力とシステム・クロック間のオフセットには、次の要素が関係します（これらの時間を合計してトータル・オフセットを算出します）。

- $t_{DQSCK}$
- $l_3$  と実際の  $l_1 + l_2$  の間のスキュー
- PLL の補正に使用する  $t_{DQ2IOE}$  と実際の  $t_{DQ2IOE}$  間のスキュー
- PLL の入力と PLL の出力間のスキュー

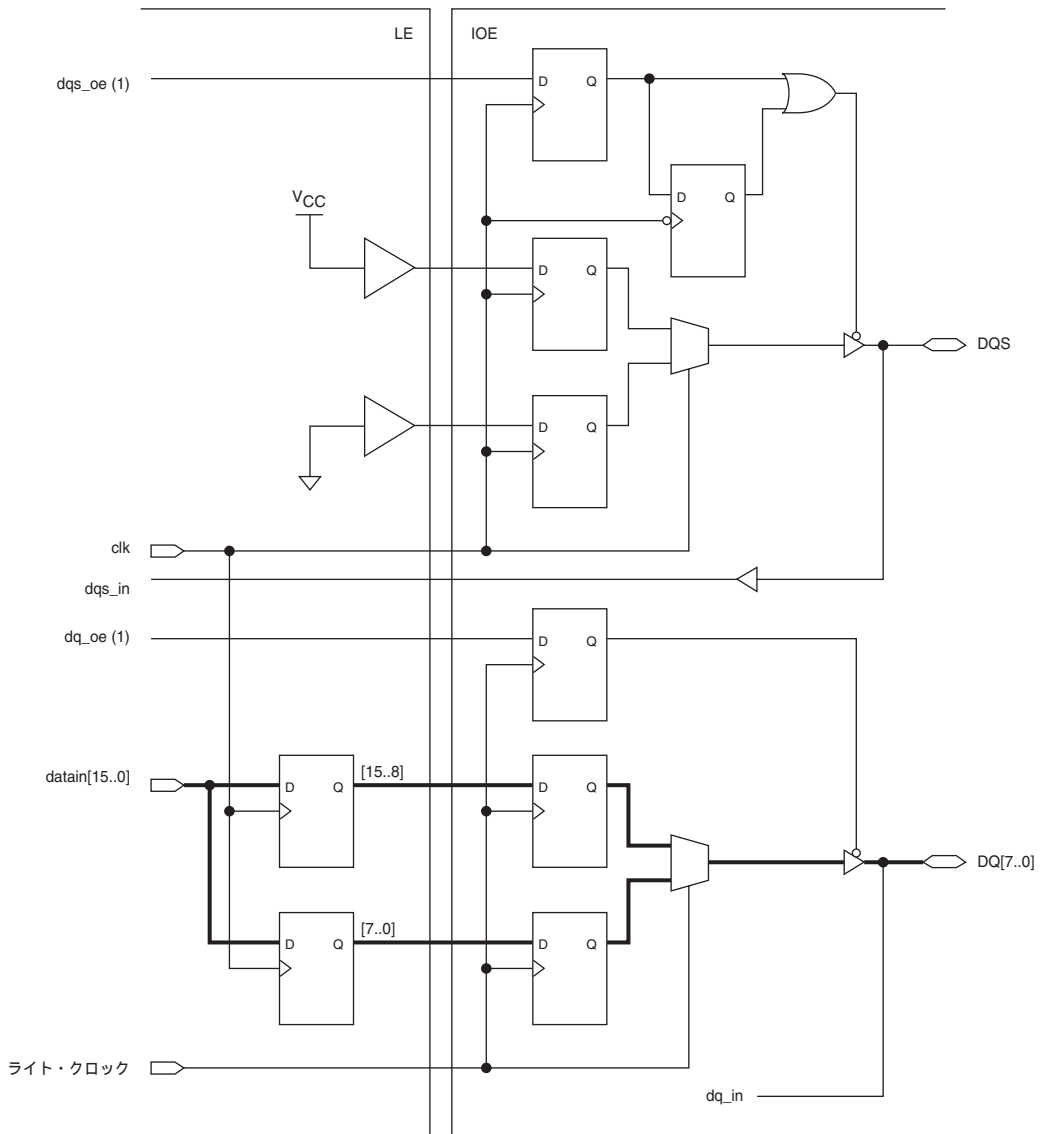
## 書き込み側の 実装

DDR SDRAM デバイスからのリード動作中に、データをキャプチャするために DQS 位相シフト回路または PLL のいずれを使用している場合でも、ライト動作には 1 つの実装しかありません。10 ページの図 4 に示すように、ライト側では PLL を使用して、表 13 に示すクロックを生成します。

クロック	概要
システム・クロック	このクロックをメモリ・コントローラに使用して、DQS ライト信号と CK/CK# 信号を生成します。
ライト・クロック (システム・クロックから $-90^\circ$ シフト)	このクロックをデータ・バスで使用して DQ ライト信号を生成します。
フィードバック・クロック	このオプションのクロックを使用するのは、DDR SDRAM デバイスからの読み出しに DQS 位相シフト回路を使用しない場合に限りです。
再同期化クロック	このオプションのクロックを使用するのは、DQS 位相シフト回路を使用し、再同期化の為に既存のクロックと異なる位相シフトが必要な場合に限りです。

図 20 は、DDR SDRAM ライト動作のデータ・バスを示します。

図 20. Stratix &amp; Stratix GX DDR SDRAM ライト・データ・パス



## 図 20 の注：

- (1) この図には、出カインエーブル・レジスタは示してありませんが、シリコンでは  $dq\_s\_oe$  と  $dq\_oe$  がアクティブ Low です。ただし、Quartus II ソフトウェアはこれをアクティブ High として実装し、コンパイル時に自動的にインバータを追加します。



## ライト・タイミング・マージン解析

表 14 に、DQ および DQS ピンのボード・トレース変動が 50 ps (FR4 ボード・トレース変動の約 0.3 インチ) の場合の 133、167、および 200 MHz での DDR SDRAM ライト・タイミング・マージン解析を示します。異なる種類の DDR SDRAM メモリを持つインタフェースに対して同様のタイミング解析を実行できます。この場合は、メモリ・データ・シートに規定されている  $t_{DS}$  および  $t_{DH}$  の値と、使用する FPGA の  $t_{IOSKEW}$  のみ必要です。

パラメータ	仕様	133 MHz	166 MHz	200 MHz	概要
メモリ仕様	$t_{CK}$	7.5 ns	6 ns	5 ns	クロック周期
	$t_{DS} = t_{DH}$ (1)	0.5 ns	0.45 ns	0.4 ns	メモリ・データ・シートからの DQ および DM のセットアップ・タイムとホールド・タイム
FPGA 仕様	$t_{IOSKEW}$ (2)	160 ps	160 ps	160 ps	共通クロックで駆動されるデバイスのトップまたはボトムにある任意の 2 個の出力レジスタ間のクロック出力時間( $t_{CO}$ ) 差の絶対値
	$t_{CLKSKEW}$	150 ps	150 ps	150 ps	2 つの PLL 出力間のスキュー
	$t_{DCD}$	375 ps	300 ps	250 ps	デューティ・サイクルの歪み (クロック周期の 5%)
ボード仕様	$t_{EXT}$	0.05 ns	0.05 ns	0.05 ns	DQ および DQS ラインのボード・トレース変動 (FR4 トレースの場合は 1 インチあたり 166 ps)
タイミング計算	$t_{SHIFT\_MIN}$	1.725 ns	1.35 ns	1.1 ns	PLL からの最小シフト ( $0.25 \times t_{CK}$ (90° シフト) - $t_{CLKSKEW}$ )
	$t_{SHIFT\_MAX}$	2.025 ns	1.65 ns	1.4 ns	PLL からの最大シフト ( $0.25 \times t_{CK}$ (90° シフト) + $t_{CLKSKEW}$ )
結果	ライト・セットアップ・タイミング・マージン	640 ps	340 ps	140 ps	$t_{SHIFT\_MIN} - t_{DCD} - t_{IOSKEW} - t_{EXT} - t_{DS}$
	ライト・ホールド・タイミング・マージン	640 ps	340 ps	140 ps	$0.5 \times t_{CK} - t_{SHIFT\_MAX} - t_{DCD} - t_{IOSKEW} - t_{EXT} - t_{DH}$

### 表 14 の注：

- (1) ここで使用されている数値は、Micron MT16VDDT3264A のものです。スピード・グレードの -262、-335、および -40B は、それぞれ 133、167、および 200 MHz で使用されます。
- (2) 別の Stratix および Stratix GX デバイスの出力 I/O スキュー仕様は、「Stratix デバイス・ハンドブック Volume 1、DC & Switching Characteristics」の章に記載されています。


表 14 は、メモリ仕様、FPGA 仕様、ボード仕様、タイミング計算、および結果の 5 つのセクションで構成されています。メモリ仕様セクションには、計算で使用するメモリ・データ・シートの項目が記載されています。FPGA 仕様セクションには、計算に必要な FPGA の項目が示されます。ボード仕様セクションには、システムのボード・トレース・スキューが記載されています。タイミング計算セクションには計算が示され、結果セクションには最終的なセットアップおよびホールド・タイム・マージンが示されます。表 14 に示すとおり、EP1S25 デバイスのライト・セットアップおよびホールド・タイミング・マージンは、それぞれ 140 ps です。EP1S60 と EP1S80 では、 $t_{IOSKEW}$  が 500 ps なので、これらのデバイスは 200 MHz DDR SDRAM をサポートできません。

## Stratix & Stratix GX DDR 特性評価 データ

### ボード・ デザインの ガイドライン

Stratix および Stratix GX デバイスの DDR SDRAM インタフェースは、ワースト・ケース条件の下で特性評価されています。DDR SDRAM モジュールにアクセスするために、アルテラ DDR SDRAM コントローラ MegaCore ファンクションが使用されました。特性評価セットアップの詳細については、アルテラのマイサポートへお問い合わせください。

ここでは、DDR SDRAM コントローラ MegaCore ファンクションと Stratix および Stratix GX デバイスを使用するときのボード・デザインに関する一般的なガイドラインを説明します。また、デカップリング・キャパシタンスについても説明しています。Stratix および Stratix GX デバイスと DDR SDRAM を使用して設計するときには、以下の一般的なガイドラインが適用されます。

- メモリ・コンポーネントまたは DIMM と Stratix および Stratix GX デバイスを互いに近づけます。Stratix および Stratix GX デバイスと DIMM の間の配線の長さは 4.5 インチ以内でなければなりません。
- 直列のインピーダンス整合抵抗 (RS) の位置が重要です。アドレスおよびコントロール信号の場合、これらの直列終端抵抗を Stratix および Stratix GX デバイスにできるだけ近づけて配置します。データ、データ・ストロブ、およびデータ・マスク信号の場合は、直列終端抵抗をメモリ・コンポーネントまたは DIMM ソケットにできるだけ近づけて配置してシグナル・インテグリティを最大限に高めます。データ、データ・ストロブ、データ・マスク、アドレス、およびコントロール信号には、 $V_{TT}$  (1.25 V) へのプルアップ抵抗 RT が必要で、これを DIMM 構造の末尾の後にフライバイ終端方法で配置する必要があります。プルアップまでの配線の長さはあまり重要ではありませんが、ほとんどのデザインでは 0.5 ~ 1 インチで配線する必要があります。 図 21 にこの終端方式を示します。


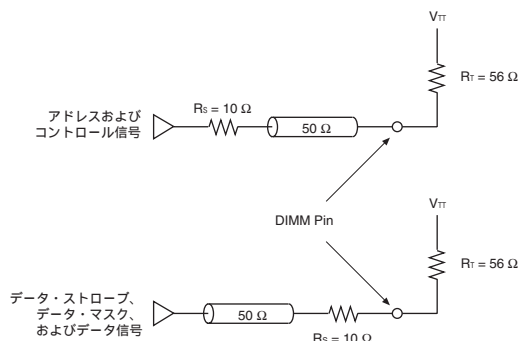
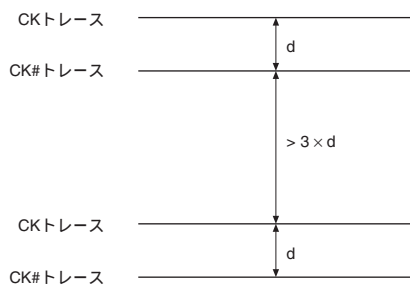
 これらの終端に関する指示はあくまでもガイドラインです。終端構成が要求を満たしていることを予測する最善の方法は、PCB やデバイス・パッケージも含めてデザインのシミュレーションを行うことです。詳細については、「Micron Technical Note TN-46-06: Termination for Point-to-Point Systems」を参照してください。

図 21. 終端方法



- PCB上でデータ・バイト・グループの配線長をできるだけ近い値に整合させます。例えば、データ・グループ dq0 ~ dq7、dm0、および dqs0 のタイミング・スキューをできるだけ近い値に整合させる必要があります。これらは 17 ps (0.1 インチ) である必要があります。アルテラは、異なるデータ・バイト・グループ間のタイミング・スキューも一致させることをお勧めします。また、これらは 17 ps (0.1 インチ) ~ 105 ps (0.5 インチ) でなければなりません。配線を整合させるには、最長トレースを基準にし、このトレースに残りの信号 (DQ、DQM、DQS) を整合させます。また、トレース長を整合させる時は、電気的長さを持つビアを考慮する必要もあります。すべてのポイント・ツー・ポイント接続が物理的長さだけでなく、電気的長さも整合していれば、適切な配線トポロジが最高の状態で達成されます。
- バッファなしのアドレスおよびコントロール信号はクロストークを生成するため、一般にバッファ付き信号よりもノイズが多くなります。したがって、このようなバッファのない信号は別の層に配線するか、データ、データ・マスク、およびデータ・ストロブよりも広い間隔で配線する必要があります。アドレス信号の近くに差動クロックやクロック・イネーブル信号を配線しないでください。
- 差動クロック・ペアを並列に配線し、配線の長さを 10 ps (0.0588 インチ) 以内で一致させます。CK および CK# トレース間の間隔は同じでなければなりません。CK および CK# トレースの 1 つのペアと別のペア間の間隔は、CK および CK# トレース間の間隔の 3 倍以上でなければなりません。詳細については、[図 22](#) を参照してください。

図 22. CK & CK# トレース間隔



- 信号をスプリット・プレーンをまたいで配線しないでください。アルテラは、高周波のリターン線を制御することをお勧めします。また、メモリ信号を PCI またはシステム・クロックから 0.025 インチ以内に配線することも避けてください。クロストークを低減するために、メモリ信号はシステム・リセット信号の近くに配線しないでください。
- 抵抗ネットワークを使用するときは、アドレス信号及びコントロール信号とデータ信号は別のパッケージの使用をお勧めします。R パック抵抗内のクロストークを除去するには、アドレス、コントロール、およびデータ・ライン (DQ, DQM, DQS) で R パック直列抵抗を共有しないようにします。ネットワーク許容差が 1 ~ 2% の直列抵抗とプルアップ抵抗を使用します。

## デカップリング・キャパシタンス

デカップリングを提供するための従来の方法は、コンデンサをボードの配線上便利な場所に置き、事前に決定されたコンデンサ比をドライバ・ピンに適用していました。しかし、DDR のスイッチングが高速になると、一般的な比率が役立たなくなり、慎重な計画と解析を行って、十分なデカップリングが得られるようにします。通常、ボード上のキャパシタンス量は、デカップリング・システムを設計する際の重要な制限要素ではありません。一般に、コンデンサのリードおよびコンデンサをパワー・プレーンとグランド・プレーンに接続しているビアのインダクタンスによって制限が課されます。アルテラは、0603 サイズのパッケージで 0.1  $\mu\text{F}$  コンデンサを使用して、過剰なインダクタンスを追加せずに、十分なキャパシタンスを得ることを推奨しています。マザーボードの  $V_{\text{TT}}$  電圧デカップリングを並列プルアップ抵抗に近づけます。 $V_{\text{TT}}$  とグランドの間にデカップリング・コンデンサを接続します。Stratix および Stratix GX メモリ・インタフェース・ボードには、他の  $V_{\text{TT}}$  ピン用の 0.1  $\mu\text{F}$  コンデンサがあります。また、Stratix および Stratix GX メモリ・インタフェース・ボードには、すべての VDD ピンおよび VDDQ ピン用の 0.1 および 0.01  $\mu\text{F}$  コンデンサもあります。

## まとめ

Stratix および Stratix GX デバイスは、十分な一貫したマージンを備えた最大 200 MHz の DDR SDRAM にインタフェース出来る専用回路を備えています。この回路は、PVT 変動に応じて動的に調整され、システム要求に合わせて微調整できます。Stratix および Stratix GX デバイスでは、メモリからの読み出しに専用回路を使用し、メモリへの書き込みには PLL を使用しています。この実装により、ボード・レイアウトとコントローラのデザインが簡略化されます。

## 参考文献

*JEDEC Standard Publication JESD79C, DDR SDRAM Specification*, JEDEC Solid State Technology Association

*MT16VDDT3264A, 184-Pin DDR SDRAM DIMMs Data Sheet*, Micron Technology, Inc.

*DDR SDRAM Controller MegaCore Function User Guide*, Altera Corporation.



101 Innovation Drive  
San Jose, CA 95134  
(408) 544-7000  
[www.altera.com](http://www.altera.com)  
Applications Hotline:  
(800) 800-EPLD  
Literature Services:  
[lit\\_req@altera.com](mailto:lit_req@altera.com)

Copyright © 2004 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

