

はじめに

SMPTE (Society of Motion Picture and Television Engineers) は、ビデオ制作施設における機器間のインタコネクとして、ビデオ・システム設計者に広く使用されているシリアル・デジタル・インタフェース (SDI) を定義しています。

アルテラ Stratix® GX デバイス対応のアルテラ SDI リファレンス・デザインには、次の SDI データ・レートを処理可能な全二重 SDI が実装されてます。

- SMPTE259M-1997 10 ビット 4:2:2 コンポーネント・シリアル・デジタル・インタフェースで定義される 270 Mbps 標準精細 (SD) SDI
- SMPTE292M-1998 高精細テレビ・システム用ビットシリアル・デジタル・インタフェースで定義される 1.485/1.4835 Gbps (Gigabit per Second) 高精細 (HD) SDI

全二重インタフェースは、次の動作モードに対して容易にコンフィギュレーションできます。

- 送信のみ
- 受信のみ
- HD のみ
- SD のみ
- HD および SD マルチレート

このアプリケーション・ノートでは、以下のトピックについて説明します。

- リファレンス・デザインの機能説明
- リファレンス・デザインのシミュレーション方法 (ModelSim-Altera シミュレータを使用)
- リファレンス・デザインのコンパイル方法 (Quartus® II ソフトウェアを使用)
- Stratix GX ビデオ・デモンストレーション・ボードでの SDI のデモンストレーション方法



Stratix GX のビデオ・デモンストレーション・ボードについて詳しくは、「Stratix GX Video Demonstration Board Data Sheet」を参照してください。

アルテラは、リファレンス・デザインを Verilog HDL ソース・コードとして提供しています。リファレンス・デザインにはテストベンチが含まれており、このテストベンチを利用すると Verilog HDL ソース・コードのテストが可能になります。

このリファレンス・デザインの目的は、ビデオ・システム設計者に Stratix GX デバイスを使用した SDI または HD-SDI の実装方法を提示することです。

背景

Stratix GX ファミリ・デバイスは、高速シリアル・トランシーバとスケーラブルな高性能ロジック・アレイを組み合わせたアルテラの第 2 の FPGA ファミリです。Stratix GX デバイスは、それぞれが最大 3.1875 Gbps のデータ・レートで動作可能なクロック・データ・リカバリ (CDR) テクノロジとエンベデッド SERDES 機能を備えた 4 ~ 20 本の高速トランシーバ・チャンネルを搭載しています。これらのトランシーバは、統合 4 チャンネル・ブロックにグループ化され、低消費電力と小さなダイ・サイズを実現するように設計されています。Stratix GX FPGA テクノロジは、Stratix アーキテクチャ上に構築され、比類のない性能、柔軟性、および「time-to-market」能力を備えた 1.5V ロジック・アレイを提供します。このスケーラブルな高性能アーキテクチャにより、Stratix GX デバイスは複数の SDI 入力および出力を使用するアプリケーションに最適なものになります。さらに、Stratix GX デバイスは、高速バックプレーン・インタフェース、チップ間インタフェース、および各種高速シリアル・インタフェースにも最適です。



Stratix GX デバイスについて詳しくは、「[Stratix GX FPGA Family Data Sheet](#)」を参照してください。

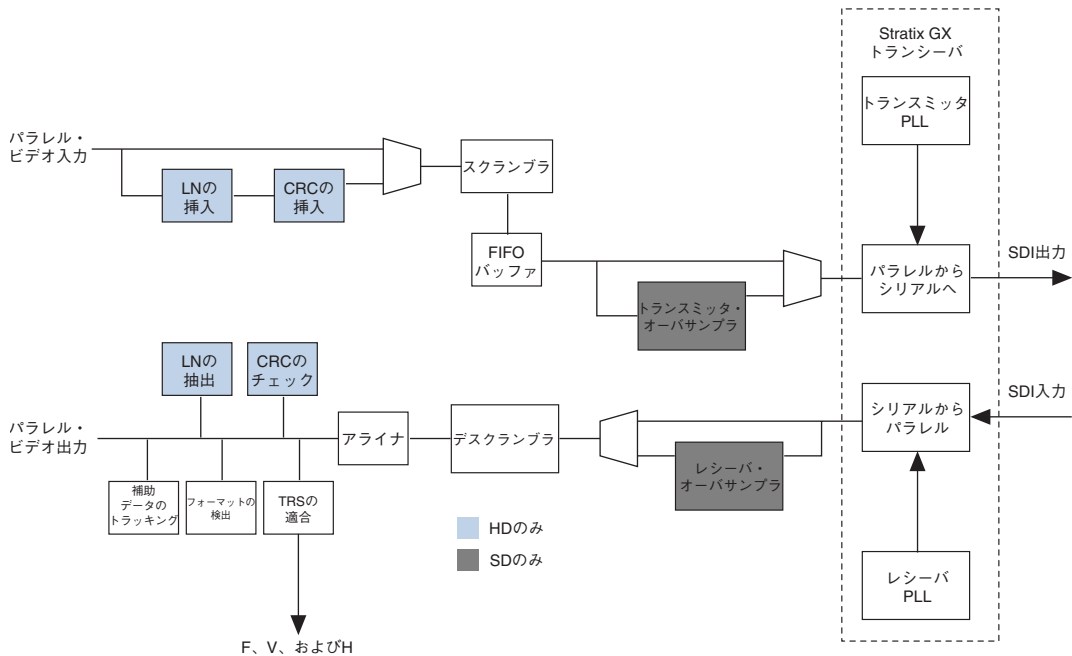
機能の説明

リファレンス・デザインには、次のエレメントが含まれています。

- Stratix GX トランシーバと、マルチレート SD/HD レシーバ動作でのコントロールおよびインタフェース・ロジック
- SD/HD SDI トランスミッタ・スクランブラ
- CRC (Cyclic Redundancy Code) およびライン番号 (LN) 挿入機能を搭載した HD-SDI トランスミッタ・データ・フォーマッタ
- SD/HD SDI レシーバ・デスクランブラおよびワード・アライナ
- HD-SDI レシーバ CRC チェッカおよび LN エクストラクタ
- ビデオ・タイミング信号の抽出を伴うレシーバのフレーミング
- レシーバ・フォーマット検出器
- 補助データの識別およびトラッキング
- ビデオ・パターン・ジェネレータ

図 1 にリファレンス・デザインのブロック図を示します。

図 1. ブロック図



トランスミッタの概要

トランスミッタは10ビット (SDの場合) または20ビット (HDの場合) のパラレル・ビデオ・データを受け入れます。

HD動作の場合、現在のビデオ・ライン番号が各ラインの適切なポイントに挿入されます。また、lumaチャンネルおよびchromaチャンネルに対して、CRCが計算され、挿入されます。

SDI規格に従って、パラレル・ビデオ・データがスクランブルされ、NRZIエンコードされます。

スクランブルされたデータは、送信用トランシーバに供給されます。SD動作の場合、5xオーバサンプリングにより、トランシーバは270Mbpsデータ・レートのサポートが可能になります。

Stratix GX トランシーバは、エンコードされたパラレル・データを高速シリアル出力に変換します (パラレル-シリアル変換)。

レシーバの概要

Stratix GX トランシーバは高速シリアル入力をデシリアル化します。HD の場合は、クロック・データ・リカバリ (CDR) 機能がデシリアル化を実行し、レシーバ PLL をレシーバ・データにロックします。SD の場合、レシーバ PLL を常時基準クロックにロックした状態で、シリアル・データの固定周波数オーバサンプルを提供することにより、トランシーバは 270 Mbps データ・レートのサポートが可能になります。

トランシーバは SD データと HD データのいずれも処理できます。データ・レートは自動的に検出できるため、インタフェースはデバイス・リコンフィギュレーションを行うことなく SD と HD の両方を処理できます。

受信データは NRZI 方式で復号化およびデスクランブルされ、ワード・アラインメントされた 10 ビット (SD の場合) または 20 ビット (HD の場合) のパラレル出力として供給されます。

レシーバ・インタフェースは、受信データ内の F、V、および H タイミング信号を抽出およびトラッキングします。また、アクティブな画像および補助データ・ワードも識別され、使用できます。

HD の場合、受信した CRC が luma および chroma チャネルについてチェックされます。また、LN も抽出され、デザインからの出力として提供されます。


受信したビデオのフレーム・フォーマットを検出するためのロジックが搭載されています。

トランスミッタ・クロック

トランスミッタには 2 つのクロック、つまりパラレル・ビデオ・クロック (pclk) とトランスミッタ基準クロック (tx_refclk) が必要です。

パラレル・ビデオ・クロックはパラレル・ビデオ入力のサンプリングと処理を行います。このクロックは、SD の場合は 27 MHz、HD の場合は 74.25 MHz または 74.175 MHz です。

トランシーバはトランスミッタ基準クロックを使用して高速シリアル出力を生成します。トランスミッタを 20 ビット動作にコンフィギュレーションする場合、基準クロックはシリアル・データ・レートの 1/20 になります。また、トランスミッタを 10 ビット動作にコンフィギュレーションする場合、基準クロックはシリアル・データ・レートの 1/10 になります。

 SD の場合、オーバサンプリング実装となるため、シリアル・データ・レートは SDI ビット・レートの 5 倍 (1,350 Mbps) になります。

HD 動作の場合、トランスミッタ基準クロックは pclk でドライブできます。

SD 動作の場合、トランスミッタ基準クロックは、Stratix GX PLL (Phase-Locked-Loop) のいずれかを使用して `pclk` から生成できます。PLL は 27 MHz の `pclk` 信号を 5 (10 ビット・トランシーバの場合) または 5/2 (20 ビット・トランシーバの場合) で乗算できます。

マルチレート動作の場合、外部マルチプレクサを使用して、SD および HD 基準クロックのいずれかを選択します。

Stratix GX アーキテクチャでは、4 つのトランスミッタの各グループ (トランシーバ・クワッド) が個別のトランスミッタ基準クロックを持つことができます。

レシーバ・クロック

トランシーバにはレシーバ基準クロック、`rx_refclk` が必要です。このクロックは、トランシーバ内のレシーバ PLL を調整します。

HD 動作の場合、20 ビット・トランシーバ・インタフェースを使用するため、このクロックはシリアル・データ・レートの標準 1/20 であることが必要です。このクロックはレシーバ PLL の調整にのみ使用されるため、データに周波数ロックする必要はありません。

20 ビット・トランシーバ・インタフェースを使用する SD 動作の場合、このクロックはシリアル・データ・レートの標準 1/4 (つまり、67.5 MHz) であることが必要です。10 ビット・トランシーバ・インタフェースの場合、データ・レートの 1/2 (135 MHz) であることが必要です。クロックをデータに周波数ロックする必要はありません。

マルチレート動作の場合、レシーバ基準クロックは 67.5 MHz でなければならない、それによりトランシーバは正しい周波数で SD のデータをサンプリングすることができます。HD の場合、レシーバ PLL は 67.5 MHz の基準クロックで調整を行い、実際の着信データ・レートをトラッキングします。

すべてのレシーバ・インタフェースは共通のレシーバ基準クロックを共有できます。

Stratix GX トランシーバ

リファレンス・デザインは Stratix GX トランシーバ (`altgxb` メガファンクション) を **Custom** プロトコル・モードで使用します。HD およびマルチレート・インタフェースは 20 ビット・インタフェース・モードを使用して実装され、SD インタフェースは 10 ビットまたは 20 ビットのインタフェース・モードのいずれかを使用できます。



Stratix GX トランシーバについて詳しくは、「Stratix GX ハンドブック」を参照してください。

リファレンス・デザインには事前にコンフィギュレーションされた2つのメガファンクション、つまり HD およびマルチレート・ソリューションの場合は 20 ビット・トランシーバ、SD の場合は 10 ビット・トランシーバが搭載されます。どちらのメガファンクションもシングル・デュプレックス・インタフェースに対してパラメータ化されます。



メガファンクションは、Quartus® II MegaWizard® Plug-In Manager を使用してパラメータ化できます。

表 1 に、トランシーバ・トランスミッタ・インタフェース信号を示します。

信号	方向	説明
txdigitalreset	入力	アクティブ High リセット。SDI 出力がリセットされるとアサートします。
inclk	入力	トランスミッタ基準クロック。20 ビット・モードの場合はシリアル・データ・レートの 1/20 (つまり、1.485 Gbps HD-SDI の場合は 74.25 MHz)、10 ビット・モードの場合はシリアル・データ・レートの 1/10 (つまり、5 倍オーバーサンプリングされた 270 Mbps SDI の場合は 135 MHz)。
pll_locked	出力	トランスミッタ PLL のロック・ステータス・フラグ PLL がロックされるとアサートされます。
coreclk_out	出力	トランスミッタ PLL からのパラレル・ワード・クロック。
tx_coreclk	入力	トランスミッタ・パラレル・ワード・クロック (inclk と同じ周波数)。この入力は、inclk と同じ信号でドライブできます。トランスミッタの位相補償用 FIFO バッファでパラレル入力が同期化されます。位相補償用 FIFO バッファが inclk と PLL 出力間の周波数の差異によって破壊されないようにするために、pll_locked が Low のときに txdigitalreset をアサートする必要があります。
tx_in	入力	パラレル・データ入力。
tx_out	出力	シリアル出力。AC 結合コンデンサを使用して、外部ケーブル・ドライバ (LVPECL 入力付き) に接続可能な 1.5V PCML 差動信号。

表 1 の注：

- (1) トランシーバのプリアンプ機能は、SDI に対しては使用されません。
- (2) デフォルト値の 1000 mV は、電圧出力差動 (VOD) 制御設定に対しては使用されません。
- (3) トランスミッタ PLL には広帯域幅を推奨します。

表 2 に、トランシーバのレシーバ・インタフェース信号を示します。

信号	方向	説明
rxdigitalreset	入力	アクティブ High のリセット。
rx_cruclk	入力	レシーバ PLL の基準クロック。20 ビット・モードの場合はシリアル・データ・レート の 1/20 (つまり、1.485 Gbps HD-SDI の場合は 74.25 MHz)、10 ビット・モード の場合はシリアル・データ・レート の 1/10 (つまり、5 倍オーバーサンプリングされた 270 Mbps SDI の場合は 135 MHz)。注 (1)、(2)
rx_locktorefclk	入力	レシーバ PLL を rx_cruclk に強制的にロックするコントロール信号。
rx_locktodata	入力	レシーバ PLL を着信シリアル・データに強制的にロックするコントロール信号。
rx_bitslip	入力	ワード・アラインメントのビットスリップ・コントロール (このデザインでは使用しない)。
rx_rlv	出力	ラン・レンクス違反フラグ。連続 100 個のビットを遷移なしで受信したことを示します (HD の場合のみ)。
rx_locked	出力	レシーバ PLL が rx_cruclk にロックされたことを示します (Low の場合)。
rx_clkout	出力	パラレル・ワード・クロック出力を受信します。
rx_coreclk	入力	rx_clkout に接続します。
rx_in	入力	シリアル入力。AC 結合コンデンサを使用して、外部ケーブル・イコライザに接続可能な (LVPECL 入力を使用) 1.5V PCML 差動信号。
rx_out	出力	パラレル・データ出力。

表 2 の注 :

- (1) レシーバ PLL はトランスミッタ PLL からは調整されませんが、rx_cruclk 入力で調整されます。HD の場合、この入力はシリアル・データ・レート の標準 1/20 (つまり、1.485 Gbps HD-SDI の場合は 74.25 MHz) ですが、非常に広範囲な周波数に対応可能です。マルチレート・デザインには 67.5 MHz が使用されます。
- (2) SD の場合、rx_cruclk は固定基準周波数をオーバーサンプリング・ファンクションに提供します。入力は、20 ビット・モードでは 67.5 MHz、10 ビット・モードでは 135 MHz であることが必要です。Stratix GX の拡張 PLL または高速 PLL の 1 つを使用して、この周波数を 27 MHz クロックから合成できます。基準クロックは、シリアル・データ・レートにロックされる周波数である必要はありません (10,000 ppm の周波数差を許容)。
- (3) トランシーバ・イコライザは SDI に対しては使用されません。レシーバ PLL には狭帯域幅を推奨します。

トランシーバ・インタフェース

アルテラは、トランシーバを SDI 機能に接続するトランシーバ・インタフェース (`source\gxb_interface\sdi_gxb_interface`) を提供しています。トランシーバ・インタフェースは次の機能を実行します。

- 20ビット・トランシーバ使用時のSDに対応する10ビットから20ビットへの変換
- パラレル・ビデオ・クロック・ドメインからトランシーバ・トランスミッタ・クロック・ドメインへのリタイミング (オプション)
- SDに対応するトランスミッタおよびレシーバのオーバサンプリング
- トランシーバ・レシーバ・モード・コントロール

SD に対応するデータ幅変換

パラレル・ビデオ・データ入力、SD に対しては 10 ビットです。20 ビット・トランシーバを使用する場合、トランシーバ・インタフェースは 10 ビット入力ワードの各ペアから 20 ビット・ワードを作成します。この 20 ビット・ワードは、1 パラレル・ワード・クロックおきにリタイミング FIFO バッファに書き込まれます。

トランスミッタのリタイミング

トランシーバへの `tx_in` パラレル・データ入力は、`tx_coreclk` トランシーバ・クロック入力に対して同期し、かつ位相調整されている必要があります。SD (およびオプションでの HD) には、オーバサンプリング・ロジックが搭載されているため、リタイミング機能が必要です。トランスミッタは小容量の 4×20 の FIFO バッファをリタイミングに使用します。

HDの場合、FIFOバッファはパラレル・ビデオ入力をトランシーバの`tx_coreclk` クロックにリアラインメントします。これは、`tx_pclk` クロックごとに書き込まれ、`tx_coreclk` ごとに読み出されます。

SDの場合、FIFO バッファはさらに、トランスミッタのオーバサンプリング・ロジックに必要なレート変換を実現します。これは、`tx_pclk` クロックごとに (10 ビット・トランシーバ)、または `tx_pclk` の 1 つおきに (SD データ幅変換ロジックを使用する 20 ビット・トランシーバ) 書き込まれ、`tx_coreclk` の 5 つおきに読み出されます。この動作によって、5 クロックごとに 1 ワードのパラレル・ビデオ・データがトランスミッタのオーバサンプリング・ロジックに確実に供給されます。

SD トランスミッタのオーバサンプリング

SD-SDIには270Mbpsのシリアル・データ・レートが必要ですが、これは1,350 Mbpsの信号を、各ビットを5回繰り返して送信することによって実現します。この処理によって、トランシーバはサポートされる周波数で動作します。

トランスミッタのオーバサンプリング・ロジック (`gxb_txsample`) は、リタイミング FIFO バッファからの出力を5ワードに変換し、これらの5ワードがトランシーバに供給されます。第1ワードには、パラレル・ビデオ・データの最下位ビット (LSB) が各ビットを5回繰り返して格納されます。第2ワードには次の下位ビットが格納され、以降のワードも同様に続きます。表3に10ビット・モードの動作を示します。

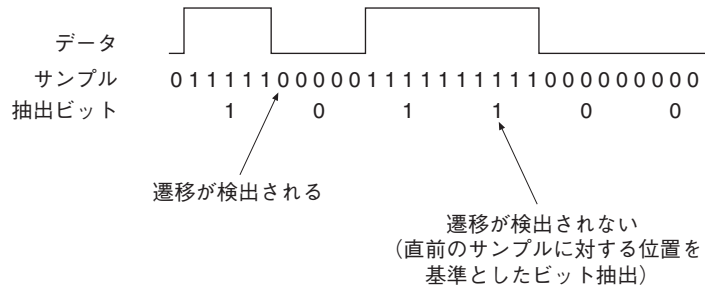
説明		ワード									
FIFO バッファからのパラレル・データ		9	8	7	6	5	4	3	2	1	0
トランシーバへのパラレル・データ	第1ワード	1	1	1	1	1	0	0	0	0	0
	第2ワード	2	2	2	2	2	3	3	3	3	3
	...										
	第5ワード	9	9	9	9	9	8	8	8	8	8

SD レシーバのオーバサンプリング

Stratix GX トランシーバは、500 Mbps 未満のデータ・レートでは CDR をサポートしません。レシーバは、270 Mbps SD-SDI を受信するために、固定周波数オーバサンプリングを使用します。シリアル・データはトランシーバによって1,350 Mbpsでサンプリングされ、元の270 MbpsのデータはSDレシーバのオーバサンプリング・ロジック (`gxb_rxsample`) によって抽出されます。

トランシーバからのパラレル・データは、LSB から先に処理されて、最初の遷移ポイントが検出されます。このロジックは遷移ポイントから2ビット後に発生するサンプル (データ・ビットのほぼ中央に位置) を認識します。さらに、次の遷移ポイントを探し、この処理を繰り返します。シリアル・データはサンプル・レートの標準1/5であるため、遷移が検出されない場合、現在のビットから5ビット後方のサンプルが使用されます。図2にレシーバのオーバサンプリングを示します。

図 2. レシーバのオーバーサンプリング

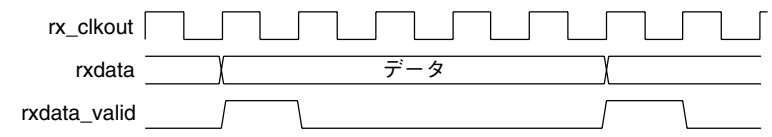


トランシーバからのパラレル・ワードごとに、レシーバは多数のサンプルを識別および抽出します。10 ビット・ワードの場合は 1 と 3 の間が予想され、20 ビット・ワードの場合は最大 5 が可能です。正確な数は、着信データと固定周波数オーバーサンプリングとの間の周波数と位相の関係によって決まります。

各ワードごとに抽出されたサンプルは、累積されて新しい 10 ビットまたは 20 ビットのパラレル・ワードになります。このワードは、必要なサンプル数が取得されると SDI に供給されます。

オーバーサンプル・ロジックがクロック・リカバリ機能を直接提供することはありません。パラレル・データは、固定周波数のオーバーサンプル・クロック (rx_clkout) を使用してクロック出力されます。各新規ワードごとに、有効フラグがアサートされます。この有効フラグは、以降の受信処理ロジックに対するクロック・イネーブルとして使用でき、また同期ロジックが実装されている場合にはクロックとして直接使用することもできます。クロック・イネーブルとしての使用を推奨します。図 3 に、レシーバ・データ・タイミングの例を示します。

図 3. レシーバ・データ・タイミング



トランシーバ・コントローラ

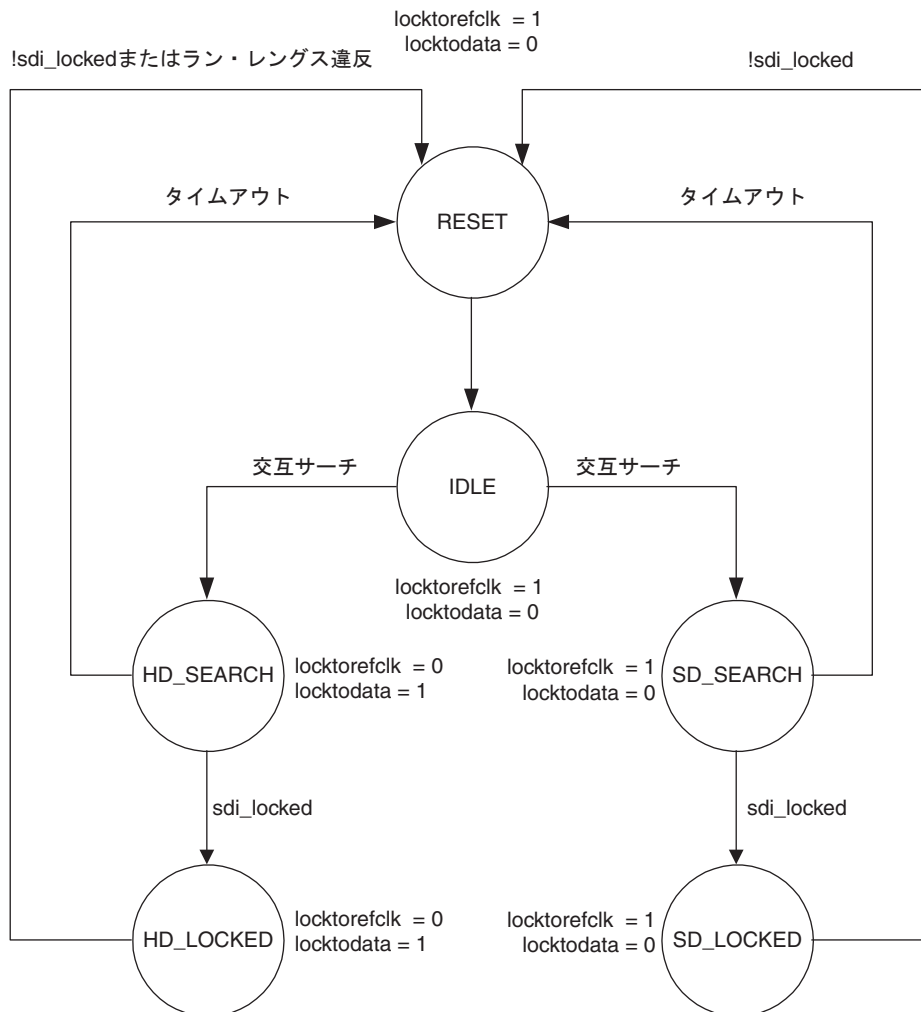
SDIに必要な受信機能を実現するために、トランシーバ・コントローラ (`sdi_gxb_ctrl`) はトランシーバの `rx_locktorefclk` 信号および `rx_locktodata` 信号を制御します。

インタフェースが SD を受信すると、トランシーバのレシーバ PLL はレシーバ基準クロックにロックします (`rx_locktorefclk` をアサート)。

インタフェースが HD を受信すると、トランシーバのレシーバ PLL はまず、レシーバ基準クロックにロックする (`rx_locktorefclk` をアサートする) ことによって調整されます。PLL はロックされる (`rx_locked` で示される) と、実際のレシーバ・データ・レートをトラッキング (`rx_locktorefclk` をネゲートし、`rx_locktodata` をアサートする) できます。有効な SDI 信号がないまま一定の期間が経過した場合、PLL は基準クロックで再調整され、この処理が繰り返されます。

トランシーバ・コントローラによって、トランシーバは1つのレートと他のレートを交互に検索するアルゴリズムを使用して、SD データと HD データの両方の受信をサポートすることが可能です。まず、HD 信号を探し、PLL を調整して、リアル・データ・レートをトラッキングさせます。有効な HD 信号が 0.1 秒以内に検出されなかった場合は受信パスがリセットされ、PLL が SD に対して調整されます。これに対して、有効な SD 信号が 0.1 秒以内に検出されなかった場合は受信パスがリセットされ、この処理が繰り返されます。また、信号が有効でなくなったことが SDI レシーバによって示されると、トランシーバ・コントローラはリセットされ、再び検索を開始します。図 4 にトランシーバ・コントローラの状態図を示します。

図 4. トランシーバ・コントローラの状態図



HD 動作の場合、同じ値のビットが 100 個連続して検出されると、レシーバがリセットされ、PLL が再調整されます。HD-SDI の最大適合ラン・レングスは 59 ビットです。


SDI トランスミッタ・エンコーダ

SDI トランスミッタ・エンコーダ (`source\transmit\sdi_transmit`) は、次の3つの機能で構成されます。

- HD LN の挿入
- HD CRC の生成と挿入
- ス克蘭ブルおよび NRZI コーディング

HD LN の挿入

SMPTE292M の第 5.4 項では、現在のライン番号を示すために各 HD-SDI ビデオ・ラインに含まれる 2 ワードのフォーマットが定義されています。モジュール `hdsdi_insert_in` は、これらの 2 ワードをフォーマットし、出力データに挿入します。`hdsdi_insert_in` は現在のライン番号を入力として受け付けます。

 システム側でライン番号が不明な場合は、出力ビデオ・フォーマットを検出して現在のラインを特定するロジックを実装できます。この機能は、このリファレンス・デザインの範囲外です。

LN ワード (LN0 および LN1) によって、EAV (End of Active Video) タイミング基準シーケンス (TRS) の「XYZ」ワードに続く 2 ワードが上書きされます。同じ値が `luma` および `chroma` チャネルに含まれています。`sdi_trsmatch` モジュールは、出力データでのこれらのワードの位置を特定します。また、`sdi_trsmatch` は SDI 受信デコーディングにも使用されます。

`sdi_trsmatch` には、データで `3FF 000 000` シーケンスが存在するかどうかを示す入力が必要です。そして、「XYZ」ワードを調べて、このシーケンスが EAV を表すか、または SAV (Start of Active Video) の TRS の開始を表すかが判断されます。システム側で `3FF 000 000` シーケンスの有無を示すタイミングが不明な場合、それを特定するためのシンプルなパターン・マッチング・ロジックを実装できます。

HD CRC の生成と挿入

SMPTE292M の第 5.5 項には、各 HD-SDI ビデオ・ラインの `chroma` チャネルおよび `luma` チャネルに含まれる CRC (Cyclic Redundancy Code) が定義されています。`hdsdi_crc` モジュールは、必要な CRC を生成およびフォーマットし、出力データに挿入します。

`sdi_trsmatch` モジュールは、CRC 計算に含むワードを特定し、そのワードを出力データのどの位置に挿入するかを決定します。フォーマットされた CRC データ・ワード (`luma` チャネルの場合は `YCR0` および `YCR1`、`chroma` チャネルの場合は `CCR0` および `CCR1`) によって、EAV 後のライン番号に続く 2 ワードが上書きされます。`luma` および `chroma` チャネルに対しては、別の計算が実行されます。

CRC はアクティブ・デジタル・ラインのすべてのワードに対して計算され、この計算は最初のアクティブ・ワード・ラインで始まり、ライン番号 (LN1) の最終ワードで終了します。CRC の初期値はゼロに設定され、生成多項式 $CRC(X) = X^{18} + X^5 + X^4 + 1$ が適用されます。

hdsdi_crc は、出力データの各ビットに LSB から順に生成多項式を繰り返し適用して、CRC 計算を実行します。

スクランプリングおよび NRZI コーディング

SMPTE292M の第 5 項および SMPTE292M の第 7 項では、SDI と HD-SDI の両方に使用される共通のチャンネル・コーディングが定義されています。このチャンネル・コーディングは、スクランプリング関数 ($G_1(X) = X^9 + X^4 + 1$) に NRZI エンコーディング ($G_2(X) = X + 1$) を続けて構成されています。**sdi_scrambler** モジュールは、このチャンネル・コーディングを実行します。このモジュールは、10 ビットまたは 20 ビットの平行データのうちどちらかを処理するようにコンフィギュレーションできます。

sdi_scrambler は、スクランプリングおよび NRZI エンコーディング・アルゴリズムを出力データの各ビットに LSB から順に繰り返し適用することによって、このチャンネル・コーディングを実行します。実装されるアルゴリズムを SMPTE259M の図 C.1 に示します。

SDI レシーバ・デコーダ

SDI レシーバ・デコーダ (**source\receive\sdi_receive**) は、次の 5 つの機能で構成されます。

- NRZI デコーディングおよびデスクランプリング
- ワード・アラインメント
- ビデオ・タイミング・フラグの抽出
- HD LN の抽出
- HD CRC のチェック

NRZI デコーディングおよびデスクランプリング

sdi_descrambler モジュールは、SDI と HD-SDI に共通のチャンネル・デコーディング機能を提供します。このモジュールは、NRZI デコーディングとその後に必要なデスクランプリングを実行します。SMPTE259M の図 C.1 に示すアルゴリズムが、LSB から順に受信データに繰り返し適用されます。

ワード・アラインメント

アライナ (**sdi_aligner**) は、出力データのビット順序が元のビデオ・データと同じになるように、デスクランブルされた受信データをワード・アラインメントします。


EAV および SAV シーケンスによって、正しいワード・アラインメントが決定されます。SDI の場合、固有の 3FF 000 000 パターンが使用されます。HD-SDI の場合、chroma および luma チャネルの組み合わせに見られる 3FF 3FF 000 000 000 000 パターンが使用されます。

アライナは、デスクランブルされた受信データ内の選択したパターンを照合します。可能なワード・アラインメントのいずれかでパターンが検出されると、フラグがセットされ、アラインメントの一致が示されます。この処理は受信データに継続的に適用されます。

アライナの第 2 ステージでは、データに対する正しいワード・アラインメントを決定します。同じアラインメントで 3 つ連続した TRS を検索します。これが検出されると、そのアラインメントが保存されます。続いて、異なるアラインメントで 2 つの連続した TRS が検出されると、この新しいアラインメントが保存されます。

アライナによって、特定のビデオ・ラインの間で、あるアラインメントから別のアラインメントに即時に切り換えることができます。この機能を使用すると、SMPTE RP168-1993 の定義に従って、垂直インターバル・スイッチング・ポイントでの即時リアラインメントをサポートできます。このリファレンス・デザインではこの機能は使用しません。

アライナの最終ステージでは、受信したデータにバレル・シフト機能を適用して、正しくアラインメントされたパラレル・ワード出力を生成します。このリファレンス・デザインの場合、バレル・シフトによって、あるアラインメントから別のアラインメントに瞬時に切り換えることができます。

 小さな面積のデザインが必要な場合、Stratix GX トランシーバのロジック機能とビットスリップ機能を組み合わせて使用できます。このオプションは、このリファレンス・デザインの範囲外です。

ビデオ・タイミング・フラグの抽出

sdi_trsmatch モジュールは、受信したデータから F、V、および H ビデオ・タイミング・フラグを抽出します。これらのフラグは、受信フォーマットの検出やフライホイール機能の実装に使用できます。


また、**sdi_trsmatch** は HD-SDI のライン番号および CRC ワードを識別します。

HD LN の抽出

hdsgi_extract_In モジュールは、HD-SDI chroma チャネルから SMPTE292M の第 5.4 項で定義される LN ワードを抽出し、フォーマットします。このデザインでは、LN を出力として供給します。

HD CRC のチェック

hdsdi_crcモジュールは、HD-SDI lumaおよびchromaチャンネルに対して、SMPTE292Mの第5.5項で定義されるCRCをチェックします。

 このモジュールはレシーバとトランスミッタに共通です。

このチェックは、受信したビデオ・ラインごとにCRCを再計算し、その計算結果を受信したCRCデータと照合することによって実行されます。結果が異なる場合、エラー・フラグがアサートされます。lumaおよびchromaチャンネルに対して、個別のエラー・フラグが存在します。フラグは次のチェックが実行されるまで、アサートされた状態に保持されます。

全二重インタフェース

このリファレンス・デザインでは、SDとHDSDIの両方または一方の処理が可能な全二重インタフェース (**source\port\sdi_txrx_port**) の実装を提供します。

sdi_txrx_port は、Stratix GX トランシーバ・メガファンクション、トランシーバ・コントロール、SDI送信エンコーディング・ロジック、およびSDI受信デコーディング・ロジックをインスタンス化します。

オプションのモジュール (**sdi_format** および **sdi_anctrack**) では、さらに高度なデザイン例が提供され、受信データに対して追加処理が実行されます。**sdi_format** は、受信したビデオのフレーム・パラメータおよびフォーマットを決定します。SMPTE292Mの表1で定義されるPAL、NTSC、およびHDフレーム・フォーマットがサポートされます。**sdi_anctrack** は、受信したデータ内に存在する補助データ・パケットを識別および解析します。

インタフェース・モードを設定するには、**enable_sd** (SDの場合) および **enable_hd** (HDの場合) 入力のいずれかまたは両方をアサートします。

SDを10ビット・トランシーバ・インタフェースでのみ実装するには、**SD_ONLY_10BIT_MODE** パラメータを1に設定します。

ビデオ・パターン・ジェネレータ

リファレンス・デザインには、デモ用のビデオ・パターン・ジェネレータが搭載されています。ビデオ・パターン・ジェネレータは、SMPTE RP178 および RP198で定義されるシンプルなカラーバー・テスト・パターンまたはSDIチェックフィールド・パターンを生成できます。

ビデオ・パターン・ジェネレータには、ビデオ・フレーム・クリエータ (**sdi_makeframe**) とアクティブ・ピクチャ・コンテンツ・ジェネレータ (**gen_colorbar** および **gen_patho**) の2つの主要なエレメントがあり、これらは **source\pattern_gen** ディレクトリに存在します。

sdi_makeframe は要求されるフォーマットでビデオ・フレームを作成します。ラインあたりのワード数、フレームあたりのライン数などのフレーム・パラメータは、モジュールへの入力として与えられます。**sdi_makeframe** は、SD フォーマットまたは HD フォーマットのいずれかの出力を生成するようにコンフィギュレーションできます。出力データをフレーミングする EAV および SAV ワードは、適切なタイミングで生成されます。

アクティブ・ピクチャ・コンテンツ（可視パターン）は、ビデオ・フレーム・クリエイトから要求されます。**gen_colorbar** はシンプルなカラーバー・パターンを生成し、**gen_patho** は SDI チェックフィールド用のデータを生成します。

gen_colorbar はシンプルな 8 色の垂直バー・パターンを生成します。SD または HD のいずれかに対する 75% または 100% 振幅信号に、適切な値を生成するようにコンフィギュレーションできます。異なる色の間を遷移する周波数を制限するために、シンプルなスムージング・アルゴリズムが適用されます。

gen_patho は SDI チェックフィールド・パターンを生成します。このフレームの上半分は、イコライザのストレス状態を発生できるデータ（19 回の High（または Low）状態とそれに続く 1 回の Low（または High）状態の繰り返し）で構成されています。このフレームの下半分は、PLL のストレス状態を発生できるデータ（20 回の Low（または High）状態とそれに続く 20 回の High（または Low）状態の繰り返し）で構成されています。

デモンストレーション・デザイン

Stratix GX ビデオ・デモンストレーション・ボードに対するデモンストレーション・デザイン（`source\demo\sdi_loopback_demo`）では、2 つの全二重 SDI インスタンスを使用します。

最初のインスタンス（SDI1）は、全二重のマルチレート・インタフェースを提供し、レシーバからトランスミッタへのループバックのデモを行います。受信したデータは、デコードおよびバッファされ、記録されて送信されます。インタフェースは、データ・レートおよびフレーム・フォーマットの自動検出を利用して、270 Mbps SDI、1.4835 Gbps または 1.485 Gbps の HD を処理できます。

2 番目のインスタンス（SDI2）は、HD 専用でコンフィギュレーションされ、1.4835 Gbps HD カラーバーまたはパソロジカル・チェックフィールド・テスト・フレームを送信します。さらに、入力に接続された任意の SDI 信号を受信して、デコードします。

デモンストレーション・デザインのさまざまなエレメントについて説明します。

レシーバ基準クロック

PLL は 67.5 MHz SDI レシーバの基準クロックを生成します。つまり、ボード上のローカル・オシレータからの 27 MHz を 5/2 倍します。



トランシーバのメガファンクションは、74.25 MHz の基準クロックを期待します。Quartus II 開発ソフトウェアでデザインを正常にコンパイルするには、27 MHz ではなく 29.7 MHz に対応するように PLL をコンフィギュレーションします。29.7 MHz のクロック入力では、基準クロックは 74.25-MHz の周波数になり、Quartus II 開発ソフトウェアで生成されるエラーを回避できます。

ループバック FIFO バッファ

デコードされた受信データは、FIFO バッファを介してトランスミッタ入力に接続されます。レシーバがロックされ、フレーム・フォームが既知の場合、受信データは FIFO バッファに書き込まれます。FIFO バッファが半分まで満たされると、トランスミッタはデータの読み出し、エンコーディングおよび送信を開始します。SDI 出力は SDI TX0 BNC 上に供給されます。

トランスミッタ・クロック

ループバック・デモンストレーション (SDI1) 用の FIFO バッファで、アンダフローまたはオーバフローが発生しないようにするために、送信レートは受信レートに周波数ロックされます。

SD 動作の場合、デモンストレーションではボード上の ICS MK2069 デバイスが使用されます。この 27 MHz 基準オシレータの周波数は、SDI 受信ポートで生成されるデータ有効フラグの周波数に一致するように調整されます。データ有効フラグと基準周波数は、ともに1,200で除算された後で比較されます。MK2069 フィードバック・パス内のアナログ・ループ・フィルタと組み合わせると、受信信号内のジッタが減衰します。Stratix fast PLL は、MK2069 からの 27 MHz 基準クロックを逡倍して、必要な 67.5 MHz トランスミッタ基準クロックを生成します。

HD 動作の場合、ディスクリート 74.175 MHz 電圧制御水晶オシレータ (VCXO) がボード上に実装されています。この VCXO の周波数は、PFD モジュールが提供する位相 / 周波数検出器 (PFD) 機能を使用して、復元されたレシーバ・クロックにロックされます。復元された受信クロックと VCXO 基準クロックは、ともに 128 で分周された後で比較されます。VCXO コントロール・パス内のアナログ・ループ・フィルタと組み合わせると、受信信号に存在するジッタが減衰します。

トランスミッタ基準クロック (SDI1) は、MK2069 および SD 用の 5/2 倍高速の PLL、または HD 用ディスクリート VCXO の 2 つのソースの 1 つから供給されます。外部マルチプレクサによって適切なクロックが選択されます。

HD-SDI レシーバ・レートの検出

hdsdi_rate モジュールは、デモンストレーションが受信する HD-SDI 信号が 1.485 Gbps か 1.4835 Gbps かを判定します。周波数を判定するために、復元された受信クロックの周波数とローカルの 67.5 MHz 受信基準クロックを比較します。

hdsdi_rate は、67.5 MHz の基準クロックでクロックされるカウンタと復元されたレシーバ・クロックでカウントされる 2 つのカウンタを使用します。2 つのカウンタはリセットされ、カウントを開始します。基準クロックのカウンタが 21'h1111110 に達すると (約 16.6 ms 後)、レシーバ・クロックのカウンタの値がチェックされます。値が 21'h12C391 を超える場合、デモンストレーションは 1.485 Gbps 信号を受信し、超えない場合は 1.4835 Gbps 信号を受信します。

CRC エラー表示

ユーザ LED の 2 つは、受信した HD-SDI 信号 (SDI1) に対して何らかの受信 CRC エラーが検出されたことを示します。一方の LED は受信した **chroma** チャネル内のエラーを示し、他方の LED は受信した **luma** チャネル内のエラーを示します。LED はエラーが検出されると点灯し、プッシュ・ボタン 3 を押すと消灯します。**latch_error** モジュールは、エラー・フラグをラッチするレジスタを提供します。

ビデオ・パターン・ジェネレータ

パターン・ジェネレータ機能で 1080i HD テスト・パターンが生成されます。このテスト・パターンは振幅 75% のカラーバーまたは SDI チェックフィールド・フレームのいずれかです。デモンストレーションでは、SDI TX1 BNC でテスト・パターンがエンコードされ送信されます。ビデオ・パターン・ジェネレータは、ローカル 74.175 MHz オシレータをトランスミッタ基準クロックに使用するため、出力データ・レートは 1.4835 Gbps になります。

SDI RX1 BNC に接続されたすべての HD-SDI 信号がデコードされます。

LED

各 SDI BNC の横にある 3 色 LED は、インタフェースの動作を示します。

このセクションでは、以下の手順について説明します。

- ハードウェアおよびソフトウェア要件
- デザインのインストール
- デザインのシミュレーション
- デザインのコンパイル
- Stratix GX のビデオ・デモンストレーション・ボードでの SDI のデモンストレーション

使用開始にあたって

ハードウェアおよびソフトウェア要件

デモンストレーションには、次のハードウェアが必要です。

- Stratix GX ビデオ・デモンストレーション・ボード
- ビデオ信号ジェネレータ (Tektronix TG2000 など)
- ビデオ信号アナライザ (Tektronix WFM700M など)
- 75ΩHD-SDI データの処理が可能なビデオ BNC ケーブル



Stratix GX ビデオ・デモンストレーション・ボードを入手するには、アルテラの販売代理店にお問い合わせください。

リファレンス・デザインには、Windows オペレーティング・システムを搭載した PC に、次のソフトウェアが必要です。

- Quartus II バージョン 4.0
- ModelSim-Altera バージョン 5.7e

デザインのインストール

図 5 にディレクトリ構造を示します。

図 5. ディレクトリ構造

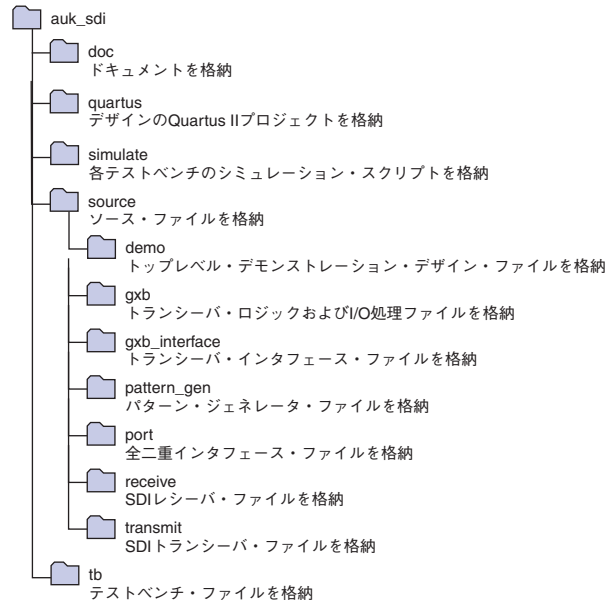


表 4 に、`source\demo` ディレクトリ内のデモンストレーション・ファイルを示します。

表 4. デモンストレーション・ファイル	
ファイル名	説明
<code>sdi_loopback_demo.v</code>	デモンストレーション・デザインのトップレベル・デザイン・ファイル。
<code>pll_x5_d2_fudge.v</code>	PLL メガファンクション。
<code>latch_error.v</code>	エラー・フラグ・ラッチ。
<code>fifo_256x20.v</code>	ループバック・デザイン用の FIFO バッファ。

表 5 に、`source\gxb` ディレクトリ内のトランシーバ・メガファンクション・ファイルを示します。

表 5. トランシーバ・メガファンクション・ファイル	
ファイル名	説明
<code>gxb_duplex_1port_1485.v</code>	HD およびマルチレート動作 (20 ビット・モード) 用トランシーバ・メガファンクション。
<code>gxb_duplex_1port_1350_10bit.v</code>	SD 動作用トランシーバ・メガファンクション (10 ビット・モード)。

表 6 に、`source\gxb_interface` ディレクトリ内のトランシーバ・インタフェース・ファイルを示します。

表 6. トランシーバ・インタフェース・ファイル	
ファイル名	説明
<code>sdi_gxb_interface.v</code>	トランシーバ・インタフェース・ロジック用トップレベル・デザイン・ファイル。
<code>fifo_4x20.v</code>	リタイミング FIFO バッファ。
<code>gxb_txsample.v</code>	トランスミッタ・オーバーサンプリング・ロジック。
<code>gxb_rxsample.v</code>	レシーバ・オーバーサンプリング・ロジック。
<code>sdi_gxb_ctrl.v</code>	トランシーバ・コントロール・ステート・マシン・ロジック。

表 7 に、`source\pattern_gen` ディレクトリ内のパターン・ジェネレータ・ファイルを示します。

ファイル名	説明
<code>pattern_gen.v</code>	パターン・ジェネレータのトップレベル・デザイン・ファイル。
<code>sdi_makeframe.v</code>	フレーム・メーカ。
<code>gen_colorbar.v</code>	カラーバー・パターン・ジェネレータ。
<code>gen_patho.v</code>	チェックフィールド・パターン・ジェネレータ。

表 8 に、`source\port` ディレクトリ内の全二重インタフェース・ファイルを示します。

ファイル名	説明
<code>sdi_trxr_port.v</code>	全二重マルチレート SDI 用トップレベル・デザイン・ファイル。

表 9 に、`source\receive` ディレクトリ内のデコーダ・ファイルを示します。


ファイル名	説明
<code>sdi_receive.v</code>	SDI デコーダのトップレベル・デザイン・ファイル。
<code>sdi_descrambler.v</code>	NRZI デコーディングおよびデスクランプリング・ロジック
<code>sdi_aligner.v</code>	ワード・アライナ。
<code>sdi_trsmatch.v</code>	HD-SDI LN および CRC ワードを識別するためのロジック。
<code>hdsdi_extract_ln.v</code>	HD-SDI ライン番号を抽出するためのロジック。
<code>sdi_format.v</code>	フォーマット検出器。
<code>hdsdi_rate.v</code>	HD データ・レートを特定するためのロジック。
<code>sdi_anctrack.v</code>	補助データ・パケットを識別およびトラッキングするためのロジック。

表 10 に、`source\transmit` ディレクトリ内のエンコーダ・ファイルを示します。

表 10. エンコーダ・ファイル	
ファイル名	説明
<code>hdspi_transmit.v</code>	HD-SDI デコーダのトップレベル・デザイン・ファイル。
<code>hdspi_insert_ln.v</code>	HD-SDI LN ワードを挿入するためのロジック。
<code>hdspi_crc.v</code>	CRC ジェネレータおよびチェッカ。
<code>sdi_scrambler.v</code>	スクランプリングおよび NRZI エンコーディング・ロジック。

デザインのシミュレーション

リファレンス・デザイン用テストベンチ、および ModelSim-Altera シミュレータでシミュレーションするためのスクリプトが用意されています。

 シミュレーション・バッチ・ファイル `run.bat` は、ライン 4 を編集して、ModelSim-Altera シミュレータのインストール先をポイントするように修正する必要があります。

シミュレーションを実行するには、`simulate\tb_sdi_txx_port` サブディレクトリ内の `run.bat` を実行します。このファイルによってデザインをコンパイルし、ModelSim-Altera シミュレータを起動します。選択した信号が波形ビューアに表示されます。シミュレーションは自動的に実行され、完了時に合格か不合格かが表示されます。

`tb_sdi_txx_port` テストベンチは、リファレンス・デザインをインスタンス化し、動作の HD モードをテストします。

トランスミッタ動作をテストするために、テストベンチは基準クロックおよびパラレル・ビデオ・データを生成します。デザインは、このパラレル・ビデオ・データをエンコードし、シリアル化します。シリアル出力は、サンプリング、NRZI エンコーディング、およびデスクランプリングが行われ、次にパラレル形式に再構築されます。テストベンチは、TRS トークン (EAV および SAV) が出力に存在することを検出して、動作が正しいかどうかチェックします。

レシーバ動作をテストするために、テストベンチはシリアル・トランスミッタ・データをレシーバ入力に接続します。テストベンチは、レシーバがワード・アラインメントを完了したかどうかをチェックし、抽出された LN が正しいかどうかを検証します。

デザインのコンパイル

リファレンス・デザインには、Stratix GX ビデオ・デモンストレーション・ボードにマップされた Quartus II プロジェクト・ファイルが含まれています。このデモンストレーション・デザインをコンパイルして、デモンストレーションに必要なデバイス・イメージを作成する必要があります。

デモンストレーション・デザインをコンパイルするには、Quartus II 開発ソフトウェアで関連するプロジェクトを開き、**Start Compilation** (Tools メニュー) を選択します。

Stratix GX のビデオ・デモンストレーション・ボードでの SDI のデモンストレーション

デモンストレーション・デザインは、SDI の機能動作および Stratix GX デバイスのシリアル・インタフェース性能を示します。



Stratix GX のビデオ・デモンストレーション・ボードについて詳しくは、「Stratix GX Video Demonstration Board Data Sheet」を参照してください。


デモンストレーションを実行するには、以下の手順に従ってください。

1. すべての DIP スイッチ (S7) が closed 位置にあることを確認します。ジャンパ J8 (電源入力) で取り外します。ジャンパ JP2 と JP4 を接続し、ケーブル・イコライザをイネーブル (BNC から遠い方の 2 本のピンを接続) します。
2. SDI 信号ジェネレータを SDI 0 (BNC J42) のレシーバ入力に接続します。
3. SDI 信号アナライザを SDI 0 のトランスミッタ出力 (BNC J38 または J39) に接続します。
4. 5V 電源をボードに接続します (5V を J7、GND を J6)。



電源入力に対する保護はありません。電圧と極性を確認してからボードに電源を供給してください。

5. ボードに電源を供給し、Quartus II で生成された `quartus\sdi_loopback\sdi_loopback_demo.sof` ファイルをダウンロードします。
6. デモンストレーションでは、受信された SDI 信号がアナライザに再送信されます。
7. さまざまなビデオ・パターン (カラーバー、パソロジカル・チェックフィールドなど) およびデータ・レート (270 Mbps SD、1.4835 Gbps HD および 1.485 Gbps HD) でデザインをテストします。

-  VCXO はトランスミッタ・データをレシーバ・データに周波数ロックします。HD-SDI 動作の場合、この VCXO は 1.4835 Gbps データのみをサポートします。1.485 Gbps データ用 VCXO をバイパスするためのオプションが用意されています（以下を参照）。

LED は次の状態を示します。

- ユーザLED[0]が点滅すると、レシーバ基準クロックが存在することを示します。
- ユーザLED[1]が点滅すると、トランスミッタ基準クロックが存在することを示します。
- ユーザ LED[2] は、レシーバがワード・アラインメントされている場合に点灯します。
- ユーザ LED[3] は、受信したライン・フォーマットが既知である場合に点灯します。
- ユーザ LED[4] は、受信したフレーム・フォーマットが既知である場合に点灯します。
- ユーザ LED[6] は、HD chroma チャネルに関して CRC エラーが検出された場合に点灯します。
- ユーザ LED[7] は、HD luma チャネルに関して CRC エラーが検出された場合に点灯します。
- ユーザLED[6]とユーザLED[7]は、プッシュ・ボタン3を押すと消灯できます。
- レシーバ SDI LED は、270 Mbps SD が検出された場合には緑色、1.4835 Gbps HD が検出された場合には黄色、1.485 Gbps HD が検出された場合には赤色になります。信号が検出されなかった場合、または受信したフレーム・フォーマットが既知でない場合は点灯しません。

トランスミッタ SDI LED は、インタフェースが送信中のときに点灯します。レシーバと同じカラー・コードが使用されます。

ボタンを操作すると、次の動作が実行されます。

- DIPスイッチ[0]をOpenにすると、復元されたクロックをHD送信に使用します。デフォルトで VCXO は、レシーバからトランスミッタへ転送される可能性のあるジッタを減衰させます。
- プッシュ・ボタン 1 を押すと、2 番目のインタフェース送信が、シンプルな 1080i カラーバー・テスト・パターン（デフォルト）からパソロジカル・チェックフィールド・テスト・フレームに変化します。

デモンストレーションには、SignalTap™ コンフィギュレーション・ファイルが含まれています。このファイルを使用すると、Quartus II 開発ソフトウェアで、レシーバ・データと一部のタイミング・フラグとステータス・フラグをモニタできるようになります。

Copyright © 2004 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, スタイル化されたアルテラのロゴ、各製品名、商標またはサービス・マーク表示されている単語およびロゴは、特に指定のない限り、Altera Corporation の米国およびその他の国における商標またはサービス・マークです。その他の製品およびサービス名はそれぞれの所有者に帰属しています。Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

