

## はじめに

デバイス・ピンの密度とシステム周波数の増加により、プリント基板 (PCB) のレイアウトは一層複雑になっています。高速ボードのデザインを成功させるには、高速標準 I/O 規格に関連する信号伝送の問題を回避しながらデバイスと他のエレメントを効果的に統合する必要があります。アルテラのデバイスは、高速 I/O ピン、広範な高速機能、および 100 ピコ秒未満のエッジ・レートの特長としているので、効果的なデザインによって以下の目的を達成することが不可欠です。

- フィルタリングおよびデバイス全体への均等な電力分配によりシステム・ノイズを低減
- 信号線の終端により信号の反射を低減
- パラレル配線パターン間のクロストークを最小化
- グランド・バウンスの影響の低減
- インピーダンスのマッチング

このアプリケーション・ノートでは、以下の問題について説明し、アルテラのデバイスを使用して効果的なボード・デザインを成功させるためのガイドラインを示します。

- 材料の選択
- 伝送線路
- クロストークの最小化とシグナル・インテグリティ維持のための配線方式
- 終端方法
- 同時スイッチング・ノイズ (SSN)
- FPGA 固有のボード・デザイン / シグナル・インテグリティに関するその他のヒント

## 材料の選択

PCB 誘電体の構成材料によっては、高速エッジ・レートがノイズやクロストークの原因になります。誘電材料には、均一媒体で離れた位置にある 2 つの逆極性の電荷間の引力 (式 1) に関係する比誘電率 ( $\epsilon_r$ ) を当てはめることができます。

式 1:

$$F = \frac{Q_1 Q_2}{4\pi\epsilon r^2}$$

ここで、 $Q_1$ 、 $Q_2$ = 電荷、 $r$ = 電荷間の距離 (m)、 $F$ = 力 (N)、 $\epsilon$  = 誘電率 (F/m) です。

各 PCB 基板には異なる比誘電率があります。比誘電率は誘電率と真空中の誘電率との比です (式 2)。

式 2:

$$\epsilon_r = \frac{\epsilon}{\epsilon_0}$$

ここで、 $\epsilon_r$  = 比誘電率、 $\epsilon_0$  = 真空中の誘電率 (F/m)、 $\epsilon$  = 誘電率 (F/m) です。

比誘電率は、導体ペアのキャパシタンスにおける絶縁体の効果を真空状態での導体ペアのキャパシタンスと比較したものです。比誘電率は伝送線路のインピーダンスに影響を与え、 $\epsilon_r$  が低い材料ではより高速に信号を伝播させることができます。

PCB 上の長い配線を通してドライバからレシーバに伝播する高周波信号は、誘電材料の誘電正接によって深刻な影響を受けます。誘電正接が大きいことは誘電損失が高いことを意味します。誘電正接値が大きい材料は、長い配線上での高周波信号に影響を与えます。誘導損失によって高周波での減衰率が増加します。表 1 に、FR-4 および GETEK 材料の誘電正接値を示します。

PCB で最も広く使用されている材料は FR-4( 広範な処理条件に適合するエポキシ樹脂でラミネートされたガラス ) です。FR-4 の  $\epsilon_r$  は 4.1 ~ 4.5 です。高速ボードで使用可能なその他の材料としては GETEK があります。GETEK はエポキシ樹脂 ( ポリフェニレン・オキシド ) から成り、 $\epsilon_r$  は 3.6 ~ 4.2 です。

表 1. FR4 および GETEK の誘電正接値

メーカー	材料	誘電正接値
GE Electromaterials	GETEK	0.010 @ 1 MHz
Isola Laminate Systems	FR-4	0.019 @ 1 MHz

## 伝送線路

伝送線路は配線パターンで、分散された抵抗 (R)、インダクタンス (L)、およびキャパシタンス (C) が混在しています。伝送線路のレイアウトには、次の 2 つのタイプがあります。

- マイクロストリップライン
- ストリップライン

図 1 にマイクロストリップライン・レイアウトを示します。マイクロストリップラインは PCB の最上部層または最下部層として配線されたパターンであり、電圧リファレンス・プレーンが 1 つだけ（電源または GND）あります。図 2 にはストリップライン・レイアウトを示します。ストリップラインは PCB の内部層上に配線されたパターンを使用し、2 つの電圧リファレンス・プレーン（電源と GND またはその両方）を備えています。

図 1. マイクロストリップライン伝送線レイアウト 注 (1)

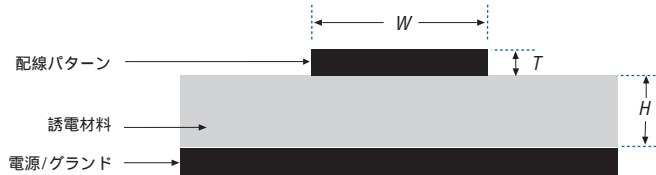


図 2. ストリップライン伝送線レイアウト 注 (2)

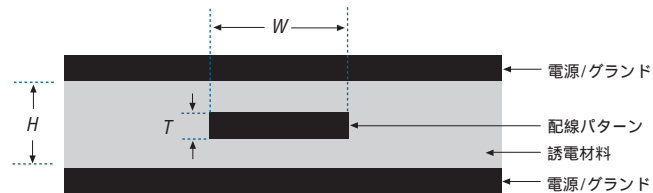


図 1 および 2 の注：

- (1)  $W$  = 配線パターンの幅、 $T$  = 配線パターンの厚さ、 $H$  = 配線パターンとリファレンス・プレーン間の高さ
- (2)  $W$  = 配線パターンの幅、 $T$  = 配線パターンの厚さ、 $H$  = 配線パターンと 2 つのリファレンス・プレーン間の高さ

## インピーダンスの計算

PCB 上の回路配線パターンにはすべて特性インピーダンスを持ちます。このインピーダンスは、配線パターンの幅 ( $W$ )、配線パターンの厚さ ( $T$ )、使用する材料の比誘電率 ( $\epsilon_r$ )、および配線パターンとリファレンス・プレーン間の高さ ( $H$ ) によって決まります。

### マイクロストリップラインのインピーダンス

PCBの外側の層に配線され、その下にリファレンス・プレーン(GNDまたは $V_{CC}$ )が配置された回路配線パターンによりマイクロストリップラインが構成されます。  
式3を使用して、マイクロストリップラインのインピーダンスを計算します。

式3:

$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \left( \frac{5.98 \times H}{0.8W + T} \right) \Omega$$

式3で、一般的な値として $W=8$  ミル、 $H=5$  ミル、 $T=1.4$  ミル、 $\epsilon_r$  および(FR-4)=4.1を使用してマイクロストリップラインのインピーダンス( $Z_0$ )を求めると、次のような結果になります。

$$Z_0 = \frac{87}{\sqrt{4.1 + 1.41}} \ln \left( \frac{5.98 \times (5)}{0.8(8) + 1.4} \right) \Omega$$

$$Z_0 \sim 50 \Omega$$


 式3の測定単位はミル(1ミル=0.001インチ)です。また、銅(Cu)配線パターンの厚さ( $T$ )は通常オンス(1オンス=1.4ミル)で示されません。

図3に、式3の値を使用し、誘電体の高さと同線パターンの厚さを一定にした場合の、マイクロストリップラインのインピーダンスと同線パターンの幅( $W$ )の関係を示します。

図3. マイクロストリップラインのインピーダンスと同線パターンの幅の関係

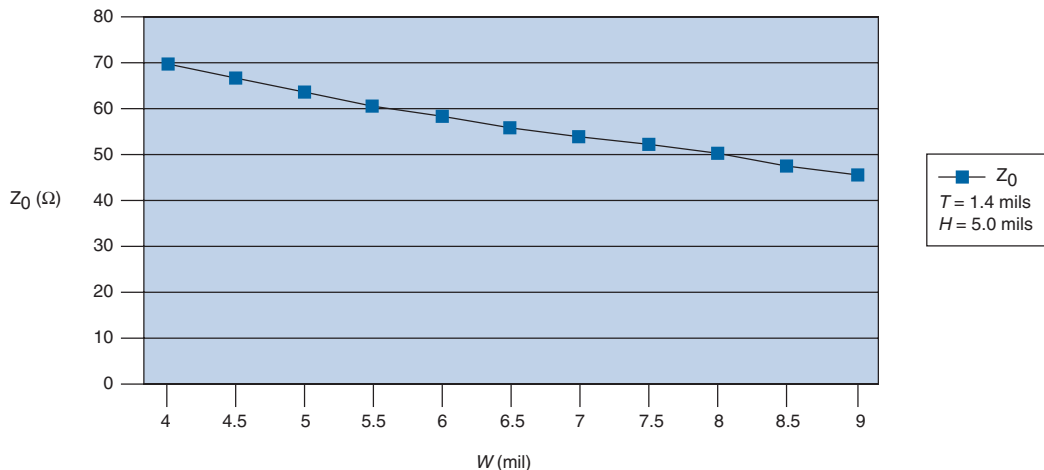
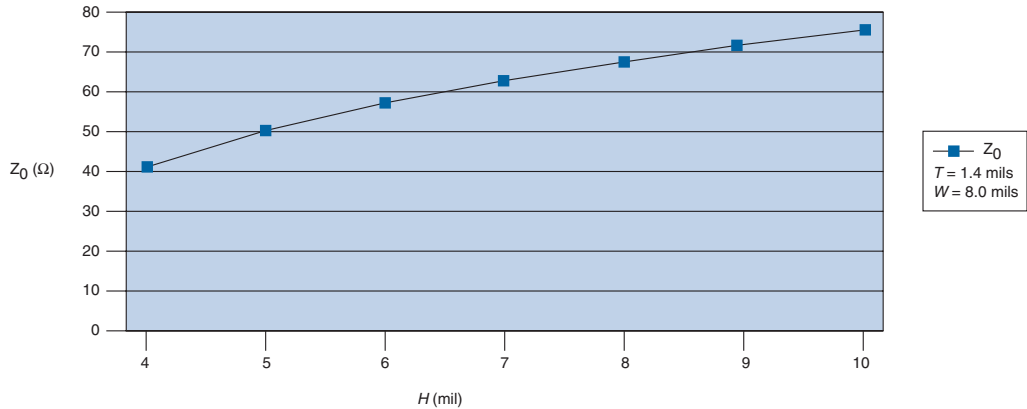


図 4 に、式 3 の値を使用し、配線パターン幅と厚さを一定にした場合の、マイクロストリップラインのインピーダンスと高さ ( $H$ ) の関係を示します。

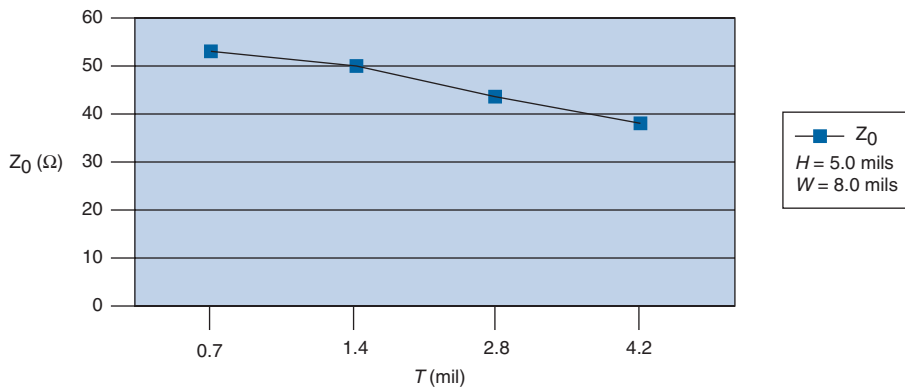
図 4. マイクロストリップラインのインピーダンスと高さの関係



インピーダンスのグラフから、インピーダンスはグランド・プレーン上の配線パターン幅に反比例し、配線パターンの高さに比例することがわかります。

図 5 に、式 3 の値を使用し、配線パターン幅と誘電体の高さを一定にした場合の、マイクロストリップラインのインピーダンスと配線パターン厚さ ( $T$ ) の関係を示します。図 5 から、配線パターン厚さが増加すると、インピーダンスが減少することがわかります。

図 5. マイクロストリップラインのインピーダンスと配線パターン厚さの関係



## ストリップラインのインピーダンス

PCB の内側の層に配線され、2 つの低電圧リファレンス・プレーン（電源または GND、あるいはその両方）を持つ回路配線パターンがストリップラインです。式 4 を使用して、ストリップラインのインピーダンスを計算できます。

式 4 :

$$Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \left( \frac{4H}{0.67\pi(T + 0.8W)} \right) \Omega$$

式 4 で、一般的な値として  $W=9$  ミル、 $H=24$  ミル、 $T=1.4$  ミル、 $\epsilon_r$  および (FR-4)=4.1 を使用してストリップラインのインピーダンス ( $Z_0$ ) を求めると、次のような結果になります。

$$Z_0 = \frac{60}{\sqrt{4.1}} \ln \left( \frac{4(24)}{0.67\pi(1.4) + 0.8(9)} \right) \Omega$$

$$Z_0 \sim 50 \Omega$$

図 6 に、式 4 を使用し、ストリップライン配線パターンの高さと厚さを一定にした場合の、インピーダンスと配線パターンの幅の関係を示します。

図 6. ストリップラインのインピーダンスと配線パターンの幅の関係

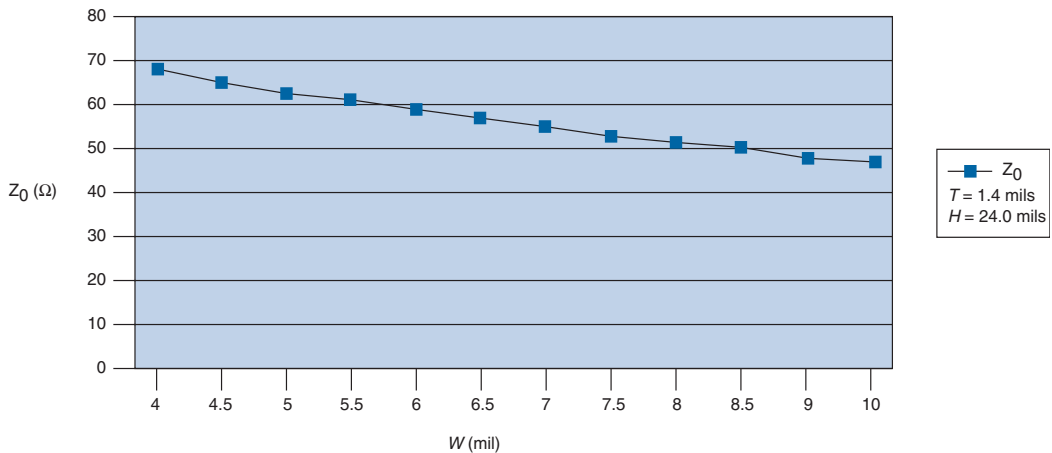
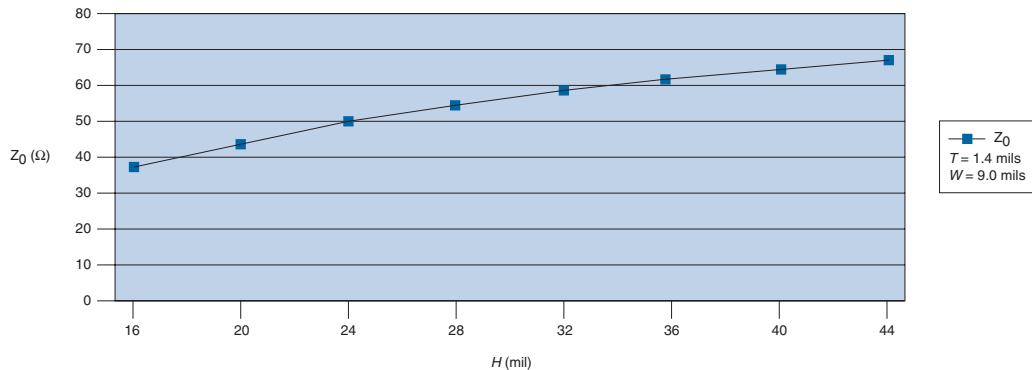


図 7 に、式 4 の値を使用し、配線パターン幅と厚さを一定にした場合の、ストリップラインのインピーダンスと誘電体の高さ ( $H$ ) の関係を示します。

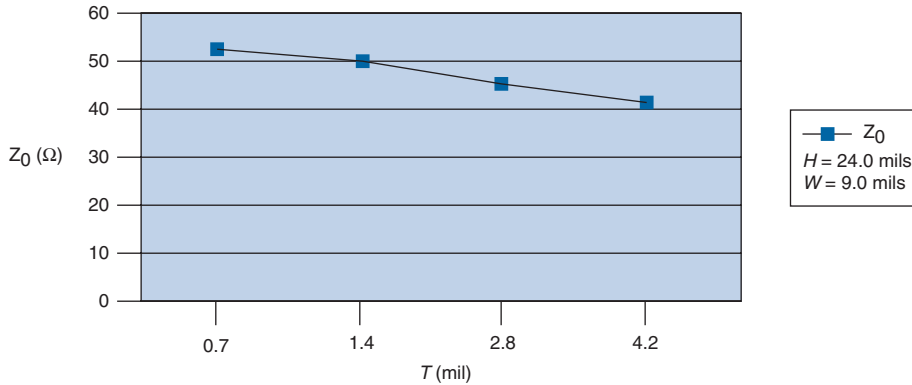
図 7. ストリップラインのインピーダンスと誘電体の高さの関係



マイクロストリップラインと同様に、ストリップラインでもインピーダンスは配線の幅に反比例し、高さに正比例します。ただし、GND 上の配線パターンの高さの変化は、マイクロストリップラインと比較してストリップラインの方がはるかにゆるやかです。ストリップラインでは FR-4 材料で信号がはさまれていますが、マイクロストリップラインでは導体の一方が開放されています。この構造のために、マイクロストリップラインと比較して実効比誘電率が大きくなります。したがって、同じインピーダンスを達成するには、ストリップラインではマイクロストリップラインより誘電体のスパンが大きくなければなりません。このため配線のインピーダンスが制御されたストリップラインは、マイクロストリップラインより PCB が厚くなります。

図 8 に、式 4 を使用し、配線パターンの幅と誘電体の高さを一定にした場合の、ストリップラインのインピーダンスと配線パターンの厚さの関係を示します。図 8 から、配線パターンの厚さが増加すると、特性インピーダンスは減少することがわかります。

図 8. ストリップラインのインピーダンスと配線パターンの厚さの関係



## 伝播遅延

伝播遅延 ( $t_{PD}$ ) とは、信号がある点から別の点に到達するのに必要な時間です。伝送線路の伝播遅延は材料の比誘電率の関数になります。

### マイクロストリップラインの伝播遅延

式 5 を使用して、マイクロストリップラインの伝播遅延を計算できます。

式 5 :

$$t_{PD} (\text{microstrip}) = 85 \sqrt{0.475\epsilon_r + 0.67}$$

### ストリップラインの伝播遅延

式 6 を使用して、ストリップラインの伝播遅延を計算できます。

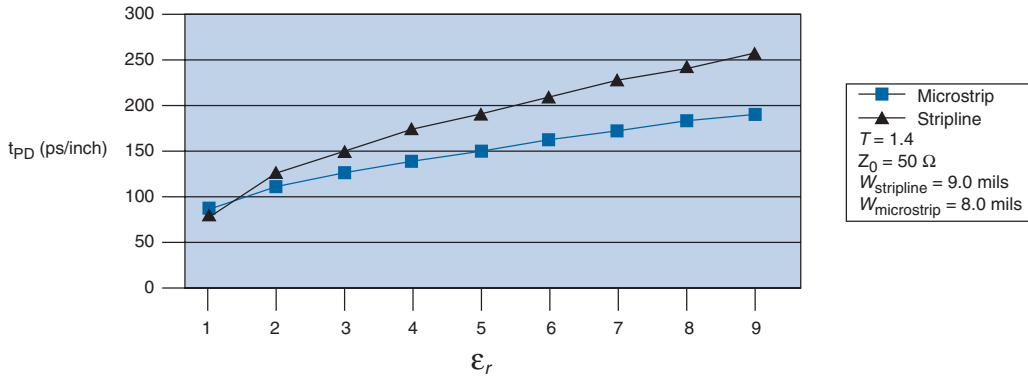
式 6 :

$$t_{PD} (\text{stripline}) = 85 \sqrt{\epsilon_r}$$

図 9 に、マイクロストリップラインおよびストリップラインの伝播遅延と比誘電率の関係を示します。 $\epsilon_r$  が増加すると、伝播遅延 ( $t_{PD}$ ) も増加します。



図 9. マイクロストリップラインおよびストリップラインの伝播遅延と比誘電率の関係



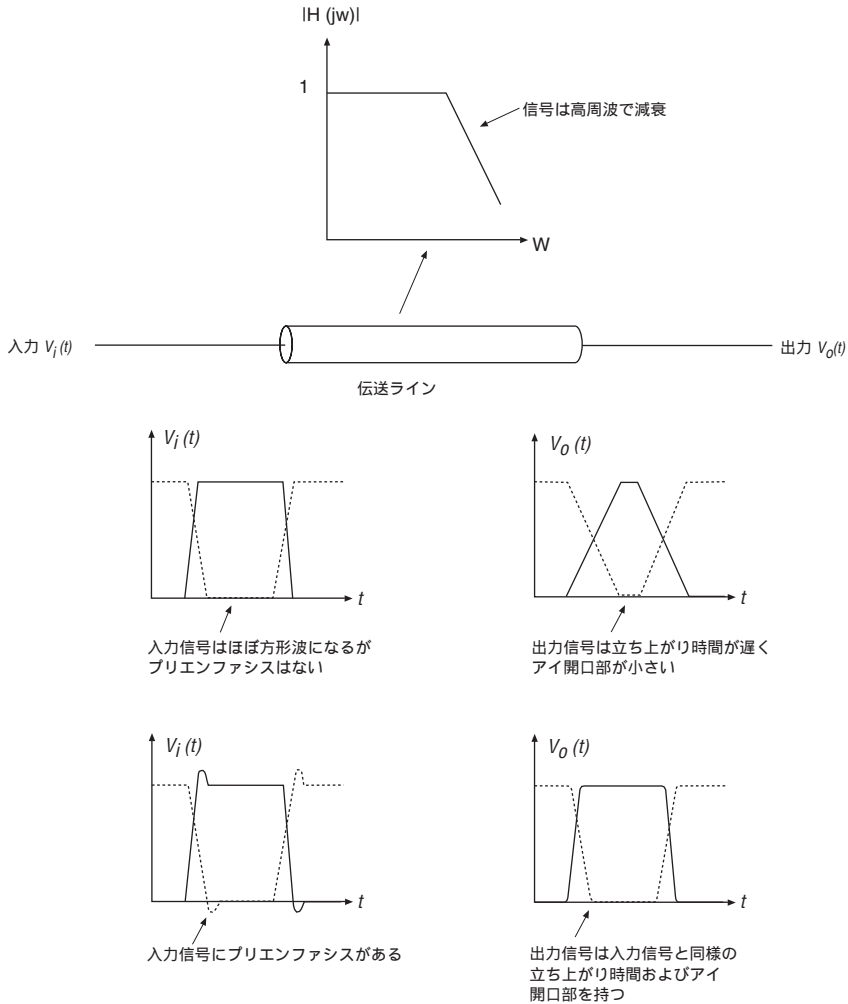
## プリエンファシス

銅配線パターンや同軸ケーブルなどの標準的な伝送媒体はローパス・フィルタ特性を備えているので、低周波より高周波の方がより大きく減衰します。方形波に近い一般的なデジタル信号は、スイッチング領域の近くに高周波、一定の領域に低周波が含まれます。この信号がローパス媒体を通して伝達されると、低周波より高周波の方が大きく減衰し、それによって信号の立ち上がり時間が増加します。これにより、アイ開口部が狭くなってエラーが発生する確率が高くなります。

信号の高周波成分も、「表皮効果」と呼ばれる現象によって低下します。表皮効果の原因は、主に導体の表面（表皮）を流れる高周波電流です。電流分布の変化により、周波数の関数として抵抗が増加します。

プリエンファシスを使用して表皮効果を補正することができます。フーリエ解析によると、方形波信号には無数の周波数が含まれています。高周波はLowからHigh、およびHighからLowへの遷移領域に、低周波は平坦な（一定）領域に存在します。遷移領域付近で信号の振幅が大きくなると、低周波より高周波の方が多くなります。プリエンファシスされた信号がローパス媒体を通過する際に、適切な量のプリエンファシスが適用されている場合は歪みが最小になります。図 10 は、この概念を図解したものです。

図 10. プリエンファシスを適用した場合と適用しない場合の入力信号および出力信号



Stratix® GX デバイスは、可変長の伝送媒体における損失を補正するためのプログラマブル・プリエンファシスを提供します。プリエンファシスは、出力差動電圧値 ( $V_{OD}$ ) に応じて、5% ~ 25% の間で設定できます。表 2 に、使用可能な Stratix GX のプログラマブル・プリエンファシスを示します。

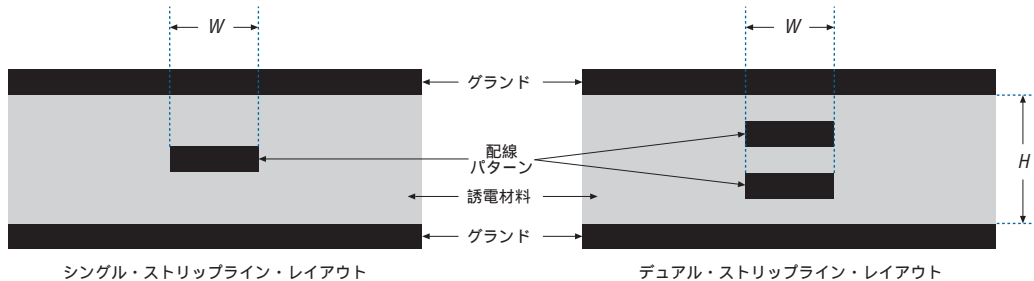
$V_{OD}$	プリエンファシス設定値				
	5%	10%	15%	20%	25%
400	420	440	460	480	500
480	504	528	552	576	600
600	630	660	690	720	750
800	840	880	920	960	1,000
960	1,008	1,056	1,104	1,152	1,200
1,000	1,050	1,100	1,150	1,200	1,250
1,200	1,260	1,320	1,380	1,440	1,500
1,400	1,470	1,540	-	-	-
1,440	1,512	1,584	-	-	-
1,500	1,575	-	-	-	-
1,600	-	-	-	-	-

## クロストークの最小化とシグナル・インテグリティ維持のための配線方式

クロストークは、パラレル配線パターン間での不適切な信号の結合です。マイクロストリップおよびストリップライン・レイアウトにより、適切な配線とレイヤの積重ねを行えば、クロストークを最小限に抑えることができます。

2 つの信号層が互いに隣接するデュアル・ストリップライン・レイアウト (図 11 参照) においてクロストークを低減するには、すべての配線パターンを垂直に配線し、2 つの信号層間の距離を大きくして、信号層と隣接するリファレンス・プレーン間の距離を最小にします。

図 11. デュアル・ストリップライン・レイアウト

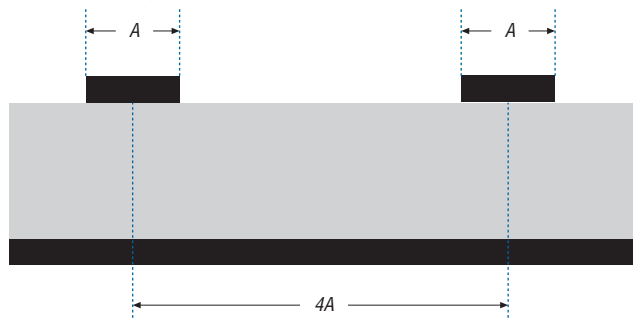


マイクロストリップまたはストリップライン・レイアウトのいずれかで、以下の手順を使用してクロストークを低減します。

- 配線上の制約が許す限り信号線の間隔を広げます。誘電体の高さの 3 倍より近くに配線パターンを配置しないでください。
- 伝送線路は導体が可能な限りグランド・プレーンに近づくように設計します。この手法では、伝送線路をグランド・プレーンに緊密に結合して、隣接信号から減結合するようにします。
- 特に重要なネットでは、可能であれば差動配線手法を使用します（長さのほか各配線パターンが通過する曲折も一致させます）。
- 大きな結合がある場合は、異なる層のシングル・エンド信号を互いに直交させて配線します。
- シングル・エンド信号間で並行して走る配線の長さを最小にします。短いパラレル・セクションを使用して配線し、ネット間で結合される長いセクションを最小にします。

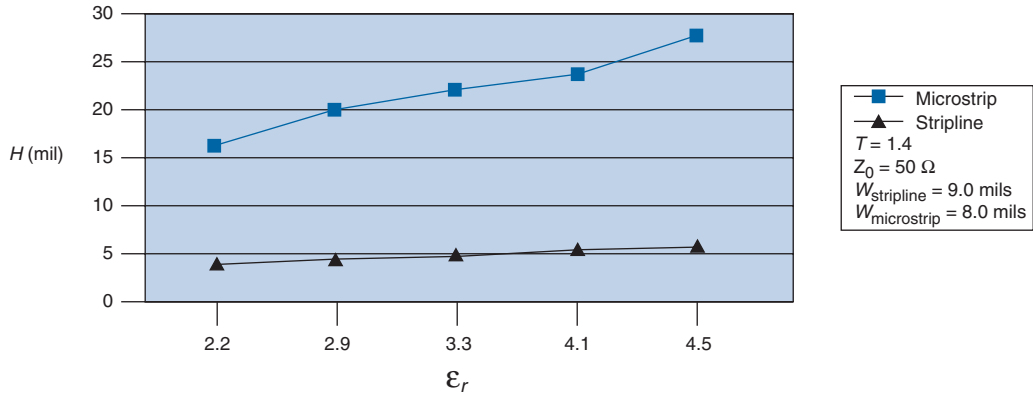
クロストークは、複数のシングル・エンド配線パターンが並列に走り、十分な間隔がない場合も増加します。隣接する 2 つの配線パターンの中心間の距離は、[図 12](#) に示すとおり、少なくとも配線パターン幅の 4 倍は必要です。デザインの性能を向上させるには、2 つの配線パターン間の距離を変更しないで、配線パターンとグランド・プレーン間の距離を 10 ミル以下に短縮します。

図 12. クロストーク低減のための配線パターンの分離



低誘電率材料は、高誘電率材料と比較すると、シグナル・インテグリティを維持しながら配線パターンとグランド・プレーン間の厚さを低減できます。[図 13](#) に、[例 3](#) と [4](#) を使用して、インピーダンス、幅、および厚さを一定にした場合の高さと比誘電率の関係を示します。

図 13. 高さと比較誘電率



## 信号配線パターンの配線

適切な配線はシグナル・インテグリティの維持に役立ちます。ノイズのない配線パターンにするには、適切なシグナル・インテグリティ (SI) ツールを使用してシミュレーションを実行する必要があります。以下のセクションでは、配線に使用可能な 2 種類の信号配線パターンについて説明します。

- シングル・エンド配線パターン
- 差動ペア配線パターン

### シングル・エンド配線パターンの配線

シングル・エンド配線パターンは、ソースと負荷 / レシーバを接続します。シングル・エンド配線パターンは、一般にポイント・ツー・ポイント配線、クロック配線、低速、および厳密さが要求されない I/O 配線に使用されます。このセクションでは、クロック信号用のいくつかの配線方式について説明します。以下の配線方式を使用して、複数のデバイスを同じクロックで駆動することができます。

- デイジー・チェーン配線
  - スタブあり
  - スタブなし
- スター配線
- 蛇行配線

クロック伝送線路のシグナル・インテグリティを向上させるには、次のガイドラインに従ってください。

- クロック配線パターンを可能な限りまっすぐに配置します。直角ベンド型ではなく円弧型の配線パターンを使用します。
- クロック信号には複数の信号層を使用しないでください。
- クロック伝送線路でビアを使用しないでください。ビアによってインピーダンスが変化し、反射が発生する可能性があります。
- グランド・プレーンを外側の層の隣に配置し、ノイズを最小化します。内側の層を使用してクロック配線パターンを配線する場合、リファレンス・プレーンの間にその層をはさみます。
- クロック信号を終端処理して反射を最小化します。
- 可能な限りポイント・ツー・ポイント・クロック配線パターンを使用します。

### スタブを使用するデジター・チェーン配線

デジター・チェーン配線は、PCB デザインで一般的に使用されている配線方法です。デジター・チェーン配線の1つの欠点は、デバイスをメイン・バスに接続するのに、通常、スタブすなわち短い配線パターンが必要なことです(図14参照)。スタブが長すぎる場合は、伝送線の反射が発生して、信号の品質が低下します。したがって、スタブの長さが以下の条件を超えてはなりません。

$$TD_{\text{stub}} < (T_{10\% - 90\%}) / 3$$

ここで、 $TD_{\text{stub}}$  = スタブの電気的遅延

$T_{10\% - 90\%}$  = 信号エッジの立ち上がりまたは立ち下がり時間

エッジの立ち上がり時間が1nsの場合、スタブの長さは0.5インチ未満でなければなりません(33ページの「参考文献」参照)。複数のデバイスを使用するデザインでは、すべてのスタブの長さを等しくして、クロック・スキューを最小化する必要があります。図14にスタブの配線を示します。可能であれば、スタブを使用するのは避けてください。高速デザインでは、非常に短いスタブでもシグナル・インテグリティの問題が発生する可能性があります。

図 14. スタブを使用するデジター・チェーン配線

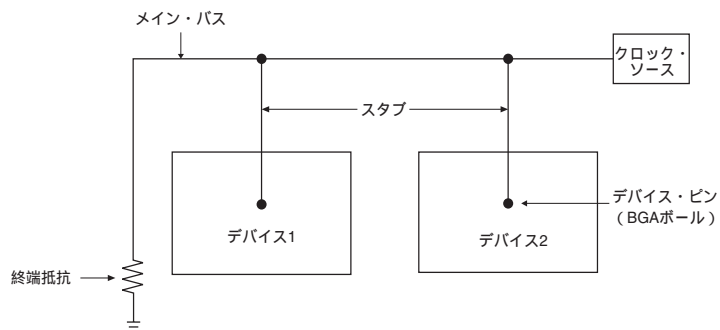


図 15 から 17 に、各種スタブ別の SPICE シミュレーションを示します。スタブの長さが短くなると、反射ノイズが減少するので、アイ開口部が大きくなります。

図 15. スタブの長さ = 0.5 インチ

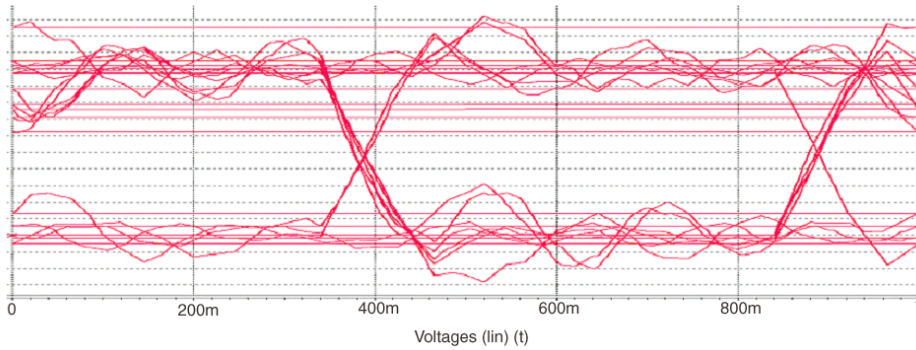


図 16. スタブの長さ = 0.25 インチ

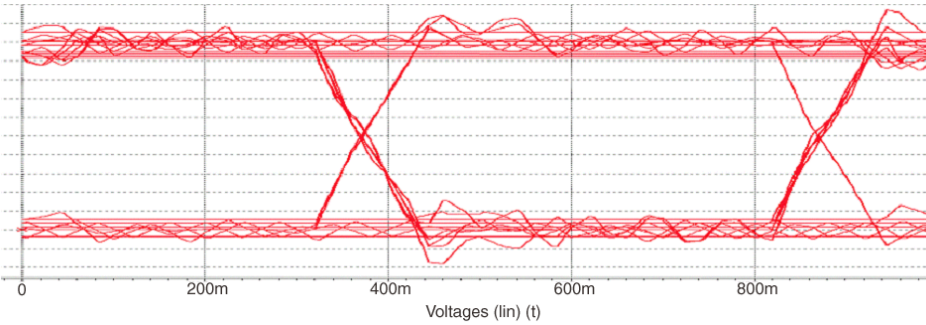
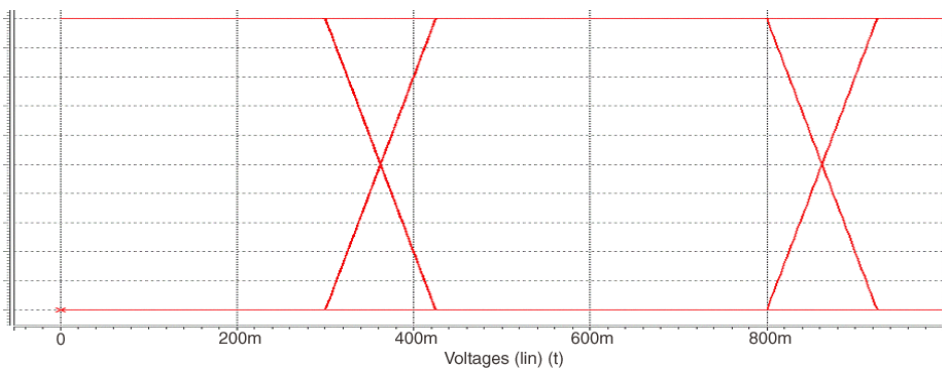


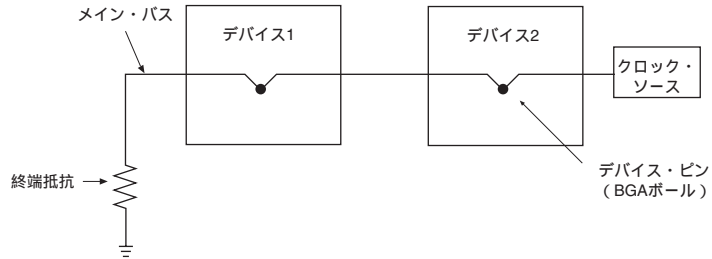
図 17. スタブの長さ = 0 インチ



### スタブを使用しないデージー・チェーン配線

図 18 に、デバイス・ピンを通過するメイン・バスを使用し、スタブをなくしたデージー・チェーン配線を示します。このレイアウトでは、メイン・バスとスタブ間でインピーダンスのミスマッチが発生する危険性がないので、シグナル・インテグリティの問題を最小限に抑えることができます。

図 18. スタブを使用しないデージー・チェーン配線

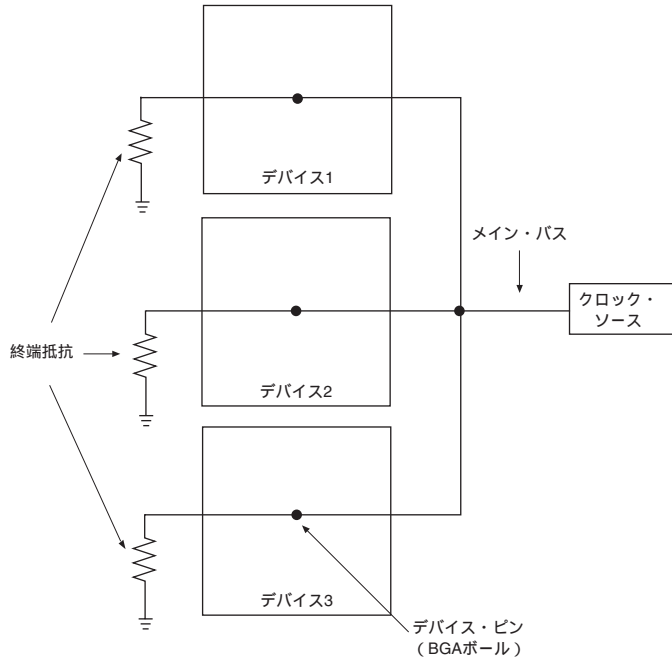


### スター配線

スター配線では、クロック信号がすべてのデバイスを同時に通過します (図 19 参照)。このため、クロック・ソースとデバイス間のすべての配線パターンの長さを一致させて、クロック・スキューを最小化する必要があります。シグナル・インテグリティの問題を最小限に抑えるには、各負荷が等しくなる必要があります。スター配線では、メイン・バスのインピーダンスと、複数のデバイスに接続する長い配線パターンのインピーダンスをマッチングさせることが必要です。



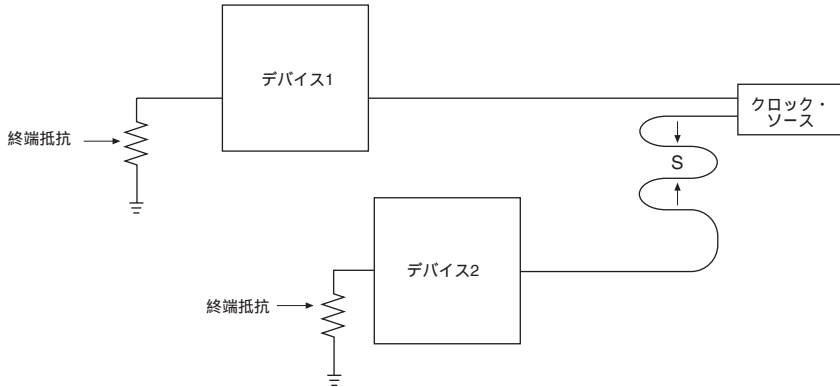
図 19. スター配線




### 蛇行配線

ソースと複数の負荷の間に長さの等しい配線パターンが必要なデザインでは、配線パターンの長さが一致するように一部の配線パターンを曲げることができます (図 20 参照)。配線パターンの湾曲が不適切な場合、シグナル・インテグリティと伝播遅延に影響を与えます。クロストークを最小化するには、 $S \geq 3 \times H$  にしてください。ここで、 $S$  は平行・セクション間の距離、 $H$  はリファレンス・グラウンド・プレーン上の信号配線パターンの高さです。図 21 を参照してください。

図 20. 蛇行配線

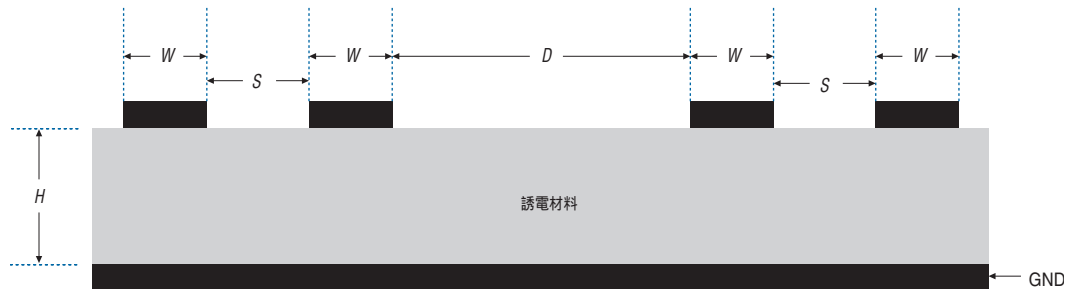


 アルテラでは、可能であれば蛇行配線を避けることをお勧めします。蛇行配線の代わりに、円弧を使用して等しい長さの配線パターンを作成してください。

### 差動配線

シグナル・インテグリティを最大にするために、高速デザインでは差動信号の適切な配線手法が重要です。図 21 に、マイクロストリップラインを使用した差動ペアを示します。

図 21. 差動配線 注(1)



#### 図 21 の注 :

- (1)  $D=2$  つの差動ペア信号間の距離、 $W$ = 差動ペアでの配線パターンの幅、 $S$ = 差動ペアでの配線パターン間の距離、 $H$ = グランド・プレーン上の誘電体の高さ

2つの差動ペアを使用するときには、次のガイドラインに従ってください。

- 2つの差動ペア間のクロストークを最小にするために、 $D > 2S$ であることを確認します。
- 反射ノイズを最小にするには、デバイスに近接して差動配線パターン  $S = 3H$  を配置します。
- 配線パターンの全長にわたって、差動配線パターン間の距離 ( $S$ ) を一定にします。
- スキューと位相の差を最小化するには、2つの差動配線パターンの長さを同じにします。
- 複数のペアを使用するとインピーダンスのミスマッチとインダクタンスが発生する可能性があるため、複数のペアの使用は避けてください。

## 終端方法

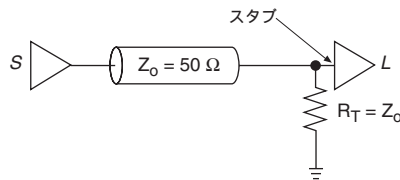
インピーダンスのミスマッチがあると、信号がライン沿いに前後に反射し、負荷レシーバでリングングが発生します。リングングによってレシーバのダイナミックレンジが狭くなり、誤ったトリガが発生する可能性があります。反射を除去するには、ソースのインピーダンス ( $Z_S$ ) が配線パターンのインピーダンス ( $Z_0$ )、そして負荷のインピーダンス ( $Z_L$ ) と等しくなければなりません。Stratix デバイスは抵抗のチップ内実装をサポートしています。このセクションでは、以下の信号終端方法について説明します。

- 並列終端
- テブナン並列終端
- アクティブ並列終端
- 直列 RC 並列終端
- 直列終端
- 差動ペア終端
- チップ内終端

### 並列終端

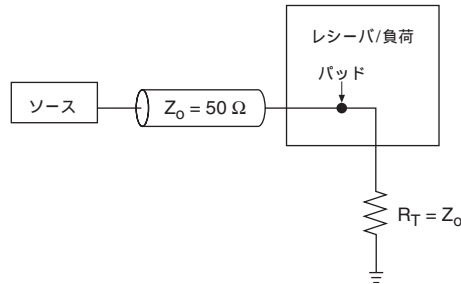
並列終端方法では、終端抵抗 ( $R_T$ ) がライン・インピーダンスと等しくなります。終端抵抗は、効果を最大とするために可能な限り負荷の近くに配置します。図 22 を参照してください。

図 22. 並列終端



$R_T$  からレシーバ・ピンおよびパッドまでのスタブの長さは、可能な限り短くする必要があります。スタブの長さが長いと、レシーバ・パッドからの反射が発生して信号の劣化の原因になります。ターミネータとレシーバ間に長い終端ラインが必要なデザインでは、抵抗の配置が重要になります。終端ラインの長さが長い場合は、フライバイ終端を使用します（図 23 参照）。

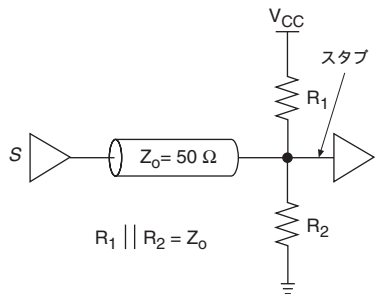
図 23. 並列フライバイ終端



## テブナン並列終端

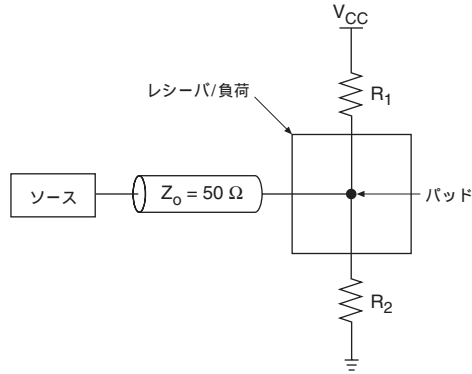
並列終端に代わる方法として、テブナン電圧ディバイダを使用する方法があります（図 24 参照）。終端抵抗は  $R_1$  と  $R_2$  に分割され、結合されるとライン・インピーダンスに等しくなります。この方法ではソース・デバイスから供給される電流が減少しますが、 $V_{CC}$  と GND の間に抵抗が接続されるので、電源から供給される電流は増加します。

図 24. テブナン終端



前のセクションで説明したとおり、スタブの長さは信号の立ち上がり時間と立ち下がり時間によって決まり、できるだけ短くする必要があります。ターミネータとレシーバの間に長い終端ラインが必要なデザインでは、フライバイ終端またはテブナン・フライバイ終端を使用します。図 23 と 25 を参照してください。

図 25. テブナン・フライバイ終端



## アクティブ並列終端

図 26 にアクティブ並列終端方法を示します。ここでは、終端抵抗 ( $R_T = Z_o$ ) がバイアス電圧 ( $V_{BIAS}$ ) に接続されています。この方法では、出力ドライバが High および Low レベル信号から電流を引き出せる電圧が選択されます。ただし、この方法では出力遷移速度に合わせて電流をシンク / ソース可能な独立した電圧源が必要です。

図 26. アクティブ並列終端

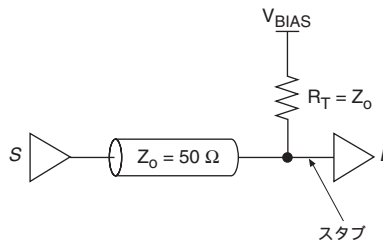
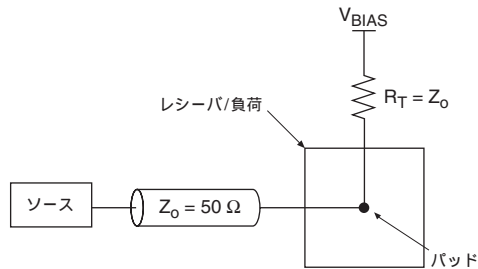


図 27 にアクティブ並列フライバイ終端方法を示します。

図 27. アクティブ並列フライバイ終端



## 直列 RC 並列終端

直列 RC 並列終端方法では、終端インピーダンスとして抵抗とコンデンサ（直列 RC）ネットワークを使用します。終端抵抗 ( $R_T$ ) は  $Z_0$  と等しくなります。コンデンサは、一定の DC 電流をフィルタリングできるだけの容量がなければなりません。ただし、コンデンサが大きすぎると、信号の遅延がデザインの要件を超える場合があります。

容量が 100pF 以下のコンデンサは終端の効果を弱めます。コンデンサは低周波信号を阻止し、高周波信号を通過させます。したがって、グランドへの DC パスがないので、 $R_T$  の DC 装荷によってドライバに影響を与えることはありません。直列 RC 終端方法では、バランスのとれた DC 信号方式（すなわち、信号のオン時間とオフ時間が半分ずつ）が必要です。AC 終端は、通常複数の負荷がある場合に使用されます。図 28 を参照してください。

図 28. 直列 RC 並列終端

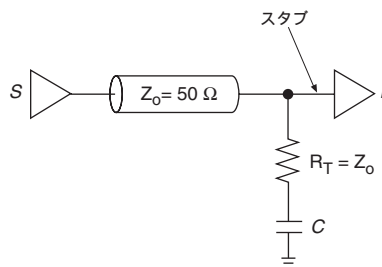
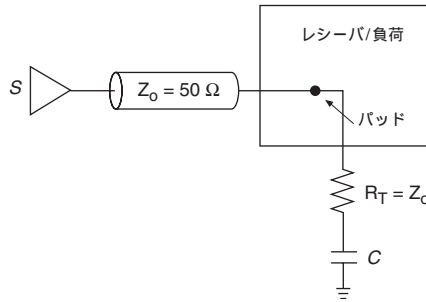


図 29 に直列 RC 並列フライバイ終端を示します。

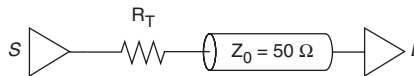
図 29. 直列 RC 並列フライバイ終端



## 直列終端

直列終端方法では、抵抗が各負荷でのインピーダンスとマッチングするのではなく、信号ソースでのインピーダンスとマッチングします (図 30 参照)。 $R_T$  と出力ドライバのインピーダンスの合計は、 $Z_0$  と等しくなければなりません。アルテラ・デバイスの出力インピーダンスは低いので、信号ソースをライン・インピーダンスとマッチングさせるため直列抵抗を追加する必要があります。直列終端の利点は、わずかな電力しか消費しないことです。これに対し欠点は、RC 時定数が増大するため立ち上がり時間が長くなることです。したがって高速デザインでは、直列終端方法を使用する前に、アルテラの IBIS (Input/output Buffer Information Specification) モデルを使用してレイアウト前のシグナル・インテグリティのシミュレーションを実行する必要があります。

図 30. 直列終端



## 差動ペア終端

差動信号 I/O 規格では、受信デバイスの信号間に終端抵抗が必要です (図 31 参照)。LVDS および LVPECL 規格では、終端抵抗がバスの差動負荷インピーダンス (標準で  $100\Omega$ ) とマッチングする必要があります。アルテラの Stratix、Stratix GX、および Mercury™ デバイスには、チップ内終端オプションがあります。チップ内終端を使用すると、必要なボード・スペースが減少します。詳しくは、25 ページの「Stratix GX トランシーバのチップ内終端 (On-Chip Termination)」を参照してください。

図 31. 差動ペア (LVDS および LVPECL) 終端

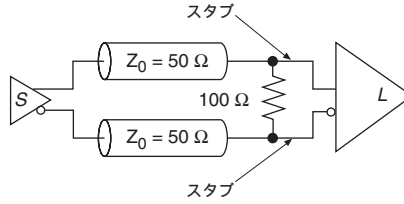
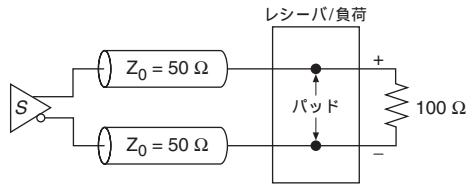


図 32 に、LVDS および LVPECL 規格用の差動ペア・フライバイ終端方法を示します。

図 32. 差動ペア (LVDS および LVPECL) フライバイ終端



3.3V PCML は、トランスミッタで 2 個の並列 100Ω 終端抵抗を、レシーバで 2 個の並列 50Ω 終端抵抗を使用します (図 33 参照)。終端電圧 ( $V_T$ ) は、 $V_{CCIO}$  電圧 (3.3V) と同じです。

図 33. 差動ペア (3.3V PCML) 終端

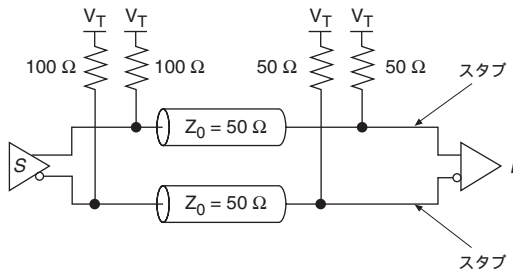
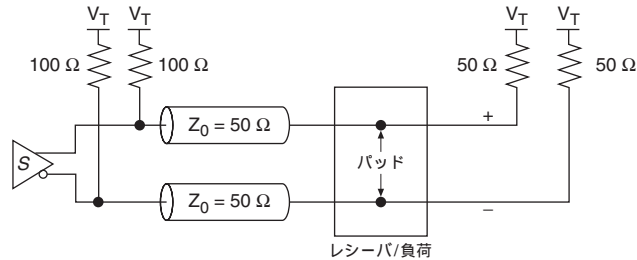




図 34 に、3.3V PCML 用の差動ペア・フライバイ終端方法を示します。

図 34. 差動ペア (3.3V PCML) フライバイ終端



差動信号の終端について詳しくは「[Board Design Guidelines for LVDS Systems White Paper](#)」を参照してください。

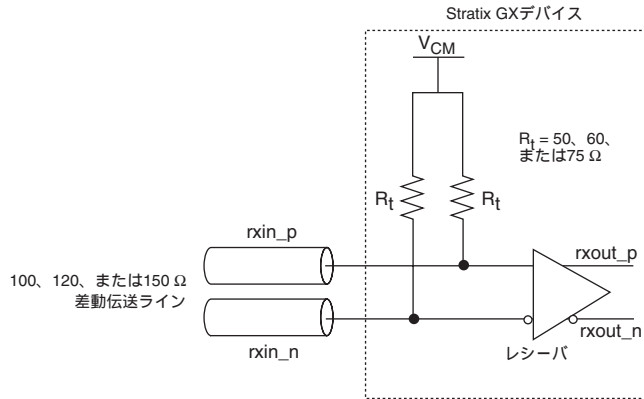
## Stratix GX トランシーバのチップ内終端 (On-Chip Termination)

Stratix GX デバイスにも、いくつかの標準 I/O 規格をサポートするように設計されたチップ内抵抗があります。チップ内抵抗は、ボード・スペースを解放し、より自由な信号配線を可能にすることにより、ボード・デザイン作業を単純化します。また、抵抗から信号ピンまでの距離が短くなるので、チップ内抵抗によってスタブの反射が減少します。結果的に、Stratix GX デバイスはより効果的な負荷および / またはソース終端を提供するため、シグナル・インテグリティが向上します。

Stratix GX のすべてのトランシーバには、プログラマブルなチャンネル単位の内部終端抵抗があります。これらの抵抗は 100、120、または 150Ω 終端を生成します。図 35 および 36 に、Stratix GX デバイスでのレシーバおよびトランシーバ・チップ内終端方法を示します。

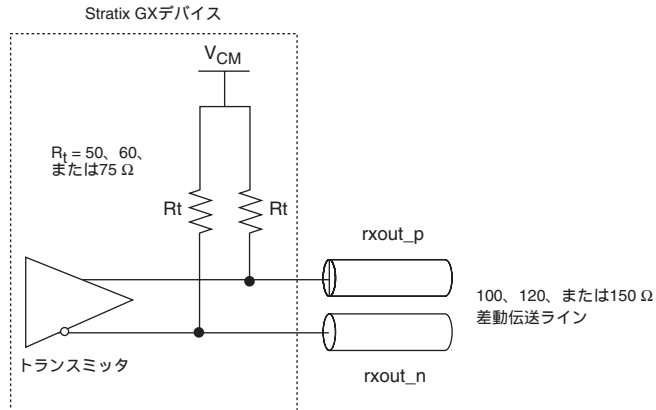
差動標準 I/O 規格によって必要な終端抵抗が異なるので、プログラム可能な内部終端抵抗が役立ちます。例えば、XAUI および Infiniband アプリケーションでは 100Ω の差動終端が必要ですが、ギガビット・イーサネットおよびファイバ・チャネルでは 150Ω の差動終端が必要です。

図 35. Stratix GX デバイスのレシーバの On-Chip Termination 方法



レシーバで使用されているチップ内抵抗をバイパスして、外部抵抗を使用することができます。

図 36. Stratix GX トランシーバの送信 On-Chip Termination 方法



Stratix GX デバイスのトランシーバ以外の I/O ピンでは、終端方法が Stratix デバイスと同じです。

## 同時 スイッチング・ ノイズ (SSN)

デジタル・デバイスの高速化により出力スイッチング時間が短縮されると、デバイスが負荷キャパシタンスを放電するとき出力に生じる過渡電流が増大します。過渡電流が増大すると、グラウンド・バウンスとして知られるボード・レベルの現象が発生します。

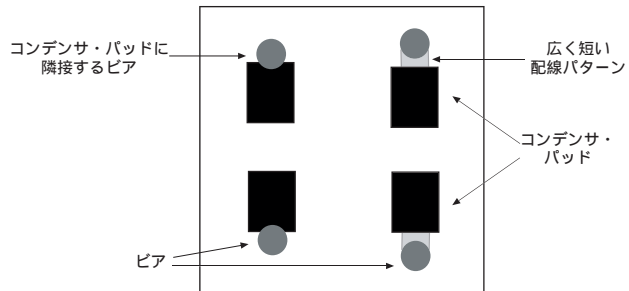
多数の要因がグラウンド・バウンスに関係しているため、標準的な試験法を用いて可能性があるすべての PCB 環境におけるグラウンド・バウンスの大きさを予測することはできません。デバイスは一定条件でのみ試験し、各条件およびデバイス自体の相対的な寄与を判断することが可能です。負荷キャパシタンス、ソケット・インダクタンス、およびスイッチング出力数が、FPGA でのグラウンド・バウンスの大きさに影響を与える主な要因です。

グラウンド・バウンスを低減するには、並列に接続した  $0.01 \sim 0.1\mu\text{F}$  の表面実装コンデンサが必要です。これらのコンデンサに並列に  $0.001\mu\text{F}$  のコンデンサを追加して、高周波ノイズを ( $>100\text{ MHz}$ ) をフィルタします。

アルテラは、ユーザが以下のステップを実行してグラウンド・バウンスと  $V_{CC}$  サグを低減することを推奨します。

- 未使用 I/O ピンを出力ピンとしてコンフィギュレーションし、出力を low にドライブしてグラウンド・バウンスを低減します。このコンフィギュレーションは仮想グラウンドとして機能します。
- 未使用 I/O ピンを出力としてコンフィギュレーションし、high にドライブして  $V_{CC}$  サグを防止します。
- スwitching・ピンの隣にプログラム可能なグラウンド・ピンまたは  $V_{CC}$  ピンを配置します。
- 同時にスイッチングする可能性がある出力数を減らし、それらをデバイス全体に均等に分散させます。
- I/O ピンの間にグラウンド・ピンを手動で割り当てます。(I/O ピンをグラウンド・ピンと分離するとグラウンド・バウンスが防止されます。)
- 速度が重要でない場合は、スロー・スルー・レートのロジック・オプションをオンにします。
- 可能であればソケットをなくします。
- 問題によっては、スイッチング出力をパッケージのグラウンド・ピンまたは  $V_{CC}$  ピンの近くに移動します。プルアップ抵抗をなくすかまたはプルダウン抵抗を使用します。
- $V_{CC}$  プレーンとグラウンド・プレーンを別々に提供する多層 PCB を使用して、 $\text{GND}-V_{CC}$  プレーン間の固有キャパシタンスを活用します。
- 瞬時にスイッチングするピンによる影響を受けない同期型デザインを作成します。
- 推奨されるデカップリング・コンデンサを  $V_{CC}/\text{GND}$  ペアに追加します。
- デカップリング・コンデンサは、デバイスの電源ピンとグラウンド・ピンにできるだけ近接して配置します。
- デカップリング・コンデンサのインダクタンスを最小にし、最大電流が流れるようにするために、径の大きいビアを使用してコンデンサ・パッドをパワー・プレーンおよびグラウンド・プレーンに接続します。
- ビアとコンデンサ・パッドとの間に幅の広い短い配線パターンを使用するか、またはコンデンサ・パッドに隣接してビアを配置します (図 37 参照)。

図 37. コンデンサ・パッドに接続するビアの推奨位置



- 電源ピンからパワー・プレーン（またはアイランドやデカップリング・コンデンサ）への配線パターンは、できるだけ幅が広くかつ短くなければなりません。これによって直列インダクタンスが減少するため、パワー・プレーンと電源ピン間の過渡電圧降下が減少します。これにより、グラウンド・バウンスの可能性が低下します。
- 表面実装型の低実効直列抵抗（ESR）コンデンサを使用して、リード・インダクタンスを最小にします。これらのコンデンサの ESR 値は可能な限り低くなければなりません。
- 各グラウンド・ピンまたはビアを個別にグラウンド・プレーンに接続します。グラウンド・ピンへのデジジー・チェーン接続はグラウンド・パスを共用するため、戻り電流ループが長くなり、それによってインダクタンスが増大します。

グラウンド・バウンスおよび  $V_{CC}$  サグについては「[Minimizing Ground Bounce &  \$V\_{CC}\$  Sag White Paper](#)」を参照してください。

## 電源のフィルタリングおよび分配

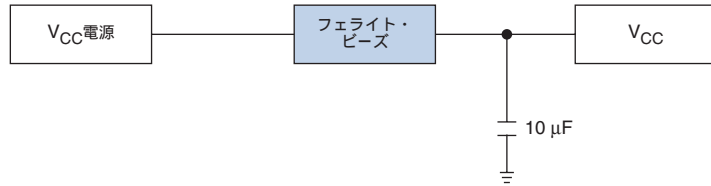
クリーンで均等に分散された電源をすべてのボードおよびデバイスの  $V_{CC}$  に供給することによって、システム・ノイズを低減できます。このセクションでは、配電および電力のフィルタリングについて説明します。

### ノイズのフィルタリング

電源が原因で発生する低周波 (< 1 kHz) ノイズを低減するには、PCB および各デバイスへの電源接続点において電源ライン上のノイズをフィルタします。電源供給ラインが PCB に入る箇所に 100 $\mu$ F の電解コンデンサを配置します。電圧レギュレータを使用する場合は、 $V_{CC}$  信号をデバイスに供給するピンの直後にこのコンデンサを配置します。（コンデンサは、電源からの低周波ノイズをフィルタするだけでなく、1 つの回路で多数の出力が同時に切り替わるときに追加電流を供給します。）

電源ノイズをフィルタするには、電源と直列にこの電流を処理可能なサイズの非共振表面実装フェライト・ビーズを使用します。10 ~ 100 $\mu$ F のバイパス・コンデンサをフェライト・ビーズに隣接して配置します (図 38 参照) (適切な終端、レイアウト、およびフィルタリングによってノイズが十分に除去される場合、フェライト・ビーズを使用する必要はありません)。フェライト・ビーズは、 $V_{CC}$  電源からの高周波ノイズに対して短絡として機能します。低周波ノイズは、フェライト・ビーズの後の大型 10 $\mu$ F コンデンサによってフィルタされます。

図 38. フェライト・ビーズによるノイズのフィルタリング



通常、PCB 上のエレメントはパワー・プレーンの高周波ノイズを増大させます。デバイスの高周波ノイズをフィルタするには、デカップリング・コンデンサを  $V_{CC}$  と GND の各ペアにできるだけ近接させて配置します。



バイパス・コンデンサについて詳しくは「[Operating Requirements for Altera Devices Data Sheet](#)」を参照してください。

### 電源分配

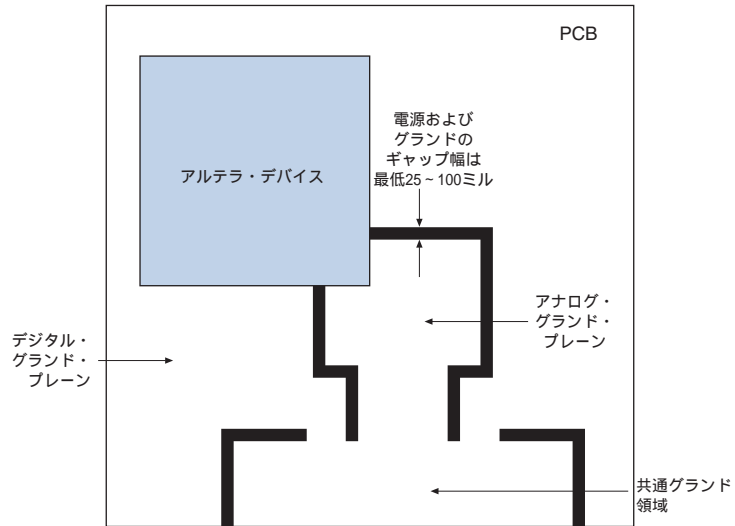
システムは、パワー・プレーンまたはパワー・バス・ネットワークのいずれかによって、PCB 全体に電源を分配することができます。

$V_{CC}$  および GND をデバイスに伝える 2 つ以上のメタル層で構成される多層 PCB 上で、パワー・プレーンを使用できます。パワー・プレーンが PCB の全面を覆うため、PCB の DC 抵抗はきわめて低くなります。パワー・プレーンは、 $V_{CC}$  を維持し、すべてのデバイスに均等に分配しながら、PCB のロジック信号に非常に高い電流シンク能力、ノイズ保護、およびシールドングを提供します。アルテラは電源の分配にパワー・プレーンの使用を推奨しています。

$V_{CC}$  および GND をデバイスに伝える 2 つ以上の幅の広い金属配線パターンで構成されるパワー・バス・ネットワークは、2 層 PCB で多用され、パワー・プレーンよりも安価です。パワー・バス・ネットワークで設計する場合は、配線パターンの幅をできるだけ広くとります。パワー・バス・ネットワークを使用する際の主な欠点は、DC 抵抗が大きいことです。

アルテラは、アナログ・パワー・プレーンとデジタル・パワー・プレーンを別々に使用することを推奨しています。独立したアナログ・パワー・プレーンのない完全デジタル・システムの場合、パワー・プレーンの新設は高価になる可能性があります。しかし、区分されたアイランド（スプリット・プレーン）の構築が可能です。図 39 は、PLL（Phase-Locked-Loop）グラウンド・アイランドを備えたボード・レイアウトの例を示します。

図 39. 汎用 PLL グラウンド・アイランド用ボード・レイアウト



システムがアナログ電源とデジタル電源の間で同一プレーンを共用する場合、2種類の回路間に好ましくない相互動作が発生する可能性があります。以下の提案がノイズの低減に役立つはずですが。

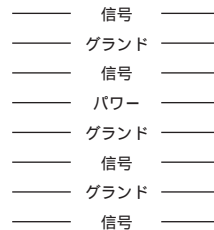
- 均等な電源分配を実現するために、アナログ（PLL）電源用に独立したパワー・プレーンを使用します。電源パターンまたは多重信号層を使用してPLL電源を配線することは回避してください。
- PLL電源プレーンの次の層にグラウンド・プレーンを使用して、電源で生成されるノイズを低減します。
- アナログ・コンポーネントおよびデジタル・コンポーネントはそれぞれのグラウンド・プレーン上にもみ配置します。
- フェライト・ビーズを使用して、PLL電源をデジタル電源から絶縁します。

## EMI

電磁波障害（EMI）は、時間に対する電流または電圧の変化に正比例します。EMIは回路の直列インダクタンスにも正比例します。すべてのPCBがEMIを生成します。クロストークの最小化、適切なグラウンド処理、適切な層の積み重ねなどの対策によって、EMIの問題が大幅に低減される可能性があります。

各信号層をグラウンド・プレーンとパワー・プレーンの間に配置します。インダクタンスは、電荷がカバーしなければならない電荷のソースからグラウンドまでの距離に正比例します。この距離が短くなるほど、インダクタンスも小さくなります。したがって、グラウンド・プレーンを信号源の近くに配置するとインダクタンスが減少し、EMI を抑制する効果があります。図 40 は、8 層を積み重ねた例を示します。この積層では、ストリップラインの信号層はパワー・プレーンと GND プレーンの中央に配置されるため、最もノイズが少ない層です。パワー・プレーンに隣接するソリッド・グラウンド・プレーンは、1 組の低 ESR コンデンサを形成します。IC のエッジ・レート的高速化が進行する中で、これらの手法は EMI を抑制する効果があります。

図 40. 8 層の積み重ねの例



EMIの抑制には、コンポーネントの選択とボード上での適切な配置が非常に重要です。

以下のガイドラインが EMI の低減に役立つはずですが、

- 低 ESR および ESL (実効直列インダクタンス) の表面実装コンデンサなどの低インダクタンス・コンポーネントを選択します。
- 最短の電流リターン・パスを実現するために、適切なグラウンド処理を使用します。
- パワー・プレーンの次の層にソリッド・グラウンド・プレーンを使用します。
- 不可避な状況では、アナログ回路用とデジタル回路用に区分された各パワー・プレーンの次の層にそれぞれのグラウンド・プレーンを使用します。

## FPGA に関する追加情報

このセクションでは、FPGA に関するコンフィギュレーション情報、JTAG (Joint Test Action Group)、およびボード・デザインの完全性とシグナル・インテグリティ実現のためにアルテラが推奨するテスト・ポイント情報を提供します。

## コンフィギュレーション

DCLK 信号は、コンフィギュレーション・デバイスやパッシブ・シリアル (PS) およびパッシブ・パラレル同期 (PPS) コンフィギュレーション方式で使用されます。この信号はアルテラ・デバイスのエッジ・トリガ・ピンをドライブします。したがって、オーバシュート、アンダシュート、リングング、クロストーク、またはその他のノイズがコンフィギュレーションに影響を与える可能性があります。クロック信号の設計に同じガイドラインを使用して、DCLK 配線パターンを配線します (13 ページの「信号配線パターンの配線」を参照)。6 個以上のコンフィギュレーション・デバイスを使用するデザインの場合は、バッファを使用して DCLK 信号のファン・アウトを分割することを推奨します。

## JTAG

PCB の複雑化に伴って、テストがますます重要になっています。表面実装パッケージおよび PCB 製造の進歩によってボードの小型化が進み、外部テスト・プローブや「Bed-of-nails」テスト治具などの従来型の試験方法の実装が困難になっています。その結果、PCB スペースの削減によるコストの節約が、従来型の試験方法でコスト増によって相殺されてしまう可能性があります。

バウンダリ・スキャン・テスト (BST) に加えて、IEEE 標準規格 1149.1 インシテム・プログラミング用コントローラを使用することもできます。JTAG は、テスト・データ入力 (TDI)、テスト・データ出力 (TDO)、テスト・モード選択 (TMS) およびテスト・クロック入力 (TCK) の 4 本の必須ピン、およびテスト・リセット入力 (TRST) の 1 本のオプション・ピンで構成されます。

クロック信号のレイアウトに同じガイドラインを使用して、TCK 配線パターンを配線します。長い JTAG スキャン・チェーンには複数のデバイスを使用します。1 つのデバイスの TDO ピンと別のデバイスの TDI ピンを接続する JTAG スキャン・チェーン配線パターンの長さを最小にして遅延を低減します。



BST について詳しくは「AN 39: IEEE 1149.1 (JTAG) Boundary-Scan Testing in Altera Devices」を参照してください。

## テスト・ポイント

デバイスのパッケージ・ピンの高集積化に伴って、デバイス・ピンにオシロスコープまたはロジック・アナライザのプローブを取り付けることが困難になってきました。物理的なプローブを直接デバイス・ピンで使用すると、デバイスが損傷する可能性があります。ボール・グリッド・アレイ (BGA) または FineLine BGA® パッケージがボードの先端部に実装されている場合、ボードの反対側をプローブで検査することは困難です。したがって、PCB はプローブ用の恒久的なテスト・ポイントを備えていなければなりません。非常に短いスタブで被試験信号に接続されるビアをテスト・ポイントにすることができます。ただし、被試験信号の配線パターン上にビアを配置すると、反射やシグナル・インテグリティの劣化が生じる可能性があります。





SignalTap® エンベデッド・ロジック・アナライザについて詳しくは「AN 175: SignalTap Analysis in the Quartus II Software」を参照してください。

## まとめ

適切な高速 PCB を慎重に立案する必要があります。ノイズ発生、信号反射、クロストーク、グラウンド・バウンスなどの要因は、信号（特にアルテラ・デバイスが送受信する高速信号）を妨害する可能性があります。このアプリケーション・ノートで説明した信号配線、終端方法、および電源分配手法は、ユーザがアルテラの高速デバイスを使用してより効率的な PCB を設計するのに役立つはずで

## 参考文献

Johnson, H. W., and & Graham, M., *“High-Speed Digital Design.”* Prentice Hall, 1993.

Hall, S. H., Hall, G. W., and McCall J. A., *“High-Speed Digital System Design.”* John Wiley & Sons, Inc. 2000.

## 改定履歴

「AN 224: 高速ボード・レイアウト・デザイン Ver. 1.1」に記載された情報は、以前のバージョンの内容に優先します。

「AN 224: 高速ボード・レイアウト・デザイン Ver. 1.1」には、以下の変更内容が含まれています：図 4 の凡例がアップデートされました