



この翻訳版ドキュメントのメンテナンスは終了しております。

この文書には、古いコンテンツや商標が含まれている場合があります。

最新情報につきましては、次のリンクから英語版の最新資料をご確認ください。

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

Please take note that this document is no longer being maintained. It may contain legacy content and trademarks which may be outdated.

Please refer to English version for latest update at

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

イントロダク ション

インターネットのコア・ネットワークで輻輳が発生すると、VoIP(Voice over Internet Protocol) やリアル・タイム・ストリーミング・ビデオなどのような、最近になって新たに登場したインターネット・アプリケーションが適切に実行されません。残念ながら、帯域幅の追加は完全な長期にわたるソリューションとはなりません。サービス品質 (QoS: Quality of Service) やトラフィック・エンジニアリングの機能は、インターネットのトラフィックに優先度を与えたり、コア・ネットワークをさらに効率的にすることによって、これらの新しいアプリケーションへの対応を可能にしています。ネットワーク機器のメーカーは、常に最新のインターネット・アプリケーションに関連した課題の多くを解決することができる新たなソリューションを開発しています。マルチ・プロトコル・ラベル・スイッチング (MPLS) はこのようなソリューションのひとつとなっており、現在その標準化が進められています。

アルテラの高集積、高性能プログラマブル・ロジック・デバイス (PLD) は、IP (Intellectual Property) ファンクション、Excalibur™ エンベデッド・プロセッサ・ソリューション、および Quartus® II 開発ソフトウェアとの組み合わせにより、MPLS を実現するための完全なソリューションを提供しています。アルテラの PLD は柔軟性の高いシングル・デバイス・ソリューションとなっており、「Time-to-Market」の期間を短縮する大きな利点を提供すると共に、ロジックとプロセッサの双方を使用して各ファンクションを実現できる特長を備えています。

このアプリケーション・ノートは MPLS の標準規格と、アルテラの PLD を使用して MPLS を実現する方法について解説したものです。



アルテラのデバイス、IP ファンクション、ソフトウェア・ツールの詳細については、アルテラの web サイト、<http://www.altera.com> を参照してください。

MPLS に関する一般的な要求事項

インターネット・サービス・プロバイダ (ISP) が最新のインターネット・アプリケーションに適切に対応するためには、MPLS に関する下記の要求がサポートされている必要があります。

- 効率的で制御可能なパケット・ネットワーク
- VPN (Virtual Private Network) や QoS (Quality of Service) のような新しいサービスをサポートした製品
- インターネット・プロトコル (IP) や ATM (Asynchronous Transfer Mode: 非同期転送モード) の簡単なインテグレーション
- 追加の帯域幅
- 異なるメーカーのルータ間での互換性の確保

MPLS の標準化は、帯域幅の追加を除いて、これらすべての課題への対応を可能にします。IETF (Internet Engineering Task Force: インターネット技術標準化委員会) の中に結成された MPLS ワーキング・グループは、MPLS の標準化を進めています。IETF は、多くのネットワーク関連企業の代表によって組織されている団体です。

ネットワーク機器のメーカーが ISP からの要求に対応するためには、下記の課題に対応する必要があります。

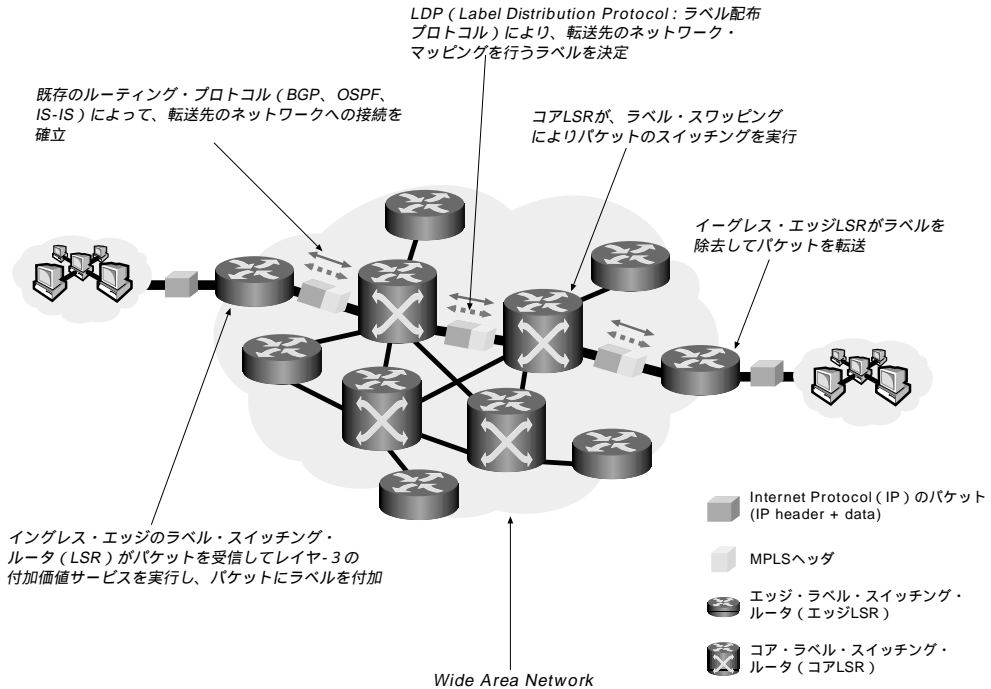
- MPLS は ISP からのすべての要求を標準化するものではないため、適切な MPLS ソリューションには柔軟性の高いプラットフォームが要求されます。MPLS を柔軟性に欠けるプラットフォーム (例: ASIC) で実現した場合には、製品のライフ・サイクルを短くする結果となります。
- 「Time-to-Market」の実現は重要です。ASIC を採用したときには、長いターンアラウンド・タイムが必要になるため、各メーカーが効率的に市場での地位を確立することは不可能です。
- MPLS システムを実現するときは、ロジックとプロセッサをベースにした機能を組み合わせることが必要です。これらの機能を異なるデバイスに分割して実現した場合は、性能が劣化し、設計時間が増加します。また、シングル・チップの ASIC ソリューションも柔軟性に欠け、「Time-to-Market」の期間を長期化させると共に、すぐに使用不可能となってしまう可能性があります。

MPLS システムの設計

MPLS を採用することで、ネットワーク内におけるトラフィック・フローの効率的な制御が可能になります。パケットが MPLS 対応のネットワークに入力されると、パケットにラベルが付加されます。このラベルは、パケットが WAN (Wide Area Network) の要求される出口に到達するまでのルートを規定しています。これまでは、パケットがルータに到達すると、その転送先のアドレスがパケットの処理ファンクションによって読み取られ、次のホップが決定されていました。この場合、次のホップはパケットが新しいホップに到達することに計算されます。MPLS では、ルートが WAN のインGRESS (入口) で決定されるため、VPN (Virtual Private Network) やトラフィック・エンジニアリングなどのような他の重要なネットワーク機能の実現が可能になります。

図 1 には、マッピングが確立されていない特定のパケットが MPLS ネットワーク内でどのように処理されるかが示されています。

図 1 MPLS ネットワークの概要



このセクションでは、MPLSの以下の項目について解説します。

- ラベル・スイッチング ラベルが付加されたパケットの MPLS ネットワーク内での転送方法
- ラベル配布 (label distribution) MPLS ネットワーク内でのラベルの配布方法
- トラフィック・エンジニアリング ネットワーク・リソースの効率的な運用を可能にする MPLS フレームワークの重要な機能
- VPN パブリックなインターネット網を使用してリモート・ネットワーク間の接続や、プライベート・ネットワークを構築する方法

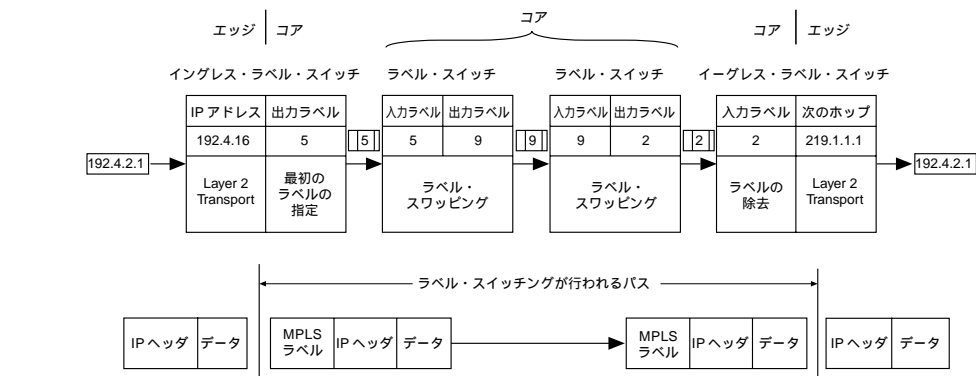
ラベル・スイッチング

MPLS ネットワークの基本動作には、パケットに付加されたラベルをベースにしたスイッチング機能が含まれます。パケットが MPLS 対応のネットワークに入力されると、LSR がパケット・ヘッダを解析し、転送先のアドレスとパケット・ヘッダに含まれている他の情報をベースにしてラベルを割り当てます。このパケットに与えられたラベルによって、パケットが MPLS 対応のネットワーク内で要求されるイーグレス (出口)・ノードに到達するまでにどのようなルートを通るかが識別されます。

MPLS対応のネットワークのインGRESS・エッジでパケットにラベルを指定するときは、FEC (Forward Equivalence Class : 同一ラベル転送クラス) が決定される必要があります。FECは、同じ方法 (同じパス上を同じ転送処理方法) で転送されるパケットのグループのことです。各LSRは、パケットがどのように転送される必要があるかを継続してトラックしなければなりません。このFEC情報はLIB (Library Information Base) に含まれており、LIBにはFECとラベルの対応表が含まれています。

LSRでラベルが付加されたパケットが受信されると、入力ポートとラベルが読み取られ、出力ポート (次のホップ) が決定されます。ここで、入力ラベルが出力ラベルに置き換えられます。そして、この出力ラベルによって、次のホップへのラベル・スイッチング動作が実行されます。図2には、MPLSのラベル・スワッピング動作が示されています。

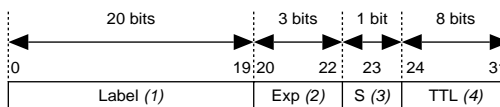
図2 インGRESSからイーGRESSまでのMPLSラベル・スワッピング動作



レイヤ-2がATMになっている場合は、ラベルがATMセル・ヘッダのVPI/VCIフィールドに挿入されます。同様に、レイヤ-2がフレーム・リレーになっている場合は、ラベルがフレーム・ヘッダのDLCI (Data Link Connection Identifier : データ・リンク接続識別子) のフィールドに挿入されます。レイヤ-2でイーサネット、または1対1の通信を行うpoint-to-pointプロトコル (PPP) が動作している場合は、レイヤ-3ヘッダとレイヤ-2ヘッダの間にシム・ヘッダ (shim header) が挿入され、MPLSラベルがこのシム・ヘッダに含まれます。

MPLSの標準化が行われることによって、MPLS対応のネットワーク間で相互にネスティングを行うことが可能になります。このネスティングを実現するためには、パケットに複数のラベルが指定されることもあります。この場合、コンテキスト内のラベルがパケット内で最初に現れ (スタックの最上位)、スタックの最下位のラベルが最後に現れます。ラベルのスタックは、複数のラベル・スタック・エントリ (MPLSフィールド) によって構成されます。図3は、MPLSラベル・スタック・エントリのフォーマットを示しています。

図 3 MPLS ラベル・スタック・エントリ



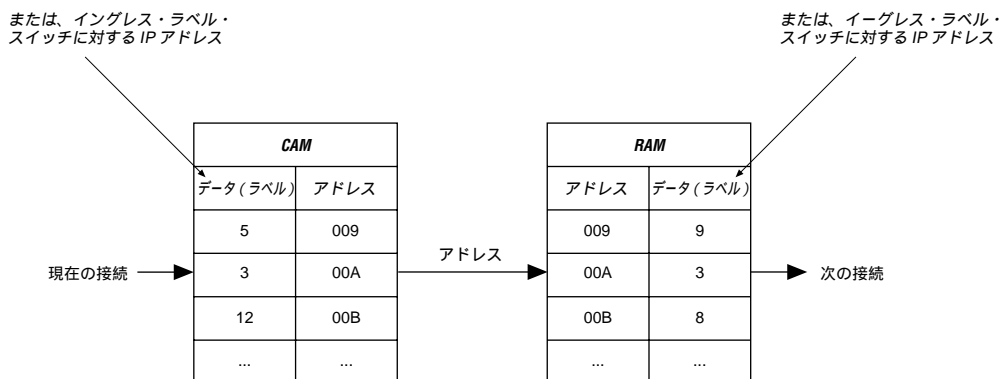
注:

- (1) Label: ラベルの値、20 ビット
- (2) Exp: 試験用、3 ビット
- (3) S: スタックの一番下、1 ビット
- (4) TTL: time to live、8 ビット

APEX CAM によるラベル・スワッピングの実現方法

図 4 は、アルテラの APEX™ デバイス・ファミリーを使用して単純なラベル・スワッピング機能を実現する方法を示しています。アルテラの PLD を採用することによって、デバイスの高い性能と設計済みの MegaCore® ファンクション (ライブラリ・モジュール) の活用が可能になります。

図 4 APEX デバイスの CAM と RAM を使用したラベル・スワッピングの実現方法



1 個の LSR にストアされる必要があるラベルの数は、MPLS ネットワークで使用されるラベル・マッピング・ポリシーの種類によって異なります。例えば、1 個の LSR は任意の時間に約 1,000 のラベルを保持することができます。上記に示した CAM と RAM の組み合わせで実現したラベル・スワッピング機能に 1,024 のエントリがある場合は、48 個のエンベデッド・システム・ブロック (ESB) が使用されます。



APEX デバイスの CAM に関する詳細については、アプリケーション・ノート、AN 119 (*Implementing High-Speed Search Applications with APEX CAM*) を参照してください。

MPLSのデータ・プレーン機能に対する True-LVDS ソリューション

コア・ネットワークのトラフィックをサポートするためには、MPLSのデータ・プレーン機能を非常に高速で動作させる必要があります。高速の処理機能と高速I/Oインタフェースが要求されます。アルテラのデバイスは、LVDS (Low-Voltage Differential Signaling) を含む多様な高速I/Oインタフェースをサポートしています。アルテラのデバイスには、低消費電力で高いデータ転送レートを実現する、True-LVDS™ソリューションが提供されています。APEX 20KE デバイスには、チャンネルあたり 840Mbps までの転送レートを実現する LVDS の専用回路が内蔵されています。計 16 チャンネルのレシーバと 16 チャンネルのトランスミッタによって、1 個のデバイスで 27Gbps までの帯域幅が実現可能です。APEX 20KE デバイスは、この LVDS ソリューションによって高速のデータ転送レートを実現しており、OC-192 のスピードで動作することができます。この True-LVDS ソリューションは、Excalibur™ エンベデッド・プロセッサ・ソリューションを含む複数のアルテラのデバイスに提供されています。



アルテラ・デバイスの LVDS に関する詳細については、下記の資料を参照してください。

- アプリケーション・ノート、AN 117 (*Using Selectable I/O Standards in Altera Devices*)
- White Paper「 *Using I/O Standards in the Quartus Software* 」(日本語版有り)
- White Paper「 *Using LVDS in APEX 20KE Devices* 」(日本語版有り)
- White Paper「 *LVDS in the Quartus Software* 」

Quartus II 開発ツール

CAM および LVDS の機能は、Quartus II 開発ツールを使用して簡単にデザイン内に構成することができます。Quartus II 開発ツールには包括的なヘルプ・インタフェース機能が提供されており、ユーザは手順にしたがって、これらの機能を簡単に実現することができます。また、MegaWizard® Plug-In Manager とそのユーザ・フレンドリなインタフェースを活用することによって、MegaCore ファンクション (CAM、RAM、LVDS など) を個別にニーズに適合させることもできます。Quartus II 開発ツールはサード・パーティの多様な EDA ツールと共に使用することができるため、アルテラのソリューションは MPLS ファンクションの開発に最適なプラットフォームとなっています。

ラベルの配布

標準的なラベルの配布方法では、LSR が隣接する複数の LSR に対してラベルを配布する必要があります。LSR が特定の FEC にラベルを設定したときは、この情報が MPLS ネットワーク内の該当するピアまで転送される必要があります。

ラベル・スイッチ・パス (LSP: Label Switched Path) は、MPLS ドメインのインGRESS から EGRESS までに使用される複数のラベルによって定義されます。ラベルによって LSP のマッピングが行われるため、LSR ピア間でラ

ベルを配布する手順を規定することによって、ラベルの配布が容易になります。

MPLSの標準規格は、ラベルの配布にどの信号プロトコルを使用すべきかを規定していません。LDP (Label Distribution Protocol: ラベル配布プロトコル)はこのラベルの配布に使用されるもっとも標準的なプロトコルですが、他の信号プロトコルも存在します。また、MPLSのトラフィック・エンジニアリング機能をサポートするため、これらを拡張した信号プロトコルも開発されています。IETFは、MPLSのトラフィック・エンジニアリングに対応した拡張版の信号プロトコルをどれにするかをまだ決定していません。MPLSのトラフィック・エンジニアリングをサポートする拡張版の信号プロトコルとしては、CR-LDP (Constraint-based Routing-Label Distribution Protocol)とRSVP-TE (Resource Reservation Protocol-Traffic Engineering)の2つが検討されています。MPLS対応のネットワーク機器を製造している会社のほとんどが、これら双方のプロトコルをサポートすることが予想されています。

LDPには、信号の伝送に一連のメッセージが使用されます。これらには、下記に示す4クラスのメッセージがあります。

- DISCOVERY メッセージは、LSRを発見するときに使用されます。LDPのディスカバリ・プロトコルは、ユーザ・データグラム・プロトコル (UDP: User Datagram Protocol) のトップで実行されます。
- ADJACENCY メッセージは、LSR間のセッションのイニシャライズ、維持、シャットダウンを行います。
- LABEL ADVERTISEMENT メッセージは、ラベル情報の配布を行います。
- NOTIFICATION メッセージは、状況の報告やエラー信号の発生を通知するときに使用されます。

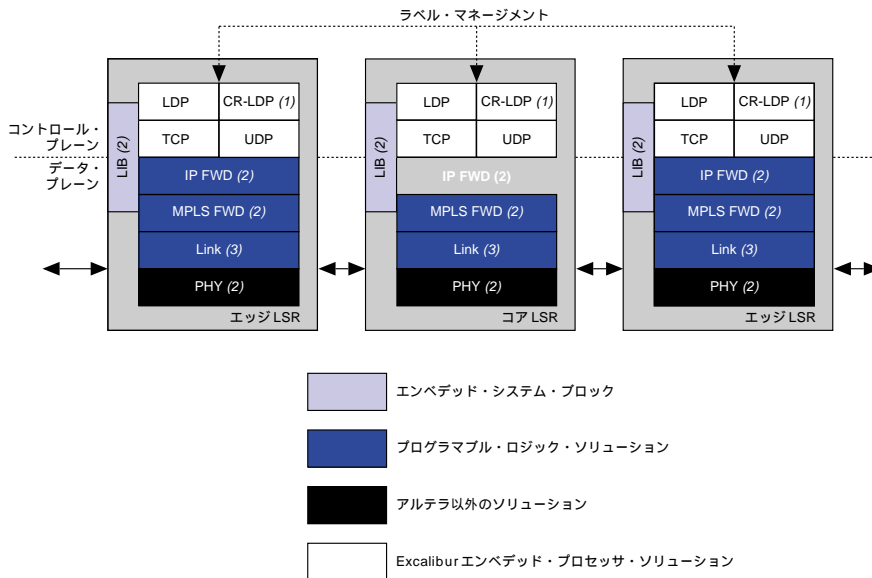
DISCOVERY メッセージを除き、LDPはTCR (Transmission Control Protocol)上で動作します。転送される情報は非常に重要であるため、TCPによってLSR間での信頼性の高いデータ転送が実行されます。

アルテラのPLDによるソリューション

TCPやUDPがサポートされているLDPの機能を実現するためには、ソフトウェアによるソリューションが必要です。アルテラのExcaliburエンベデッド・プロセッサ・ソリューションは、これらの機能を実現できる最適なプラットフォームとなっています。また、アルテラは、32ビットのARMまたはMIPSプロセッサをプログラマブル・ロジックと共に1個のデバイス内に内蔵させた2種類のハード・コア・ソリューションも提供しています。ハード・コア・ソリューションでは、デバイス上でプロセッサとプログラマブル・ロジックとのダイレクト・インタフェースが提供されます。さらに、アルテラは、コンフィギュラブル・ソフト・コアRISCプロセッサ、Nios™エンベデッド・プロセッサも供給しています。1個のPLD内に複数のNiosエンベデッド・プロセッサをインスタンス化することができるため、シングル・デバイス上でマルチプロセッサ機能を実現することも可能です。

図5は、MPLSのプロトコル・スタックを図で示したものです。この図は、コントロール・プレーンとデータ・プレーンの2つのセクションに分離されています。コントロール・プレーンは1個のエンベッド・プロセッサで実現することができ、データ・プレーンはプログラマブル・ロジックで実現することができます。

図5 MPLS のプロトコル・スタック



注：

- (1) CR-LDPは Constraint based LDP のことで、トラフィック・エンジニアリングに使用されます。RSVP-TE はトラフィック・エンジニアリングに使用されるもうひとつの信号転送メカニズムです。
- (2) PHY : physical layer (物理レイヤ) LIB : Label Information Base (入力のポート/ラベルを出力のポート/ラベルにマッピングするテーブル) IP FWD : IPアドレスをベースにして転送される次のホップ (longest match forwardingを使用) MPLS FWD : MPLSラベルとLIBルックアップをベースにしたラベル・スイッチング。
- (3) Link : Data Link Layer (データ・リンク・レイヤ)

トラフィック・エンジニアリング

MPLSが実現するもっとも重要な利点のひとつは、パケット・ネットワーク内でトラフィック・エンジニアリングが可能になることです。これまで、トラフィック・エンジニアリングは、ATMだけで実現されていました。

トラフィック・エンジニアリングを実現することによって、効率的にルートが確立され、それによってネットワークの利用効率が改善されます。この効率的なルートの選択によって、特定のパスでトラフィックが輻輳することを防ぐことができます。パケットが転送される時、常にノード間の最短パスが選択されるとは限りません。例えば、ソースとディスティネーションが同

じになっている2つのパケットを、異なるルートを通じて同じディスティネーションに到達させることができます。このようなネットワークの効率的な利用はネットワーク内のあるセグメントが他のセグメントに比較して活用されていないときに行われ、異なるLSPを確立してこれらのセグメントの活用を可能にします。

MPLSでは、複数の異なるLSPを作成することが可能になっており、ネットワーク管理者の要求に応じたLSPを採用することができます。MPLSネットワークでトラフィック・エンジニアリングを実現する上でもっとも幅広く採用されているのが、RSVP-TEとCR-LDPの2つの方法です。現時点で、IETFのMPLSワーキング・グループは、この信号プロトコル方法を標準化していません。

Constraint-Based Routing

通常のIPルーティングでは、効率に関するいくつかの測定結果（例：ホップ数）からデータ・パスが算出されます。Constraint-based Routing（CR）ではこの方法を用いてデータ・パスが算出されますが、設定されているすべての制約条件（constraint）が選択されたパス上で守られるようになります。CRは、リンクの特性（遅延や帯域幅）、ホップ数、QoSなどの情報を考慮してルートを確認するトラフィック・エンジニアリングに使用される手法です。他の設定可能な制約条件には、LSPがネットワーク内のどのセグメントを使用するか、または使用しないかの条件も含まれます。

RSVP-TEとCR-LDPは、CRが実行されるMPLSに使用される2つの競合するプロトコルとなっています。RSVPはIETFによって標準化されたすでに確立されたプロトコルであり、RSVP-TEはこれを拡張したプロトコルです。同様に、CR-LDPはLDPを拡張したプロトコルで、MPLS用に開発されてきたものです。双方のプロトコルには、それぞれ長所と短所があります。

- CR-LDPはTCPの最上位に位置し、高い信頼性を確保します。一方、RSVPで高い信頼性を確保するためには、安定した状態のときにリフレッシュ動作を行う必要があります。このリフレッシュ動作には一定の帯域幅と処理リソースが必要になります。
- TCPでは、LDPセッションの開始前にハンドシェキング動作が要求され、このために全体のリソースの一部が使用される結果となります。一方、RSVPでは、ラベルの配布を行う前に接続を確立する必要があります。

RSVP-TEとCR-LDPにはそれぞれ長所と短所があるため、システムに柔軟性を確保し、将来のプロトコルの変更にも対応できるようにしておく必要があります。アルテラのExcaliburエンベデッド・プロセッサ・ソリューションは、RSVP-TEとCR-LDPを実現することができます。さらに、Excaliburエンベデッド・プロセッサ・ソリューションは、リモート操作によるフィールドでのアップグレードを実行することができるため、システムを常に最新の状態に維持することが可能です。Excaliburエンベデッド・プロセッサ・ソリューションは、トラフィック・エンジニアリング機能を実現するための完全なソリューションとなっています。

バーチャル・プライベート・ネットワーク

バーチャル・プライベート・ネットワーク (VPN: Virtual Private Network) は、パブリックなインターネット網を使用して複数の多様なネットワーク間を接続して、プライベートなWANを構築する手法です。VPNのサービス・プロバイダはデータのプライバシ (秘匿性) を提供し、IPアドレスのスペースが他のネットワーク・ドメインにもオーバーラップしたプライベートIPアドレスの使用をサポートする必要があります。これは、プライベート・ネットワーク内で使用されるIPアドレスが、そのネットワークの外部 (パブリック・インターネット内) でも障害なく使用できることを意味します。

MPLSは、VPNに関連した課題に対するシンプルなソリューションとなっています。転送先は、IPアドレスではなく、MPLSのラベルによって決定されるため、MPLSの機能によってVPNに関連した多くの課題が解決されます。

現在、MPLSのVPNへの使用方法は標準化されていません。このため、ネットワーク機器メーカーは、自社製品でのみ動作する独自の機能を実現させています。今後、ネットワーク機器メーカーは異なるベンダの製品間での互換性も確保する必要があります。

ネットワーク機器のベンダは完全なMPLSソリューションを顧客に提供するため、VPNに類似した他の独自付加価値サービスも開発しています。このとき、顧客の望まない特殊な独自機能が実現されていると、顧客はそのシステムを継続して使用するか、代替システムを新たに購入するかのいずれかを選択する必要に迫られる結果となります。したがって、独自開発の付加価値サービスは、顧客に希望しないサービスの使用を強要する可能性もあります。PLDは、ネットワークを通じてソフトウェアとハードウェア (プログラマブル・ロジック) をフィールドでアップグレードすることができる唯一のソリューションです。また、フィールドでのアップグレードは、MPLSの標準規格が確定した場合や、新たな標準規格が策定された場合に非常に有効な手段となります。

PLDによる実現方法のまとめ

MPLSの実現にアルテラのソリューションを採用することには、いくつかの重要な利点があります。

柔軟性

MPLSの標準化はまだ進行中であり、また異なるベンダ間での互換性もサポートされる必要があります。このため、ネットワーク機器メーカーは、将来の変更にも対応できるように、製品に高い柔軟性を確保しておく必要があります。IETFがMPLSの標準規格を策定したときは、ほとんどネットワーク機器メーカーがこのIETFの標準規格をサポートすることが予想されます。

MPLSシステムの設計者は、製品を付加価値サービスによって差別化します。新しい付加価値サービスの機能を実現するときは、システム・プラットフォームを柔軟性の高いものにし、実現する機能をISPからの長期にわたる要求に対応させる必要があります。プログラマブル・ロジックとエンベデッド・プロセッサを組み合わせたExcaliburエンベデッド・プロセッサ・ソリューション

は、MPLSシステムの実現にもっとも高い柔軟性を提供します。アルテラのデバイスはリモート操作によるフィールドでのアップグレードが可能になっており、これはPLDを使用した場合にのみ実現可能となる重要な特長となっています。ASICソリューションのアップグレードは、その高額なNRE(Non-Recurring Engineering) コストや長いターンアラウンド・タイムにより、その実現がほとんど不可能です。

性能

データ・パスに使用されるデバイスには、「wire-speed」の性能が要求されます。アルテラの高性能プログラマブル・ロジックは、MPLSのデータ・パス・ファンクションをサポートすることができます。Excalibur エンベデッド・プロセッサ・ソリューションには、コントロール・プレーン・ファンクションで要求される性能に適合させるための多様なオプションが提供されています。

Time-to-Market

市場での地位を効率的に確保するためには、デザイン・サイクルの短縮が要求されます。アルテラのPLDを使用してMPLSシステムを実現した場合は、ASICで発生するようなターンアラウンド・タイムが解消されるため、「Time-to-Market」の期間を短縮することができます。

ハードウェア/ソフトウェア・インプリメンテーション

MPLSシステムを効率的に実現するためには、ロジックとプロセッサを組み合わせた方法の採用が必要です。一般的に、ラベル配布の機能はソフトウェアで実現され、データ・パスの機能はハードウェアで実現される必要があります。これらの機能を異なるデバイスを使用して個別に実現した場合には、性能の劣化、使用可能なボード・スペースの減少、設計時間の長期化などの問題が発生する可能性があります。一方、シングル・チップのASICソリューションは、実現する上での柔軟性に欠け、「Time-to-Market」の期間が長期化すると共に、すぐに新しいデザインに変更する必要性が生じる可能性があります。これに対して、アルテラのExcalibur エンベデッド・プロセッサ・ソリューションはプログラマブル・ロジックとプロセッサをシングル・デバイス上に集積して、これらの問題に対するエレガントなソリューションを提供しています。Nios コンフィギュラブルRISCプロセッサを、1個のPLD内に複数回インスタンス化することができるため、シングル・デバイス上でマルチプロセッサのプラットフォームを実現することも可能です。また、ARMおよびMIPSプロセッサが、周辺にプログラマブル・ロジックが配置されているデバイス内に埋め込まれたハード・コア・プロセッサとして提供されています。

アルテラのExcalibur エンベデッド・プロセッサ・ソリューションの詳細については、下記のデータシートを参照してください。

- 「ARM-Based Embedded Processor Device Overview」のデータシート
- 「MIPS-Based Embedded Processor Device Overview」のデータシート
- 「Nios Soft Core Embedded Processor」のデータシート
-

まとめ

MPLS 製品を設計するとき、付加価値サービスや対立するプロトコルの標準規格の存在によって、各ネットワーク機器メーカーには性能を低下させることなく、製品に高い柔軟性を確保しておくことが求められてきました。また、ネットワーク機器のメーカーは、「Time-to-Market」の実現やMPLSをどのようなプロトコルでも実現できるプラットフォームについても考慮しなければなりません。アルテラの幅広いIPファンクション製品、最新のデバイス機能、Excalibur エンベデッド・プロセッサ・ソリューションは、MPLSシステムを設計するときに発生するこれらすべての課題に対応しています。

参考資料

Callon, R., Rosen, E., and Viswanathan, A. "Multiprotocol Label Switching Architecture," work in progress.

(<http://www.ietf.org/html.charters/mpls-charter.html>). July 2000.

Conta, Farinacci, Fedorkow, Li, Rekhter, Rosen, and Tappan. "MPLS Label Stack Encoding," work in progress.

(<http://www.ietf.org/html.charters/mpls-charter.html>). July 2000.

Davie, Bruce, and Rekhter, Yakov. *MPLS: Technology and Applications*. 2000.

Leon-Garcia, Alberto, and Widjaja, Indra. *Communication Networks: Fundamental Concepts and Key Architectures*. 2000.

MPLS Resource Center-Resources for Multiprotocol Label Switching.
(<http://www.mplsrc.com>). October 2000.

Web ProForum Tutorial.

(<http://www.iec.org/tutorials/mpls/index.html>). July 10, 2000.

Altera, APEX, Excalibur, MegaCore, MegaWizard, Nios, Quartus II, True-LVDS、および各製品名は Altera Corporation の米国および該当各国における商標またはサービス・マークです。この資料に記載されている他のブランド名および製品名は、該当各社が保有する商標です。Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

Copyright © 2001 Altera Corporation. All rights reserved.



I.S. EN ISO 9001

ALTERA®

日本アルテラ株式会社

〒163-1332
東京都新宿区西新宿 6-5-1
新宿アイランドタワー 32F 私書箱 1594 号
TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan>
E-mail: japan@altera.com

本社 Altera Corporation

101 Innovation Drive,
San Jose, CA 95134
TEL : (408) 544-7000
<http://www.altera.com>

この資料に記載された内容は予告なく変更されることがあります。最新の情報は、アルテラの web サイト (<http://www.altera.com>) でご確認ください。この資料はアルテラが発行した英文の資料を日本語化したものであり、アルテラが保証する規格、仕様は英文オリジナルのものです。