

## はじめに

プログラマブル・ロジック・デバイス (PLD) の集積度と I/O ピン数の増加に伴い、小型パッケージとさらに広範なパッケージ・オプションに対する要求が増大しています。ボール・グリッド・アレイ (BGA) パッケージは、I/O の接続がデバイス内部で行われ、ボード面積に対するピン数の比率が向上されているため、これらの要求に理想的なソリューションとなります。標準的な BGA パッケージは、クワッド・フラット・パック (QFP) パッケージと同じ実装面積で最大 2 倍のピン接続を実現します。さらに、BGA パッケージのソルダ・ボールは QFP パッケージのリードよりも強度が優れており、ラフな取り扱いにも耐えうる堅牢なパッケージとなっています。

アルテラは、高集積 PLD ユーザに対する高集積 BGA ソリューションを開発してきました。この新しいソリューションでは、従来の標準的な BGA パッケージの半分以下のボード・スペースしか必要としません。

このアプリケーション・ノートは、アルテラの高集積 BGA パッケージが搭載されるプリント基板 (PCB) をデザインする際のガイドラインを示しており、以下の項目について解説しています。

- BGA パッケージの概要
- PCB レイアウトで使用される用語
- 高集積 BGA パッケージの PCB レイアウト

## BGA パッケージの概要

BGA パッケージでは、I/O との接続部分がデバイスの内側に配置されています。これまでパッケージの周囲に配置されていたリードは、サブストレートの底面にマトリックス状に配置されたソルダ・ボールで置き換えられています。最終デバイスは、システム設計者にとって好ましい標準的な表面実装方法と全く同じアセンブリ工程により PCB に直接はんだ付けされます。

さらに、BGA パッケージは以下の利点も提供します。

- リード損傷の危険性が低い — BGA パッケージのリードは頑丈なソルダ・ボールで構成されており、取り扱いによってリードが損傷を受ける危険性が低くなっています。
- 単位面積あたりのピン数が多い — ソルダ・ボールをパッケージの末端近くまで配置し、またボール間のピッチをフリップ・チップ BGA で 1.0 mm、Micro-BGA で 0.8 mm まで縮小することにより、ピン数が増加されています。

- 低価格の表面実装用機器が使用可能 — BGA パッケージは、マウント時における実装位置にある程度の誤差を許容することができるため、低価格の表面実装機器を使用することができます。BGA パッケージは、リフロー時にセルフ・アラインメント効果があるため部品配置時の誤差が許容されます。
- 小さな実装面積 — 通常、BGA パッケージは QFP パッケージよりも実装面積が 20% から 50% も小さくなるため、高性能でより小さい実装面積が要求されるアプリケーションに最適です。
- 高い動作スピード — BGA パッケージは、パッケージ構造内にグランド・プレーン、グランド・リング、およびパワー・リングを採用することにより、マイクロ波帯の周波数スペクトラムで良好に動作し、高い電気的性能を達成しています。
- 放熱特性を改善 — BGA パッケージは、ダイがパッケージの中心部に位置しており、ほとんどの GND ピンおよび VCC ピンがパッケージの中心部に配置されるため、GND および VCC ピンはダイの真下に位置します。このため、デバイスで発生した熱は GND ピンおよび VCC ピンを通じて放出されます (GND ピンと VCC ピンがヒート・シンクの働きをする)。

## PCB レイアウトで使用される用語

この項では、アルテラの高集積 BGA を使用した PCB レイアウトで使用される用語について説明します。

### 信号引き出しライン (Escape Routing)

信号引き出しラインとは、信号をパッケージから PCB 上の他の部品に接続するときに使用される配線パターンです。

### マルチ・レイヤ PCB (Multi-Layer PCB)

BGA パッケージの I/O 数が増加すると共に、信号引き出しラインを実現する方法としてマルチ・レイヤ PCB (多層基板) が使用されるようになりました。信号は PCB の複数のレイヤを通じてボード上の他の部品と接続されます。

### ビア

ビア、またはメッキされたスルー・ホールは、マルチ・レイヤ PCB のあるレイヤから他のレイヤに信号を転送する目的で使用されます。ビアはマルチ・レイヤ PCB にドリルで開けられたホールであり、各レイヤ間の電気的な接続を提供します。すべてのビアは各レイヤ間の接続にのみ使用され、デバイスのリードや他の補強材がビアに挿入されることはありません。

表 1 に、ビアの寸法を定義するとき使用される用語を説明します。

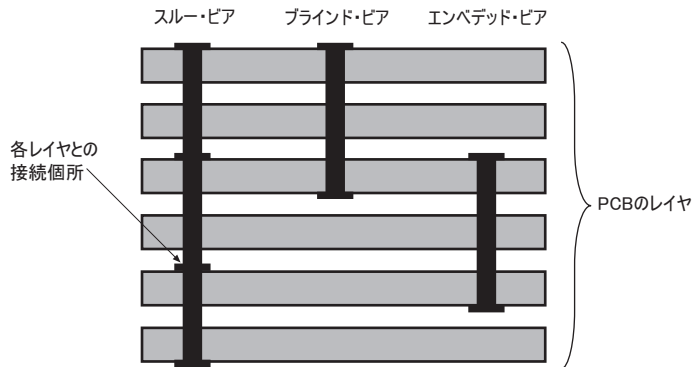
用語	定義
アスペクト比	メッキ済みのビアの直径に対するビアの長さまたは深さの比率を指します。
ドリル径	ボードにドリルで開けられた実際のビア・ホールを指します。
仕上げ後のビア直径	メッキが完了した後のビア・ホールの直径を指します。

表 2 に、PCB で使用される代表的な 3 種類のビアを示します。

タイプ	説明
スルー・ビア	PCB の最上位レイヤと最下位レイヤを接続。PCB 内部のレイヤとの接続にも使用できます。
ブラインド・ビア	最上位レイヤまたは最下位レイヤと PCB 内部のレイヤを接続。
エンベデッド・ビア	PCB 内部の任意のレイヤ間を接続。

図 1 は、これら 3 種類のビアを図で示したものです。

図 1. ビアの種類



ブラインド・ビアとスルー・ビアは、エンベデッド・ビアよりも頻繁に使用されます。ブラインド・ビアはスルー・ビアよりもコストが高くなりますが、ブラインド・ビアの下の部分にあたるレイヤに信号配線パターンを設けることができ、要求されるレイヤ数が少なくなるため、全体的なコストは低減されます。これに対して、スルー・ビアは下位レイヤで信号の配線ができないため、要求される PCB レイヤ数と全体的なコストが増加します。

### ビア・キャプチャ・パッド

ビアは、各ビアの周囲に配置されたビア・キャプチャ・パッドを通じて PCB レイヤと電気的に接続されます。

### 表面ランド・パッド

表面ランド・パッドは、PCB 上で BGA パッケージのソルダ・ボールと接続される領域です。これらのパッドのサイズは、ビアと信号引き出しラインに使用できるスペースに影響を与えます。一般的に、表面ランド・パッドの設計には、次の基本的な 2 種類の方法があります。

- 非ソルダ・マスク定義 (NSMD: Non Solder Mask Defined) パッド
- ソルダ・マスク定義 (SMD: Solder Mask Defined) パッド

2 つの表面ランド・パッドの違いは、配線パターンのサイズとスペース、使用できるビアの種類、およびはんだリフロー後のソルダ・ボールの形状です。

#### NSMD パッド

NSMD パッドでは、ソルダ・マスクの開孔をランド・パッドの銅箔部分の直径よりも大きくします。これにより、表面ランド・パッドの銅箔部分がすべて接触可能な状態となり、BGA パッケージのソルダ・ボールと接触できる面積が広がります (図 2 を参照)。



NSMD パッドを採用することによって、ストレスが加わる個所が少なくなり、パッド間の配線領域が広がるため、アルテラはほとんどのアプリケーションにこの NSMD パッドの採用を推奨しています。

#### SMD パッド

SMD パッドでは、ソルダ・マスクの開孔をランド・パッドの直径よりも小さくし、両者がオーバーラップするようにします (5 ページの図 2 を参照)。このオーバーラップによって、銅箔パッドと PCB のエポキシ / ガラス・ラミネート間の粘着強度が高くなります。これは、PCB に大きな曲げ応力が加えられたときや、加速温度サイクル試験を実施したときに効果を発揮します。ただし、この場合は、ソルダ・マスクがオーバーラップしているために、BGA パッケージのソルダ・ボールがパッドの銅箔部分と接触できる面積が狭くなります。

図 2. NSMD パッドと SMD パッドの側面図

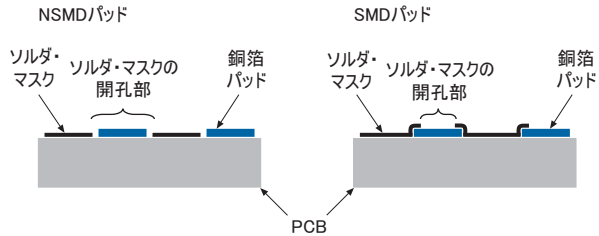
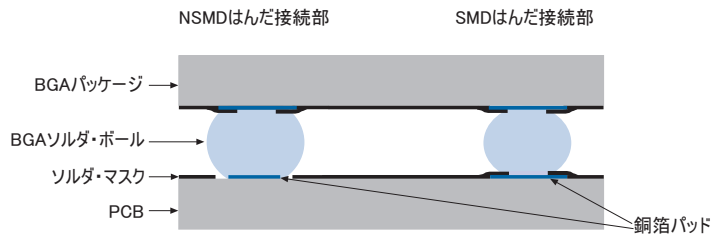


図 3 は、NSMD パッドと SMD パッドがはんだ付けされた状態を側面図で示したものです。

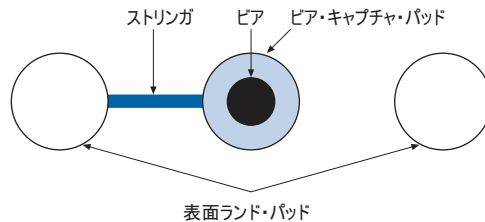
図 3. NSMD パッドと SMD パッドがはんだ付けされた状態を示す側面図



## ストリング

ストリングとは、ビア・キャプチャ・パッドと表面ランド・パッドを電氣的に接続するための長方形または正方形の配線パターンのことです。図 4 に、ビア、ビア・キャプチャ・パッド、表面ランド・パッドおよびストリングの関係を示します。


図 4. ビア、表面ランド・パッド、ストリングおよびビア・キャプチャ・パッドの関係



## 高集積 BGA パッケージの PCB レイアウト

高集積 BGA パッケージ用の PCB をデザインするときには、以下の要素を考慮する必要があります。

- 表面ランド・パッドの寸法
- ビア・キャプチャ・パッドのレイアウトと寸法
- 信号ラインのスペースとパターン幅
- PCB のレイヤ数

 以降の高集積 BGA の図で表示されている寸法の単位はミリメートル (mm) です。

### 表面ランド・パッドの寸法

アルテラは、はんだ接合の疲労寿命を最長化させるために、広範なモデリング・シミュレーションと実証研究を行い PCB の最適なランド・パッド・デザインを決定しました。これにより、パッド・デザインははんだ接合との強度のバランスがとれた信頼性の高いはんだ接合を提供します。BGA パッドはソルダ・マスク定義パッドのため、SMD パッドが PCB を使用する場合は、はんだ接合部の強度のバランスをとるために表面ランド・パッドを BGA パッドと同じサイズにする必要があります。非ソルダ・マスク定義パッドが PCB で使用されている場合は、はんだ接合部の強度のバランスをとるにはランド・パッドを BGA パッド・サイズよりも約 15% 小さくしなくてはなりません。

7 ページの表 3 に、SMD および NSMD ランド・パターンの推奨パッド・サイズのリストを示します。高集積ボード・レイアウトには NSMD パッドを使用する必要があります。小さいパッド・サイズはビアと引き出しライン間に、より大きいスペースを与えるためです。8 ページの図 6 は、1.00 mm のフリップ・チップ BGA の NSMD 表面ランド・パッドを使用したとき、ビアと引き出しラインに提供されるスペースの例を示しています。

図 5. BGA パッド

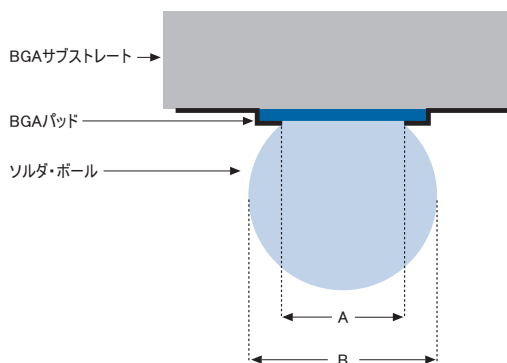


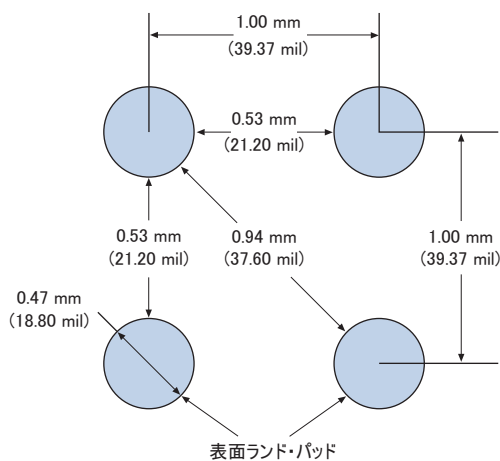
表 3 に、SMD および NSMD ランド・パターンの推奨パッド・サイズのリストを示します。

BGA パッドのピッチ	BGA パッドの開孔部 (A) (mm)	ソルダ・ボールの直径 (B) (mm)	推奨 SMD パッド・サイズ (mm)	推奨 NSMD パッド・サイズ (mm)
1.27 mm (プラスチック・ボール・グリッド・アレイ (PBGA))	0.60	0.75	0.60	0.51
1.27 mm (スーパー・ボール・グリッド・アレイ (SBGA))	0.60	0.75	0.60	0.51
1.27 mm (テープ・ボール・グリッド・アレイ (TBGA))	0.60	0.75	0.60	0.51
1.27 mm (フリップ・チップ) (1)	0.65	0.75	0.65	0.55
1.00 mm (ワイヤボンド) (1)	0.45	0.63	0.45	0.38
1.00 mm (フリップ・チップ) (1)	0.55	0.63	0.55	0.47
1.00 mm (フリップ・チップ) (1) APEX 20KE	0.60	0.65	0.60	0.51
0.80 mm UBGA (BT サブストレート)	0.4	0.55	0.4	0.34
0.80 mm UBGA (EPC16U88)	0.4	0.45	0.4	0.34
0.50 mm MBGA	0.3	0.3	0.27	0.26

表 3 の注：

- (1) 「アルテラ・デバイス・パッケージ情報データシート」では、フリップ・チップ・テクノロジーを使用した FineLine BGA® パッケージは “Thermally FineLine BGA”、ワイヤボンド・パッケージは “Non-Thermally FineLine BGA” と記載されています。

図 6. 1.00 mm のフリップ・チップ BGA の NSMD ランド・パッドのビアおよび配線スペース



## ビア・キャプチャ・パッドのレイアウトと寸法

ビア・キャプチャ・パッドのサイズおよびレイアウトは、信号引き出し配線ラインに使用できるスペースに影響を与えます。一般的に、ビア・キャプチャ・パッドをレイアウトする方法は以下の 2 種類があります。

- 表面ランド・パッドの水平線上に配置

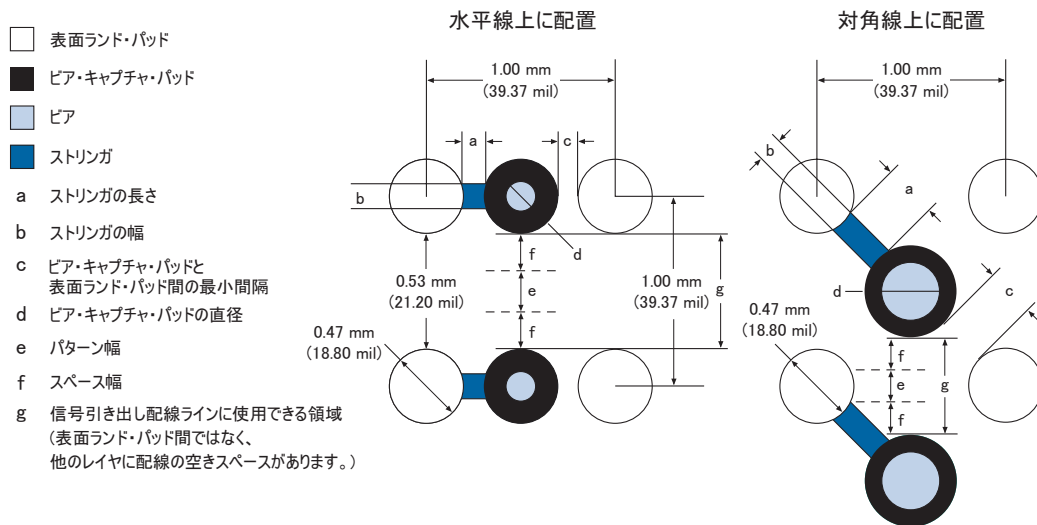
または

- 表面ランド・パッドの対角線上に配置

図 7 は、1.00 mm のフリップ・チップ BGA の NSMD ランド・パッドの 2 種類のレイアウトを示しています。



図 7. 1.00 mm のフリップ・チップ BGA の NSMD ランド・パッドのビア・キャプチャ・パッドの配置方法



ビア・キャプチャ・パッドを表面ランド・パッドに対して対角線上に配置するか、または水平線上に配置するかは、以下の点を基準に判断します。

- ビア・キャプチャ・パッドの直径
- スtringの長さ
- ビア・キャプチャ・パッドと表面ランド・パッド間の間隔

PCB のレイアウト方法を決定するには、図 7 と表 4 に示されている情報を使用します。PCB のデザイン・ガイドラインが表 4 に示されている公式のいずれにも一致しない場合は、アルテラ・アプリケーションにお問い合わせください。

表 4. 1.00 mm のフリップ・チップ BGA の NSMD ランド・パッドのビアのレイアウトに関する公式

レイアウト	公式
水平線上に配置	$a + c + d \leq 0.53 \text{ mm}$
対角線上に配置	$a + c + d \leq 0.94 \text{ mm}$

表 4 は、ビア・キャプチャ・パッドを表面ランド・パッドに対して水平線上に配置するよりも、対角線上に配置する方がサイズを大きくできることを示しています。

ビア・キャプチャ・パッドのサイズは、PCB で配線できる配線パターンの本数にも影響を与えます。図 8 に、標準的なレイアウトとプレミアム・タイプのレイアウトの例を示します。標準的なレイアウトでは、ビア・キャプチャ・パッドのサイズが 0.66 mm、ビアのサイズが 0.254 mm、そして配線パターン間隔が 0.102 mm となっています。このレイアウトでは、ビア間に通すことができる配線パターンは 1 本のみです。さらに多くの配線パターンを配線する場合には、ビア・キャプチャ・パッドのサイズを小さくするか、または配線パターンの間隔を狭くする必要があります。

プレミアム・タイプのレイアウトでは、ビア・キャプチャ・パッドのサイズが 0.508 mm、ビアのサイズが 0.203 mm、そして配線パターン間隔が 0.076 mm となっています。このレイアウトでは、ビア間に 2 本の配線パターンを通すための十分なスペースが提供されます。

図 8. 標準的およびプレミアム・タイプのレイアウトの 1.00 mm フリップ・チップ BGA のビア・キャプチャ・パッドのサイズ

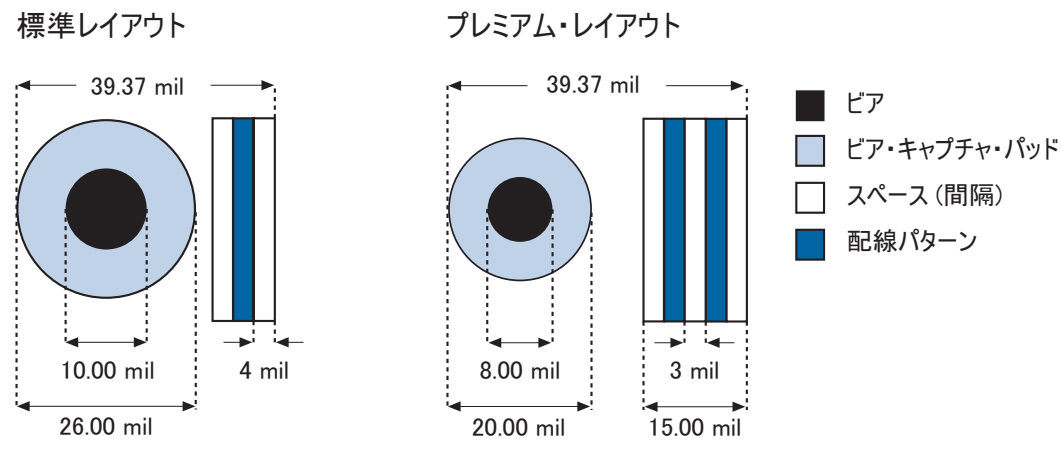


表 5 に、多くの PCB ベンダで採用されている標準およびプレミアム・タイプのレイアウトの使用を示します。

仕様	標準 (mm)	プレミアム (mm) PCB の厚さ > 1.5 mm	プレミアム (mm) PCB の厚さ ≤ 1.5 mm
配線パターン/パターン間隔	0.1/0.1	0.076/0.076	0.076/0.076
ドリル径	0.305	0.254	0.15
仕上げ後のビア直径	0.254	0.203	0.1
ビア・キャプチャ・パッド	0.66	0.508	0.275
アスペクト比	7:1	10:1	10:1



ドリル・サイズ、ビア・サイズ、配線パターンとパターン間隔、ビア・キャプチャ・パッドのサイズの詳細については、各 PCB ベンダにお問い合わせください。

## 信号ラインのスペースとパターン幅

信号の引き出し配線が行える能力は、配線パターンの幅とパターン間に要求される最小スペースで規定されます。信号接続のための最小エリアとは、信号ラインを通さなければならない最小の領域です (2 個のビアの間隔、または図 9 の  $g$ )。このエリアは以下の式で計算されます。

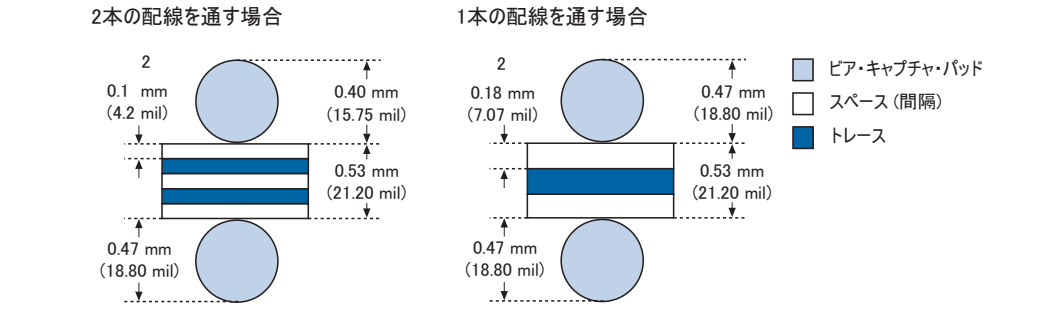
$$g = (\text{BGA ピッチ}) - d$$

このエリアを通して接続できる配線パターンの本数は、許容される配線パターンの本数とスペースの幅を基準に決定されます。表 6 を使用することによって、 $g$  の間を通して接続できる配線パターンの本数を判断することができます。

配線パターンの本数	公式
1	$g \geq [2 \times (\text{スペース幅})] + \text{パターン幅}$
2	$g \geq [3 \times (\text{スペース幅})] + [2 \times (\text{トレース幅})]$
3	$g \geq [5 \times (\text{スペース幅})] + [3 \times (\text{トレース幅})]$

図 9 は、配線パターン幅と配線パターンの間隔を縮小することによって、g の間を通すことができる本数を増加させる方法を示しています。配線パターンの本数を増やすことで、PCB に要求されるレイヤ数が減少し、全体的なコストも減少します。

図 9. 1.00 mm フリップ・チップ BGA の引き出し配線のレイアウト



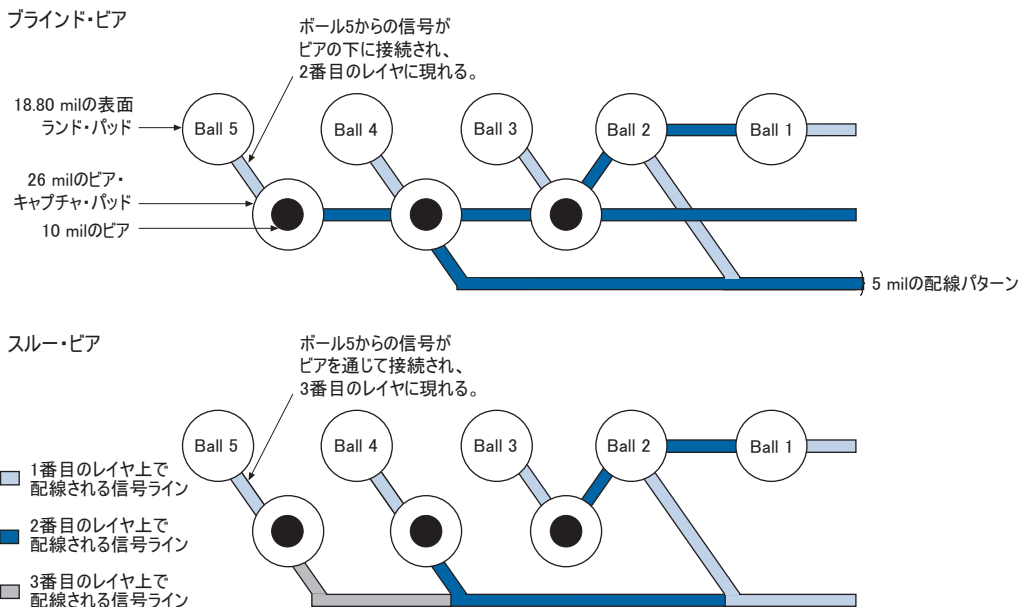
## PCB のレイヤ数

一般的に、信号を配線するために必要な PCB のレイヤ数は、ビア間の配線パターンの本数を反比例します (パターンの本数を増加させると、必要な PCB のレイヤ数が減少)。最初に以下の決定をすることによって、必要な PCB のレイヤ数を推定することができます。

- 配線パターンのサイズと間隔
- ビア・キャプチャ・パッド間を通して配線されるパターンの本数
- 使用されるビアの種類

最大の I/O ピン数よりも少ない I/O ピン数を使用することで、必要なレイヤ数を減少させることができます。また、ビアの種類によっても、必要なレイヤ数を減少させることができます。ビアの種類が必要な PCB のレイヤ数に与える影響を [図 10](#) に示すレイアウトの例で説明します。

図 10. 1.00 mm フリップ・チップ BGA の PCB レイアウト例



[図 10](#) に示すブラインド・ビアのレイアウトでは、PCB に 2 レイヤが必要になるだけです。最初の 2 個のボールからの信号は、最初のレイヤ上でダイレクトに配線することができます。3 番目と 4 番目のボールからの信号はビアを通して 2 番目のレイヤで配線することができ、5 番目のボールからの信号は 3 番目と 4 番目のボールが接続されるビアの下に接続することができ、2 番目のレイヤで配線できます。これによって、このレイアウトに必要なのは 2 レイヤだけとなります。

これに対して、[図 10](#) のスルー・ビアを使用したレイアウトでは、スルー・ビアの下での信号接続ができないため、PCB に 3 レイヤが必要になります。3 番目と 4 番目のボールからの信号はビアを通して 2 番目のレイヤで配線することができますが、5 番目のボールからの信号はビアを通じて 3 番目レイヤで配線しなければなりません。この例では、スルー・ビアではなく、ブラインド・ビアを使用することによって、1 レイヤ分を削減することができます。

2006 年に、アルテラは MAX II デバイス・ファミリに 0.5 mm ピッチの Micro FineLine BGA® (MBGA) パッケージを導入しました。このパッケージのサイズおよび重量は、ポータブル・アプリケーションまたはボード・スペースと消費電力に制約がある、あらゆるアプリケーションに最適です。ピン・レイアウトおよびピン・アサインメントは、ソルダ・パッドからの信号がスルーホール・ビアを使用して 2 つのレイヤに配線できるように設計されています。100 ピンおよび 256 ピンの MBGA の 2 つのレイヤの配線レイアウト例は、図 11 および 12 にそれぞれ説明されています。このレイアウト・タイプは、1.5 mm 以下の厚さの PCB に適しています。1.5 mm より厚い PCB では、信号引き出し配線のためにプラインド・ビアの使用がより適切です。

図 11. 0.5 mm の 100 ピン MBGA の 2 レイヤの PCB 配線レイアウト例

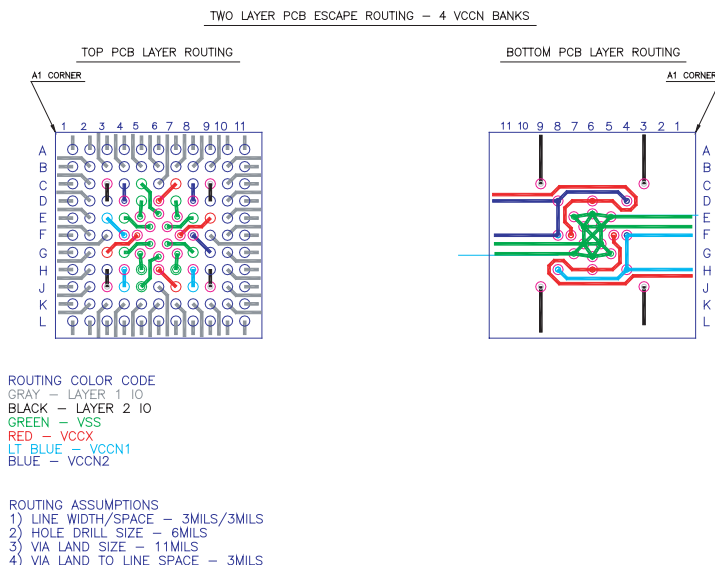
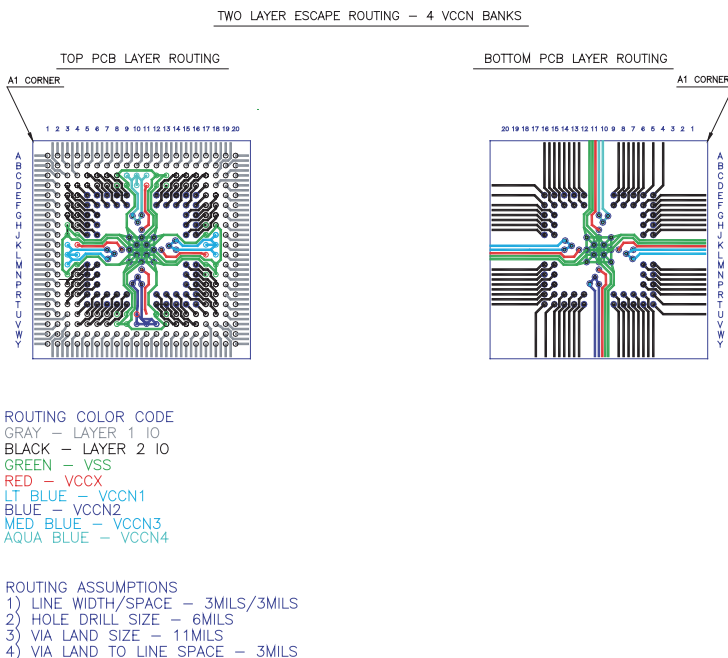


図 12. 0.5 mm の 256 ピン MBGA の 2 レイヤの PCB 配線レイアウト例



## まとめ

アルテラは、高集積 BGA パッケージを採用し、PLD のパッケージの分野においても業界をリードしています。これらのパッケージは、非常に多くのピン数を確保しながら、実装面積を削減します。このアプリケーション・ノートの情報を活用することで、高集積 BGA パッケージを使用した PCB を簡単に設計することができ、サイズが縮小されたパッケージの強みを発揮させることができます。

## 参考文献

Yuan Li, Anil Pannikkat, Larry Anderson, Tarun Verma, Bruce Euzent, *Building Reliability Into Full-Array BGA's*, 26<sup>th</sup> IEMT Symposium, PackCon 2000.

## 改訂履歴

### バージョン 5.0

「AN 114: 高集積 BGA パッケージを使用したアルテラ・デバイスの設計」Ver. 5.0 に記載された情報は、以前のバージョンの内容に優先します。

- 表 3 に、0.5 mm MBGA の推奨パッド情報を追加。
- 表 5 を、最新の PCB ベンダの仕様に更新。
- 12 ページの「PCB のレイヤ数」の項に、MBGA の最新情報を追加。

- 図 11 および 12 を追加。

## バージョン 4.0

「AN 114: 高集積 BGA パッケージを使用したアルテラ・デバイスの設計」Ver. 4.0 に記載された情報は、以前のバージョンの内容に優先します。

- 「APEX、FLEX、ACEX、MAX 7000 & MAX 3000 デバイスの FineLine BGA パッケージを使用した設計」から「高集積 BGA パッケージを使用したアルテラ・デバイスの設計」に資料名を変更。

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。



101 Innovation Drive  
San Jose, CA 95134  
(408) 544-7000  
[www.altera.com](http://www.altera.com)  
Applications Hotline:  
(800) 800-EPLD  
Literature Services:  
[lit\\_req@altera.com](mailto:lit_req@altera.com)

Copyright © 2006 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

